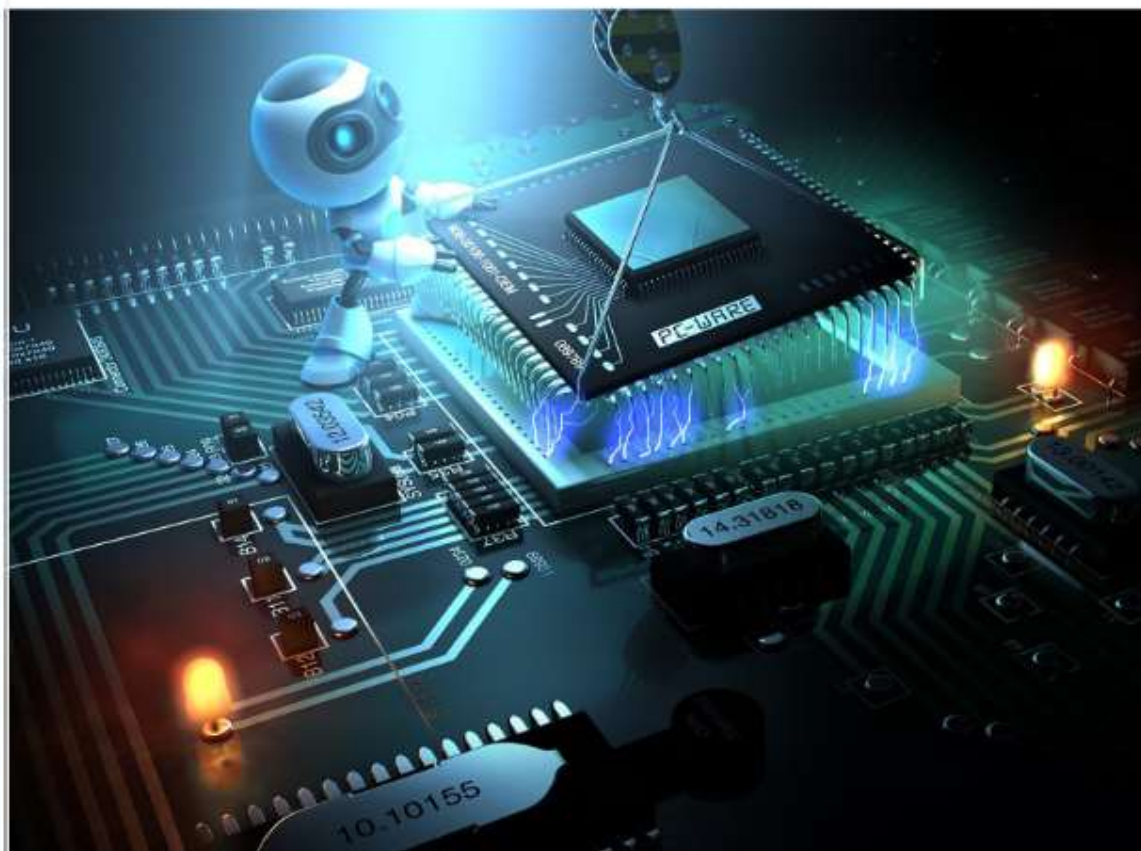


Лапко В.В., Гусев Б.С., Касаткін Д.Ю., Смолій В.В.,  
Блозва А.І., Осипова Т.Ю., Матус Ю.В., Савицька Я.А.



## КОМП'ЮТЕРНА СХЕМОТЕХНІКА ТА ЛОГІКА



НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ БІОРЕСУРСІВ  
І ПРИРОДОКОРИСТУВАННЯ УКРАЇНИ

І К Т

Київ  
2017

# **НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ БІОРЕСУРСІВ І ПРИРОДОКОРИСТУВАННЯ УКРАЇНИ**

*Кафедра комп'ютерних систем і мереж*

Лапко В.В., Гусев Б.С., Касаткін Д.Ю., Смолій В.В.,  
Блозва А.І., Осипова Т.Ю., Матус Ю.В. , Савицька Я.А.

## **КОМП'ЮТЕРНА СХЕМОТЕХНІКА ТА ЛОГІКА**

**Частина I. «Математичні засади і схемотехніка арифметичних  
засобів комп'ютерних пристроїв»**

(навчальний посібник для самостійної роботи студентів з курсу  
«Комп'ютерна схемотехніка»)

**КОМПРІНТ  
КИЇВ - 2017**

**УДК 004.3(072)**  
**ББК 39.97**  
**К 63**

*Копіювання, сканування, запис на  
електронні носії і тому подібне, книжки  
в цілому, або будь-якої її частини  
заборонено*

*Рекомендовано до друку Вченою радою Національного університету  
біоресурсів і природокористування України  
(протокол № 3 від 25.10.2017 р.)*

**Рецензенти:**

**Лахно В.А.** - доктор технічних наук, професор, професор кафедри інформаційних систем та математичних дисциплін ПВНЗ «Європейський університет»;  
**Уткін Ю.В.** - кандидат технічних наук, доцент, доцент кафедри інформаційних систем і технологій Полтавської державної аграрної академії України;  
**Коваль Т.В.** - кандидат фізико-математичних наук, доцент, доцент кафедри економічної кібернетики Національного університету біоресурсів і природокористування України.

**Лапко В.В., Гусев Б.С., Касаткін Д.Ю., Смолій В.В., Блозва А.І.,  
Осіпова Т.Ю., Матус Ю.В., Савицька Я.А.**

**К 63** **Комп'ютерна схемотехніка та логіка** [навчальний посібник] / В.В.Лапко, Б.С.Гусев, Д.Ю. Касаткін, В.В. Смолій, А.І. Блозва, Т.Ю. Осіпова, Ю.В. Матус, Я.А. Савицька // - К.: НУБіП України, 2017.- 291с.

Навчальний посібник призначений для студентів вищих навчальних закладів ОС «Бакалавр» за спеціальністю «Комп'ютерна інженерія». Матеріали посібника підготовлені на основі методологічних досліджень авторів та відповідного курсу лекцій, які викладаються для студентів. Посібник містить теоретичний матеріал, який надає можливість сформулювати уявлення стосовно взаємозв'язку інформаційних технологій, програмних засобів, схем та математичних визначень і формул. Перша частина посібника присвячена розгляду математичних засад і схемотехніки арифметичних засобів комп'ютерних пристроїв. Представлений теоретичний матеріал доповнено практичними роботами з використанням сучасних програмних методів.

© Лапко В.В., Гусев Б.С., Касаткін Д.Ю.,  
Смолій В.В., Блозва А.І., Осіпова Т.Ю.,  
Матус Ю.В., Савицька Я.А. - 2017

© НУБіП України, 2017

## ЗМІСТ

ПЕРЕДМОВА .....	4
1. МАТЕМАТИЧНІ ЗАСАДИ І СИНТЕЗ ФУНКЦІОНАЛЬНИХ СХЕМ АРИФМЕТИЧНИХ ЗАСОБІВ .....	8
1.1. Логічні співвідношення, властивості та схемотехнічні засади побудови канонічних однорозрядних двійкових суматорів.....	9
1.2. Логічні співвідношення і функціональні схеми мінімальних однорозрядних двійкових суматорів .....	26
1.3. Логічні співвідношення і функціональні схеми розширених мінімальних однорозрядних двійкових суматорів .....	33
1.4. Логічні співвідношення і функціональні схеми композиційних однорозрядних двійкових суматорів .....	39
1.5. Логічні співвідношення, властивості і функціональні схеми однорозрядних двійкових віднімачів.....	50
1.6. Математичні засади і функціональні схеми суматорів з паралельним переносом .....	67
1.7. Математичні засади і функціональні схеми групових суматорів з послідовним поширенням міжгрупового (обхідного) і міжрозрядного переносу .....	78
1.8. Математичні засади і функціональні схеми групових суматорів з обхідним переносом між групами і паралельним розрядним переносом в групах .....	83
1.9. Математичні засади і функціональні схеми групових суматорів з прискоренням міжгрупового переносу.....	86
1.10. Моделювання функціональних схем та визначення властивостей арифметичних пристроїв.....	97

2. АЛГОРИТМИ ФУНКЦІОНУВАННЯ, СХЕМОТЕХНІКА І ЗАСТОСУВАННЯ ІНТЕГРАЛЬНИХ СХЕМ СУМАТОРІВ ТА АРИФМЕТИКО-ЛОГІЧНИХ ПРИСТРОЇВ.....	123
2.1. Алгоритми функціонування, схемотехніка і застосування мікросхем K155ИМ1 (SN7480).....	123
2.2. Алгоритми функціонування, схемотехніка і застосування мікросхем K155ИМ2 (SN7482).....	147
2.3. Алгоритми функціонування, схемотехніка і застосовування мікросхем K155ИМ3 (SN7483).....	159
2.4. Теоретичні засади, схемотехніка і застосування арифметично-логічних пристроїв K155ИП3 (SN74181) і схем прискореного переносу K155ИП4 (SN74182).....	167
2.5. Дослідження характеристик і властивостей багаторозрядних суматорів на базі інтегральних модулів методами схемотехнічного моделювання .....	228
3. ТЕСТИ ДЛЯ САМОПЕРЕВІРКИ.....	246
СПИСОК ЛІТЕРАТУРИ.....	288
ЗМІСТ .....	4

## ПЕРЕДМОВА

Підготовка фахівців в галузі комп'ютерної інженерії базується на засвоєнні математичних засад і методики побудови цифрових автоматів різного призначення, ядро яких зазвичай складають різноманітні арифметичні та арифметико-логічні засоби. Найбільш складну частину зазначених пристроїв становлять суматори та віднімачі, які в цифрових операційних автоматах використовуються як самостійно, так і в складі програмовуваних арифметико-логічних пристроїв. В зв'язку з цим в навчальному посібнику значна увага приділяється математичним засадам і способам побудови функціональних схем суматорів та віднімачів, відмінностям, перевагам та недолікам різних структур зазначених пристроїв. Логічні вирази в посібнику апаратно відображені в базисі найбільш поширених інтегральних схем транзисторно-транзисторної логіки.

Поряд з математичними засадами побудови арифметичних пристроїв в посібнику розглядаються алгоритми роботи і теоретичні засади побудови найбільш поширених арифметичних та арифметико-логічних пристроїв на інтегральних схемах середнього рівня інтеграції. Значну увагу приділено практичній реалізації арифметичних і логічних операцій з використання зазначених інтегральних схем.

В результаті вивчення матеріалів, наведених в даному посібнику, майбутні фахівці в галузі комп'ютерної інженерії повинні:

- засвоїти основні властивості, схемні рішення і алгоритми функціонування однорозрядних цифрових суматорів та віднімачів, методи їх синтезу в заданому елементному базисі;

- набути вміння будувати багаторозрядні арифметичні пристрої, оцінювати їх характеристики і швидкодію, розробляти та оптимізувати схеми для виконання арифметичних операцій;

- мати навички використання складних інтегральних схем і арифметико-логічних пристроїв для побудови конкретних операційних автоматів.

Матеріали посібника підготовлені на основі методологічних досліджень авторів та відповідного курсу лекцій, які викладаються для студентів за спеціальністю «Комп'ютерна інженерія».

Автори вдячні шановним колегам та рецензентам, слушні зауваження і поради яких сприяли поліпшенню змісту посібника.

## РОЗДІЛ 1. МАТЕМАТИЧНІ ЗАСАДИ І СИНТЕЗ ФУНКЦІОНАЛЬНИХ СХЕМ АРИФМЕТИЧНИХ ЗАСОБІВ

Арифметичні засоби комп'ютерної техніки утворюють ядро операційних автоматів процесорів та будь-яких пристроїв обробки цифрової інформації, в яких використовуються арифметичні операції. Удосконалення і оптимізація характеристик цих засобів є основою якісного підвищення продуктивності процесорів і комп'ютерних систем в цілому.

В даному розділі докладно розглянуті математичні засади, методи проектування, функціонування і оптимізація характеристик однорозрядних і багаторозрядних схем суматорів та віднімачів арифметичних пристроїв.

Розглядається сучасний підхід до побудови найбільш результативних багаторозрядних арифметичних пристроїв з груповим переносом між розрядами. В таких пристроях забезпечується як скорочення апаратних витрат, так і збереження швидкодії. Приведені логічні вирази і логічні схеми надшвидкодійних суматорів, а також достатньо швидких схем багаторозрядних суматорів при збереженні розумних апаратних витрат.

Методика проектування функціональних схем арифметичних засобів необхідної розрядності і швидкодії з оптимізацією апаратних витрат докладно розглянута з використанням найбільш поширених в сучасній схемотехніці пристроїв:

- однорозрядні суматори;
- однорозрядні віднімачі;
- багаторозрядні суматори (віднімачі) з послідовним переносом між розрядами;
- багаторозрядні суматори з паралельним (одночасним) переносом між розрядами;
- багаторозрядні суматори з груповим переносом, в яких використовується послідовний перенос між групами розрядів (послідовні групові суматори);
- багаторозрядні суматори з груповим переносом, в яких використовується паралельний перенос між групами розрядів (надпаралельні групові суматори).



## 1.1. Логічні співвідношення, властивості та схемотехнічні засади побудови канонічних однорозрядних двійкових суматорів

При арифметичному підсумовуванні двох багаторозрядних операндів  $A(a_n, \dots, a_1)$  та  $B(b_n, \dots, b_1)$  в кожному поточному розряді (позиції) результат визначається за правилом [ 1 ]:

$$W \cdot E_i + S_i = a_i + b_i + e_i, \quad (1.1)$$

де  $a_i, b_i$  – значення однойменних двійкових цифр доданків  $A$  і  $B$  в  $i$ -тому розряді;

$e_i$  – ознака переносу в  $i$ -тий розряд з молодшого сусіднього розряду;

$S_i$  – арифметична сума двійкових операндів у поточному  $i$ -тому розряді;

$W$  – вага вихідного переносу  $E$  відносно вагових коефіцієнтів вхідних змінних суматора ( $a_i, b_i, e_i$ );

$E_i$  – перенос в старший сусідній розряд ( $E$  дорівнює нулю, якщо  $(a_i + b_i + e_i) < W$ , в протилежному випадку  $E_i$  дорівнює 1).

Очевидно, що для двійкових суматорів  $W = 2$ .

Арифметична операція додавання однойменних розрядів за алгоритмом (1.1) в дискретній (цифровій) техніці здійснюється з застосуванням однорозрядного суматора двійкових чисел, функція якого позначається латинськими літерами  $SM$ . Умовне графічне позначення (УГП) такого однорозрядного двійкового суматора наведено на рис.1.1.

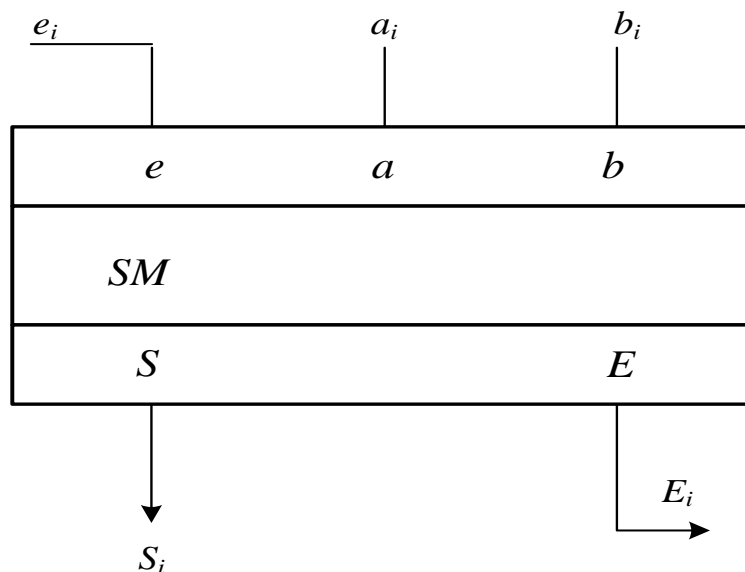


Рисунок 1.1 - Умовне графічне позначення однорозрядного арифметичного двійкового суматора ( $SM$ )

Арифметичні функції, які виконує однорозрядний двійковий суматор (1.1) в залежності від значень вхідних змінних поточного розряду, приведені в табл. 1.1. В цій таблиці використовуються такі позначення:  $(0_2, 1_2)$  – цифри двійкової системи числення;  $0_{10}, 1_{10}, 2_{10}, 3_{10}$  – числа десятикової системи числення.

При реалізації двійкових суматорів як електронних пристроїв значення арифметичних змінних  $1_2$  і  $0_2$  фізично відображаються, як правило, двома станами електричної напруги. За канонічним кодуванням для зображення арифметичної одиниці ( $1_2$ ) використовується більш високий рівень електричної напруги  $H$ , а для зображення арифметичного нуля ( $0_2$ ) – більш низький рівень напруги  $L$  (для назви рівнів електричної напруги використовуються перші літери англійських слів *High* та *Low*). За таким кодуванням двійкових арифметичних змінних правила виконання арифметичних операцій при додаванні однойменних розрядів доданків  $a_i$  і  $b_i$  та переносу  $e_i$  з сусіднього молодшого розряду набувають вигляду, який наведено в табл. 1.2 [ 1, 3, 5 ].

Арифметичні функції однорозрядного двійкового суматора

Таблиця 1.1

$a_i$	$b_i$	$e_i$	$E_i$	$S_i$	Десяткове значення арифметичної суми $(a_i+b_i+e_i)$
$0_2$	$0_2$	$0_2$	$0_2$	$0_2$	$0_{10}$
$0_2$	$0_2$	$1_2$	$0_2$	$1_2$	$1_{10}$
$0_2$	$1_2$	$0_2$	$0_2$	$1_2$	$1_{10}$
$0_2$	$1_2$	$1_2$	$1_2$	$0_2$	$2_{10}$
$1_2$	$0_2$	$0_2$	$0_2$	$1_2$	$1_{10}$
$1_2$	$0_2$	$1_2$	$1_2$	$0_2$	$2_{10}$
$1_2$	$1_2$	$0_2$	$1_2$	$0_2$	$2_{10}$
$1_2$	$1_2$	$1_2$	$1_2$	$1_2$	$3_{10}$

Слід зазначити, що в цифровій схемотехніці в деяких випадках використовують також зворотне кодування арифметичних змінних електричними сигналами, коли арифметична одиниця ( $1_2$ ) відображається більш низьким рівнем електричної напруги  $L$  (наприклад, рівнем  $-1,4\text{В}$ ), а арифметичний нуль ( $0_2$ ) – більш високим рівнем електричної напруги  $H$  (наприклад, рівнем  $-0,7\text{В}$ ) [ 6 ].

З метою опису правил роботи двійкового суматора на мові булевої алгебри двозначні рівні напруги  $H$  та  $L$  аргументів ( $a, b, e$ ) і функцій ( $S, E$ ) суматора (табл. 1.2) зазвичай трактують як логічні змінні, тобто, як висловлювання, які, як відомо [ 1 ], можуть мати істинне ( $T$ ), або хибне ( $F$ ) значення ( для назви значень висловлювань використовуються перші літери слів *True* і *False* ).

Арифметичні функції однорозрядного двійкового суматора з канонічним кодуванням двійкових цифр потенційними рівнями електричної напруги

Таблиця 1.2

$a_{HL}$	$b_{HL}$	$e_{HL}$	$E_{HL}$	$S_{HL}$
L	L	L	L	L
L	L	H	L	H
L	H	L	L	H
L	H	H	H	L
H	L	L	L	H
H	L	H	H	L
H	H	L	H	L
H	H	H	H	H

Для зручності запису алгоритму роботи суматора на мові алгебри логіки істинне значення висловлювання ( $T$ ), як правило, визначають в якості булевого значення 1 ( один ), а хибне значення висловлювання ( $F$ ) визначається, як булеве значення 0 ( нуль ).

При цьому, в загальному випадку, для перетворення двозначних фізичних рівнів електричної напруги  $H$  і  $L$  цифрового пристрою. в булеві значення 1 і 0 використовуються позитивний (*positive logic*) або негативний (*negative logic*) способи кодування логічних змінних [ 1 ]. При позитивному кодуванні (за позитивною логічною угодою) більш високий рівень електричної напруги  $H$  в цифровому пристрої приймається за істинне ( $T$ ) значення відповідної булевої змінної ( висловлювання ) і відображається булевим значенням 1 ( один ), а більш низький рівень електричного двозначного сигналу  $L$  відображається за допомогою булевого значення 0 (табл. 1.3).

Логічні функції булевого однорозрядного двійкового суматора з позитивною логікою ПЛ ) кодування логічних змінних

Таблиця 1.3

$a_{пл}$	$b_{пл}$	$e_{пл}$	$E_{пл}$	$S_{пл}$
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

При використанні негативного кодування (за негативною угодою) більш високий рівень  $H$  двозначного електричного сигналу цифрового пристрою приймається за хибне ( $F$ ) значення відповідної булевої змінної і відображається булевим значенням 0 (нуль), а більш низький рівень  $L$  – булевим значенням 1 (табл. 1.4).

Таблиці істинності суматора з позитивною (табл. 1.3) або негативною (табл. 1.4) логікою складають теоретичну основу для аналітичного запису методами апарату булевої логіки алгоритму функціонування суматорів та оптимізації їх логічних схем.

Згідно з таблицею істинності двійкового суматора з позитивною логікою (табл. 1.3) досконала диз'юнктивна нормальна форма (ДДНФ) має такий вигляд [5]:

$$S_{пл} = \bar{a}_{пл}\bar{b}_{пл}e_{пл} \vee \bar{a}_{пл}b_{пл}\bar{e}_{пл} \vee a_{пл}\bar{b}_{пл}\bar{e}_{пл} \vee a_{пл}b_{пл}e_{пл}; \quad (1.2)$$

)

$$E_{пл} = a_{пл}b_{пл}\bar{e}_{пл} \vee a_{пл}\bar{b}_{пл}e_{пл} \vee \bar{a}_{пл}b_{пл}e_{пл} \vee a_{пл}b_{пл}e_{пл}, \quad (1.3)$$

)

де  $a_{пл}$ ,  $b_{пл}$ ,  $e_{пл}$  – булеві зображення рівнів вхідних сигналів суматора за правилами позитивної логіки;

$S_{пл}$ ,  $E_{пл}$  – булеві зображення рівнів вихідних функцій суматора за правилами позитивної логіки.

Логічні функції булевого однорозрядного двійкового суматора з  
негативною логікою ( НЛ ) кодування логічних змінних

Таблиця 1.4

$a_{\text{нл}}$	$b_{\text{нл}}$	$e_{\text{нл}}$	$E_{\text{нл}}$	$S_{\text{нл}}$
1	1	1	1	1
1	1	0	1	0
1	0	1	1	0
1	0	0	0	1
0	1	1	1	0
0	1	0	0	1
0	0	1	0	1
0	0	0	0	0

В логічних виразах ( 1.2 ), ( 1.3 ) кожний терм ( операнд операції диз'юнкції ) відповідає тим рядкам таблиці істинності (табл. 1.3), в яких  $S_{\text{нл}} = 1$  і  $E_{\text{нл}} = 1$ .

Для реалізації логічних функцій суматора у вигляді ДДНФ доцільно використовувати дешифратор, який є комбінаційною логічною схемою, що реалізує на своїх виходах конституенти одиниці логічної функції, кількість логічних змінних якої співпадає з кількістю входів дешифратора. Таким чином, для реалізації однобітного суматора необхідно використовувати дешифратор  $3 \rightarrow 8$  [ 5 ].

Функціональна логічна схема системи перемикальних функцій (1.2, 1.3), які описують канонічний суматор з позитивною логікою, наведена на рис. 1.2. Дешифратор  $3 \rightarrow 8$  в логічній схемі суматора виконує формування необхідних кон'юнктивних термів обох вихідних функцій суматора  $S_{\text{нл}}$  і  $E_{\text{нл}}$  згідно з ДДНФ цих функцій:  $\bar{a}_{\text{нл}}\bar{b}_{\text{нл}}e_{\text{нл}}$ ,  $\bar{a}_{\text{нл}}b_{\text{нл}}\bar{e}_{\text{нл}}$ ,  $\bar{a}_{\text{нл}}b_{\text{нл}}e_{\text{нл}}$ ,  $a_{\text{нл}}\bar{b}_{\text{нл}}\bar{e}_{\text{нл}}$ ,  $a_{\text{нл}}\bar{b}_{\text{нл}}e_{\text{нл}}$ ,  $a_{\text{нл}}b_{\text{нл}}\bar{e}_{\text{нл}}$ ,  $a_{\text{нл}}b_{\text{нл}}e_{\text{нл}}$ .

Для спрощення зображення логічної схеми на функціональній схемі суматора (рис. 1.2) позначки вихідних функцій дешифратора задані відповідними десятковими еквівалентами мінтермів [ 1 ].

На рис. 1.2 використовуються такі позначення:

- $A_2, A_1, A_0$  – адресні входи дешифратора, які використовуються для підключення вхідних змінних суматора, номери яких відповідають ваговим коефіцієнтам  $2^2, 2^1, 2^0$ ;
- 7, 6, ..., 1 – десяткові еквіваленти функцій дешифратора  $3 \rightarrow 8$ .

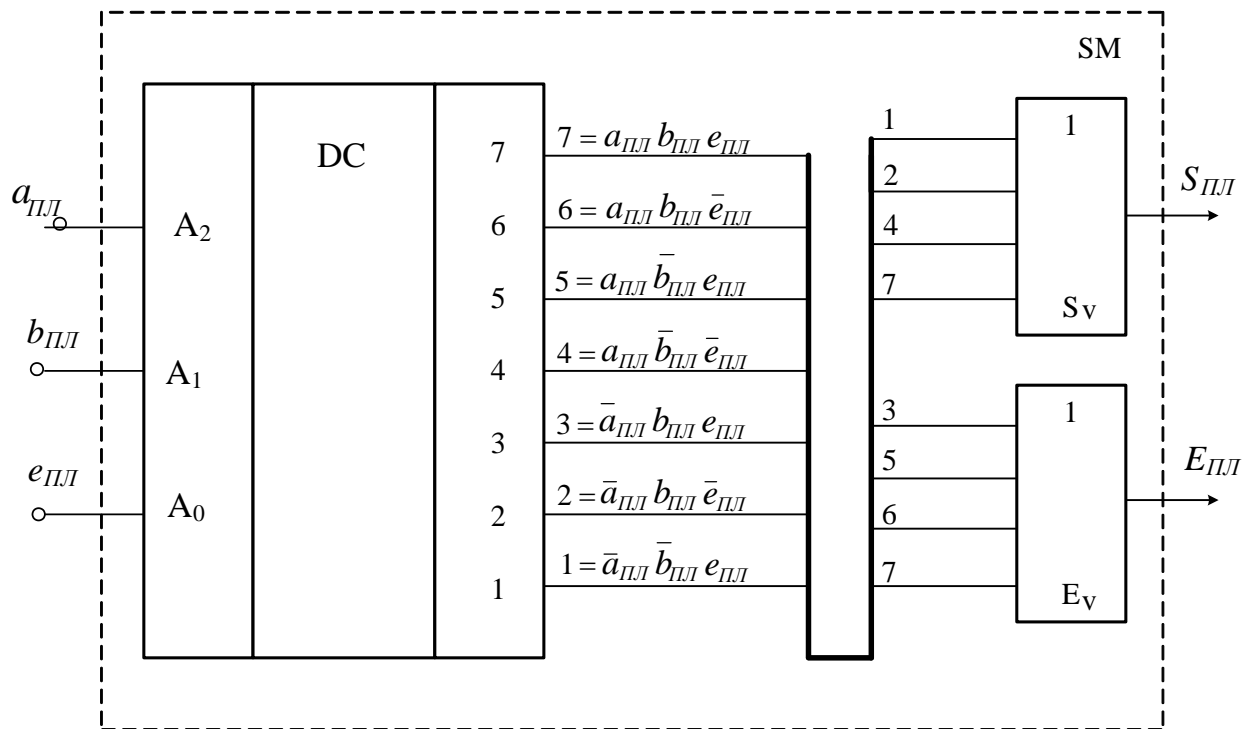


Рисунок 1.2 - Апаратне відображення канонічного суматора з використанням позитивної логіки

На виході 1 дешифратора виконана реалізація терму  $\bar{a}_{ПЛ} \bar{b}_{ПЛ} e_{ПЛ}$ , на виході 2 відповідно до рис. 1.2 реалізовано терм  $\bar{a}_{ПЛ} b_{ПЛ} \bar{e}_{ПЛ}$  і т.д.

За правилами негативної логіки канонічний суматор згідно з табл. 1.4 повинен виконувати логічні операції:

$$S_{НЛ} = \bar{a}_{НЛ} \bar{b}_{НЛ} e_{НЛ} \vee \bar{a}_{НЛ} b_{НЛ} \bar{e}_{НЛ} \vee a_{НЛ} \bar{b}_{НЛ} \bar{e}_{НЛ} \vee a_{НЛ} b_{НЛ} e_{НЛ}; \quad (1.4)$$

)

$$E_{НЛ} = \bar{a}_{НЛ} b_{НЛ} e_{НЛ} \vee a_{НЛ} b_{НЛ} \bar{e}_{НЛ} \vee a_{НЛ} \bar{b}_{НЛ} e_{НЛ} \vee a_{НЛ} b_{НЛ} e_{НЛ}, \quad (1.5)$$

)

де  $a_{НЛ}, b_{НЛ}, e_{НЛ}$  – зображення булевих вхідних змінних суматора за правилами негативної логіки ( $H \leftrightarrow 0, L \leftrightarrow 1$ );

$S_{НЛ}, E_{НЛ}$  – булеві зображення суми та переносу арифметичного суматора за правилами негативної логіки ( $H \leftrightarrow 0, L \leftrightarrow 1$ ).

В логічних виразах (1.4) і (1.5) кожний кон'юнктивний терм відповідає тим рядкам таблиці істинності суматора (табл. 1.4), в яких функції суми і переносу дорівнюють одиниці  $S_{НЛ} = 1$  і  $E_{НЛ} = 1$ .

Функціональна схема канонічного суматора з використанням негативної логіки кодування логічних змінних згідно з виразами ( 1.4 ), ( 1.5 ) показана на рис. 1.3.

Позначення, які використовуються на рис.1.3, аналогічні позначенням на рис. 1.2.

З побудованої схеми випливає, що апаратне відображення канонічного суматора з негативною логікою (рис. 1.3) повністю тотожне функціональній схемі канонічного суматора з позитивною логікою (рис.1.2). З цього випливає, що логічна функціональна схема суматора інваріантна до способу зображення аргументів і функцій ( логічних змінних ) суматора, тобто при зміні способу кодування вхідних змінних ( ПЛ→ НЛ або НЛ→ПЛ ) суматор продовжує виконувати операцію додавання вхідних операндів, але функції суматора  $E$  і  $S$  формуються на виході суматора за новою логічною угодою (рис. 1.4), яка збігається зі способом кодування вхідних аргументів.

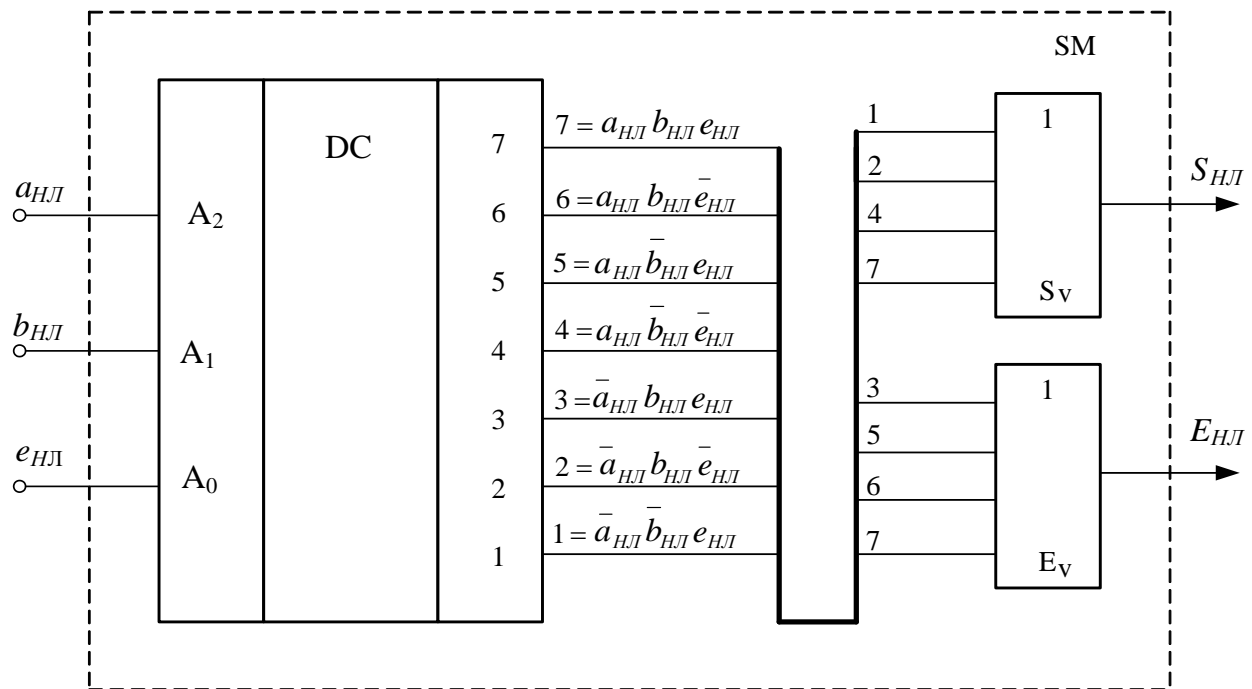


Рисунок 1.3 – Апаратне відображення канонічного суматора з використанням негативної логіки

Відповідно до визначення позитивного та негативного способу кодування логічних змінних ( табл. 1.3, 1.4 ) зміну полярності вхідних змінних суматора можна трактувати як інвертування ( заперечення ) значень вхідних змінних суматора. В цьому випадку властивість тотожності

полярності входу-виходу в суматорі можна трактувати як **самоподвійність** функцій двійкового суматора.

Властивість самоподвійності припускає, що інверсія (заперечення) значень аргументів суматора автоматично викликає інвертування (заперечення) вихідних функцій суматора (рис. 1.5, 1.6), тобто:

$$\begin{aligned}
 S_{ПЛ} &= F_S(a_{ПЛ}, b_{ПЛ}, e_{ПЛ}); & E_{ПЛ} &= F_E(a_{ПЛ}, b_{ПЛ}, e_{ПЛ}); \\
 \bar{S}_{ПЛ} &= F_S(\bar{a}_{ПЛ}, \bar{b}_{ПЛ}, \bar{e}_{ПЛ}); & \bar{E}_{ПЛ} &= F_E(\bar{a}_{ПЛ}, \bar{b}_{ПЛ}, \bar{e}_{ПЛ}); \\
 S_{НЛ} &= F_S(a_{НЛ}, b_{НЛ}, e_{НЛ}); & E_{НЛ} &= F_E(a_{НЛ}, b_{НЛ}, e_{НЛ}); \\
 \bar{S}_{НЛ} &= F_S(\bar{a}_{НЛ}, \bar{b}_{НЛ}, \bar{e}_{НЛ}); & \bar{E}_{НЛ} &= F_E(\bar{a}_{НЛ}, \bar{b}_{НЛ}, \bar{e}_{НЛ}).
 \end{aligned}
 \tag{1.6}$$

Властивість самоподвійності вихідних функцій суматора (1.6) широко використовується для побудови логічних схем суматора в елементному базисі І-АБО-НІ (рис. 1.7). Логічна схема на рис. 1.7 побудована з використанням властивості самоподвійності суматора наступним чином.

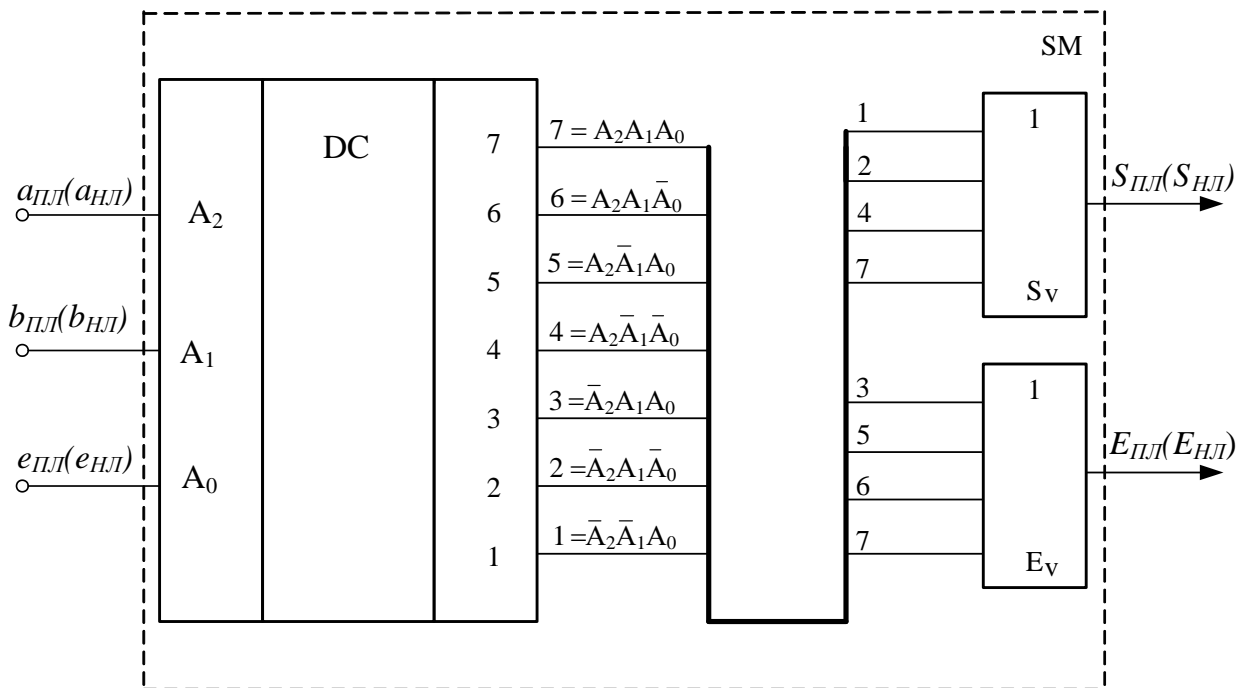


Рисунок 1.4 – Логічне відображення властивості інваріантності суматора відносно способу кодування логічних змінних



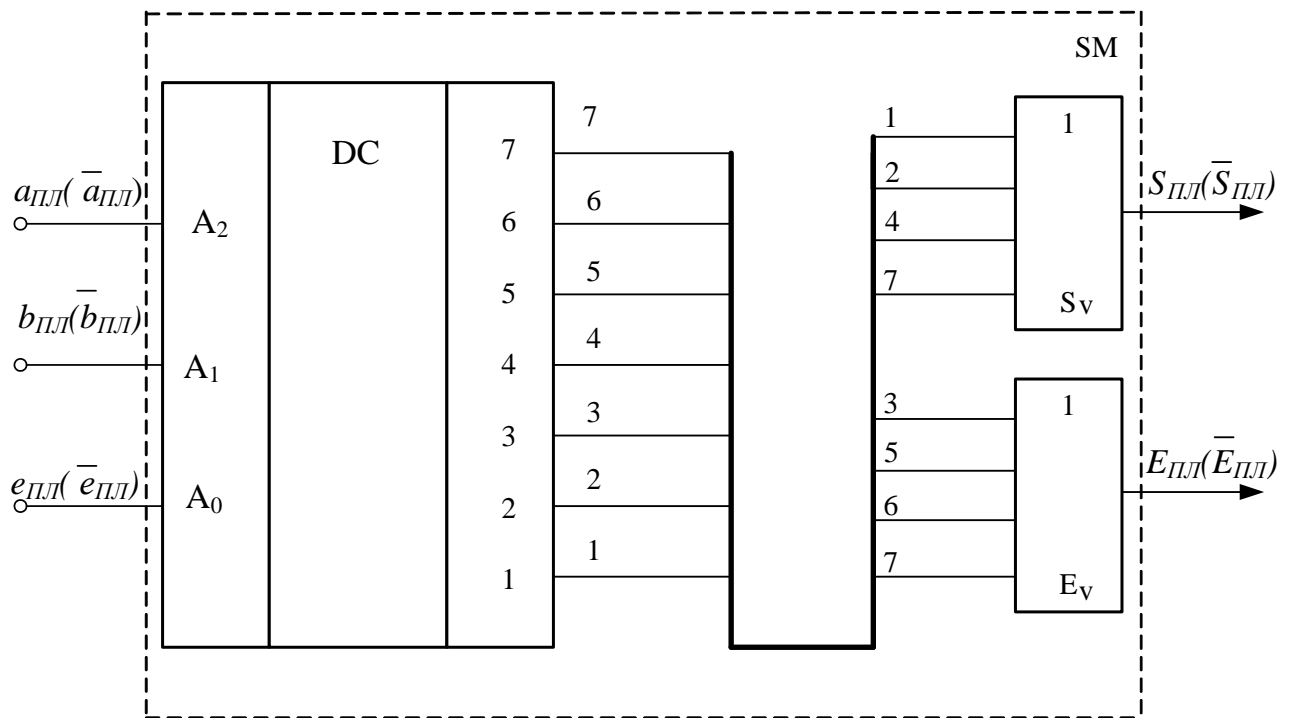


Рисунок 1.5 – Логічне відображення властивості самоподвійності суматора з позитивною логікою

Згідно з ( 1.2 ), ( 1.3 ) і на основі властивості самоподвійності функцій суматора можна записати:

$$\begin{aligned} \overline{S_{PLL}} &= \overline{a_{PLL} \overline{b_{PLL}} \overline{e_{PLL}}} + \overline{a_{PLL} \overline{b_{PLL}} e_{PLL}} + \overline{a_{PLL} b_{PLL} \overline{e_{PLL}}} + \overline{a_{PLL} b_{PLL} e_{PLL}} = \\ &= \overline{a_{PLL} b_{PLL} e_{PLL}} + \overline{a_{PLL} \overline{b_{PLL}} e_{PLL}} + \overline{a_{PLL} b_{PLL} \overline{e_{PLL}}} + \overline{a_{PLL} \overline{b_{PLL}} \overline{e_{PLL}}}; \end{aligned} \quad (1.7)$$

$$\begin{aligned} \overline{E_{PLL}} &= \overline{a_{PLL} \overline{b_{PLL}} \overline{e_{PLL}}} + \overline{a_{PLL} \overline{b_{PLL}} e_{PLL}} + \overline{a_{PLL} b_{PLL} \overline{e_{PLL}}} + \overline{a_{PLL} b_{PLL} e_{PLL}} = \\ &= \overline{a_{PLL} \overline{b_{PLL}} e_{PLL}} + \overline{a_{PLL} \overline{b_{PLL}} \overline{e_{PLL}}} + \overline{a_{PLL} b_{PLL} \overline{e_{PLL}}} + \overline{a_{PLL} b_{PLL} e_{PLL}}. \end{aligned} \quad (1.8)$$

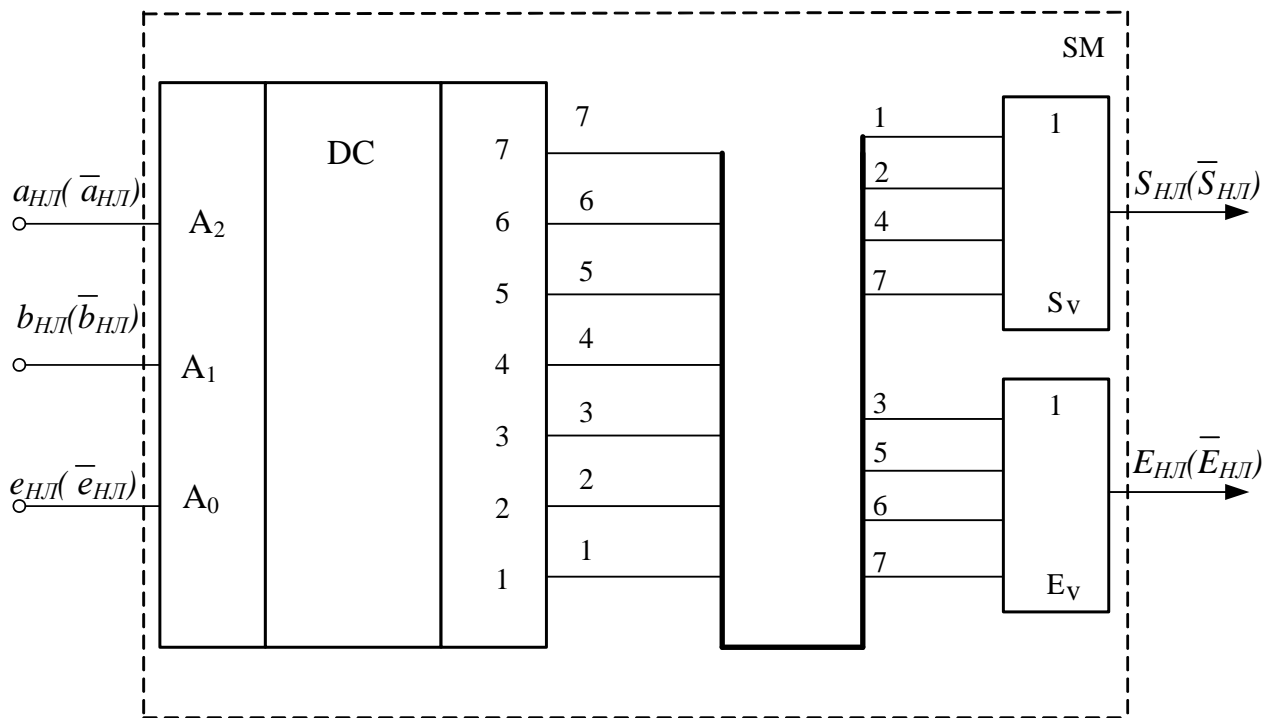


Рисунок 1.6 – Логічне відображення властивості самоподвійності суматора з негативною логікою:

За допомогою правила де Моргана [ 1, 5 ] остаточно для прямих значень функцій суматора згідно з ( 1.7 ) і ( 1.8 ) можна отримати систему співвідношень:

$$S_{\text{ПЛЛ}} = (\overline{\overline{S_{\text{ПЛЛ}}}}) = \overline{y_3 \vee y_5 \vee y_6 \vee y_0}; \quad ( 1.9 )$$

)

$$E_{\text{ПЛЛ}} = (\overline{\overline{E_{\text{ПЛЛ}}}}) = \overline{y_1 \vee y_2 \vee y_4 \vee y_0}, \quad ($$

1.10)

де  $y_3 = \overline{a_{\text{ПЛЛ}}} b_{\text{ПЛЛ}} e_{\text{ПЛЛ}}; \quad y_5 = a_{\text{ПЛЛ}} \overline{b_{\text{ПЛЛ}}} e_{\text{ПЛЛ}}; \quad y_6 = a_{\text{ПЛЛ}} b_{\text{ПЛЛ}} \overline{e_{\text{ПЛЛ}}};$

$$y_1 = \overline{a_{\text{ПЛЛ}}} \overline{b_{\text{ПЛЛ}}} e_{\text{ПЛЛ}}; \quad y_4 = a_{\text{ПЛЛ}} \overline{b_{\text{ПЛЛ}}} \overline{e_{\text{ПЛЛ}}}; \quad y_0 = \overline{a_{\text{ПЛЛ}}} \overline{b_{\text{ПЛЛ}}} \overline{e_{\text{ПЛЛ}}}; \quad y_2 = \overline{a_{\text{ПЛЛ}}} b_{\text{ПЛЛ}} \overline{e_{\text{ПЛЛ}}}.$$

На логічній схемі, яка відповідає виразам ( 1.8 ) і ( 1.9 ), суматора ( рис. 1.7 ) інверсне значення аргументів (  $a, b, e$  ) на входах схем кон'юнкції ЗІ умовно позначається індикатором логічної інверсії ( невеликим колом у відповідного виводу схеми ЗІ ). Умовно вважається, що на прямому вході елемента ЗІ операнд має активне значення, якщо стан сигналу відповідає логічній 1 ( одиниці ), а на інверсному вході логічного елемента сигнал має активне значення в тому разі, якщо його стан відповідає логічному 0 ( нулю ). При цьому необхідно зазначити, що з точки зору схемотехніки

індикатору логічної інверсії відповідає наявність логічного інвертору на відповідному вході логічного елемента 3І ( рис. 1.8 ).

На умовних графічних позначеннях логічних елементів в каталогах і довідниках, як правило, переважно використовується логічна угода з позитивним кодуванням значень логічних сигналів. При цьому в символах сигналів на умовних графічних позначеннях логічних схем опускають ознаку належності сигналу до позитивної логіки, тобто на логічних схемах замість символу, наприклад, « $a_{nl}$ » використовують літеру без цього індексу, тобто – символ « $a$ ».

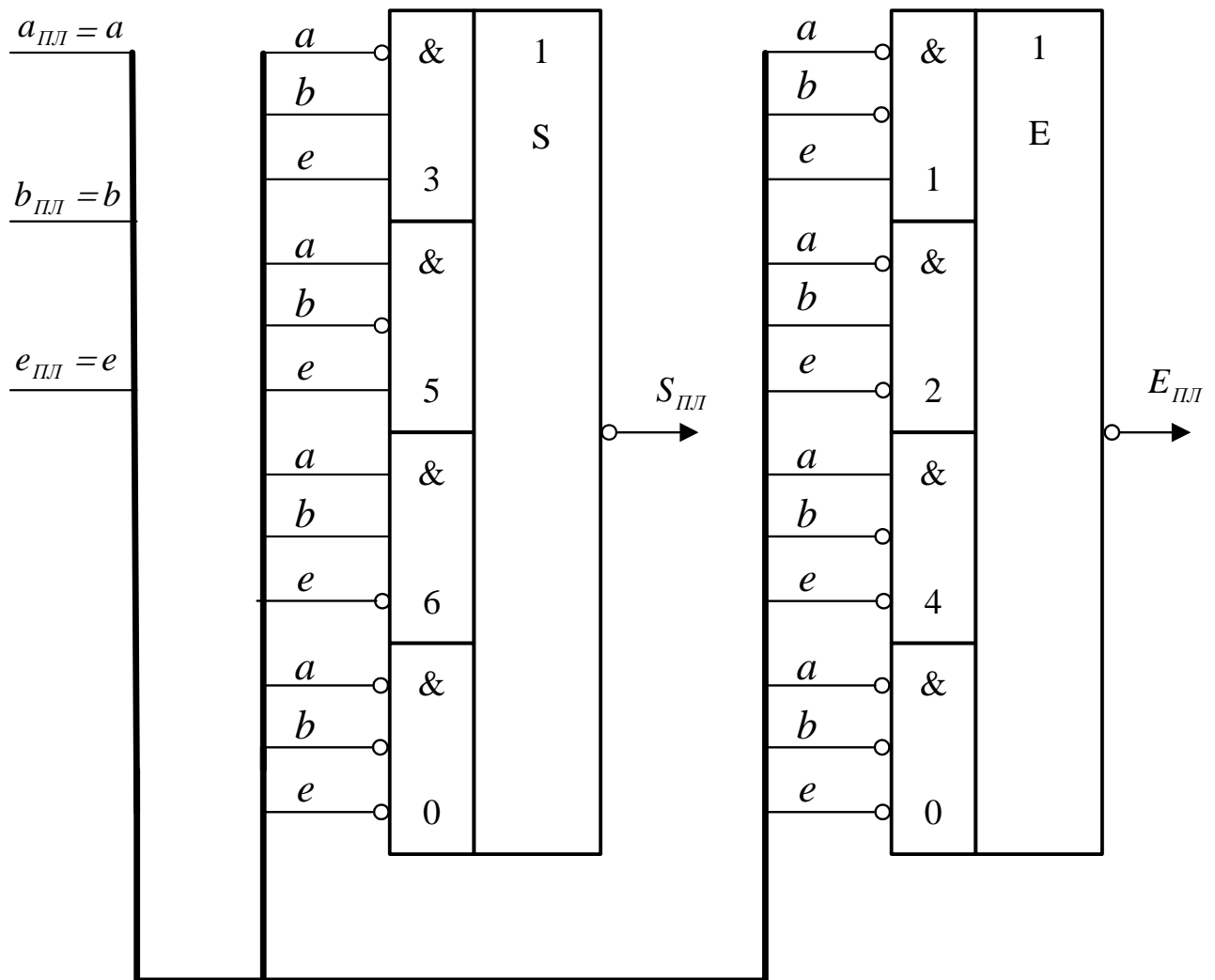


Рисунок 1.7 - Логічна схема канонічного однорозрядного суматора в інверсному елементному базисі 3І - 4АБО - НІ.

В деяких випадках активним перемикальним рівнем на зовнішніх виводах логічних схем вважається логічний 0 ( нуль ). В цьому випадку такий вивід логічної схеми позначається індикатором логічної інверсії, а

відповідний зовнішній вхідний сигнал вважається інверсним відносно його прямого значення за логічною угодою позитивної логіки, яке зображується у відповідній позиції внутрішнього поля умовного графічного позначення логічного елемента.

На рис. 1.9,а наведено приклад логічної схеми суматора, на входи якого для підключення доданків ( $a$  і  $b$ ) необхідно підключати прямі значення сигналів, а сигнал вхідного переносу на відповідному зовнішньому вході повинен мати інверсне значення ( $\bar{e}$ ) відносно прямого значення ( $e$ ) сигналу у внутрішньому додатковому полі УГП суматора.

Таким чином, з цього випливає, що активним рівнем сигналу переносу на зовнішньому вході суматора є сигнал низького ( $L$ ) рівня електричної напруги.

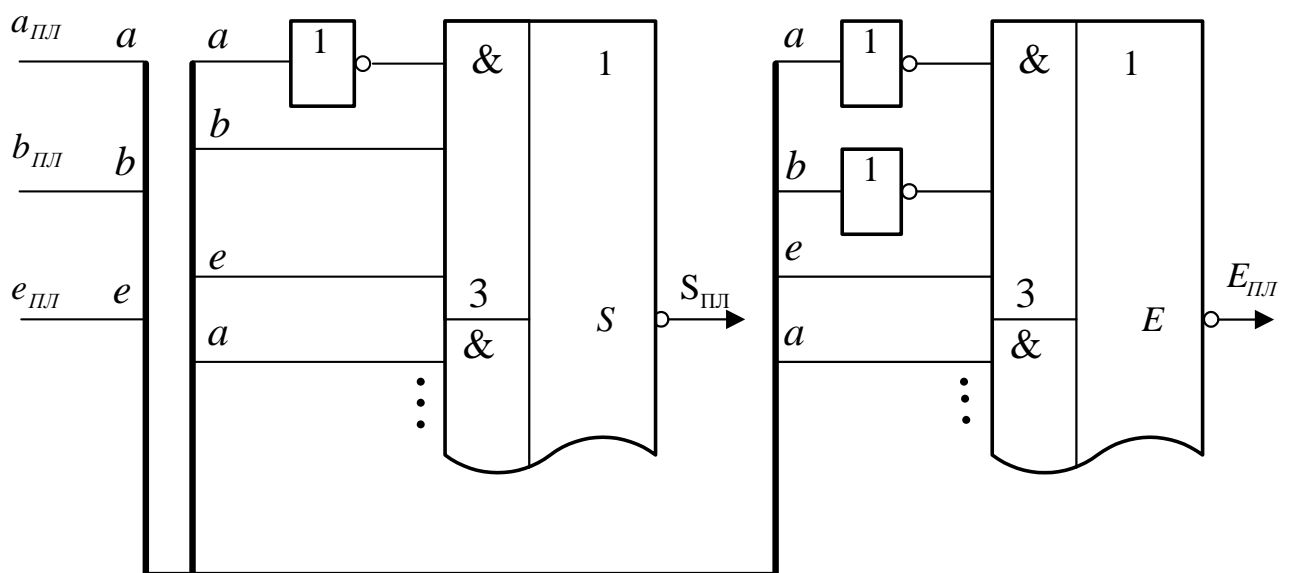


Рисунок 1.8 – Розгорнута логічна схема формування вхідних сигналів схем 3І канонічного суматора

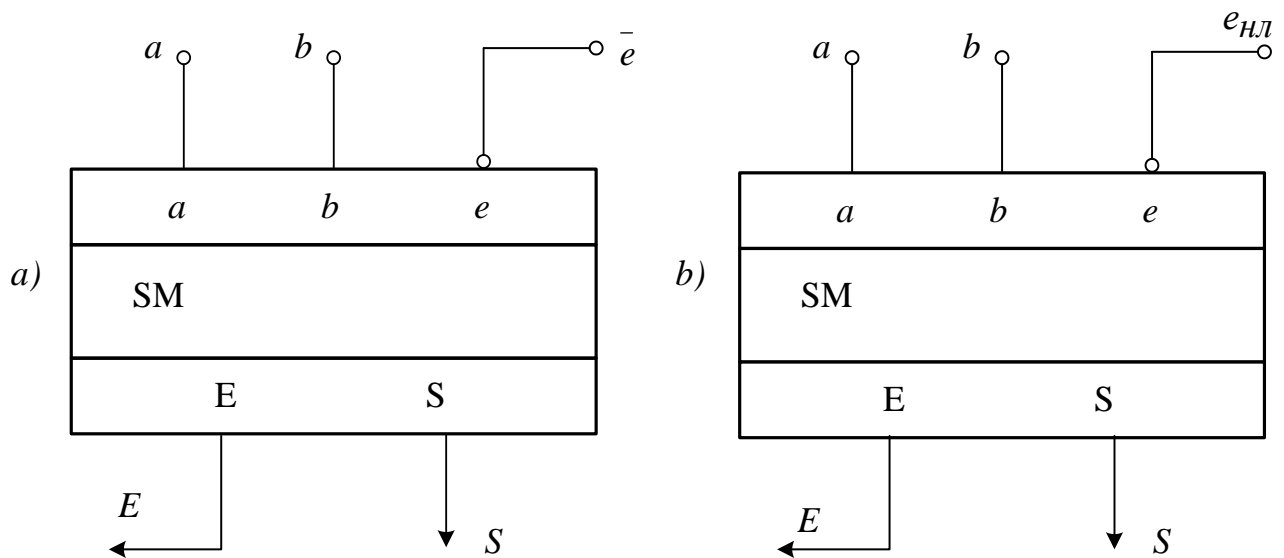


Рисунок 1.9 – Еквівалентні форми зображення вхідних операндів суматора

Якщо в логічних схемах використовуються обидва способи кодування логічних сигналів (за позитивною і негативною логіками), то застосовується гібридна форма кодування логічних сигналів.

В цьому випадку умовне графічне позначення суматора приведено на рис. 1.9, б. В цій схемі використані такі гібридні зображення значень вхідних операндів: доданки  $a$  і  $b$  задаються в прямій формі за угодою позитивної логіки, а вхідний сигнал переносу також задається в прямій формі, але за угодою негативною логікою, тобто як  $e_{нл}$  ( $e_{нл} = \bar{e}$ ).

Таким чином, на рис. 1.9 використовуються такі позначення вхідних сигналів суматора:

$a, b, e$  – сигнали на виводах суматора за угодою позитивної логіки ( $H \leftrightarrow 1, L \leftrightarrow 0$ );

$e_{нл}$  – сигнали вхідного переносу за угодою негативною логікою ( $H \leftrightarrow 0, L \leftrightarrow 1$ );

$\bar{e}$  – інверсний сигнал вхідного переносу, тобто значення  $\bar{e} = 1$  означає, що перенос в даний біт суматора відсутній ( $e = 0$ ).

Очевидно, що одиничному значенню переносу ( $e = 1$ ) на зовнішньому виводі умовного графічного позначення суматора на рис. 1.9, а відповідає інверсний сигнал позитивної логіки  $\bar{e} = 0 (L)$ , а на еквівалентному зовнішньому виводі суматора на рис. 1.9, б використовується сигнал  $e_{нл} = 1 (L)$ . Таким чином, в суматорі на рис. 1.9, б логічне значення вхідного переносу за негативною угодою  $e_{нл}$  співпадає з логічним значенням

вхідного сигналу переносу ( $e$ ) суматора. Отже, гібридне зображення сигналів в деяких випадках збільшує наочність і зручність зрозуміння принципів функціонування (читання) логічної схеми.

Вихідні функції суматора також можуть використовуватися як в прямій, так і в інверсній формах. На рис. 1.10,а наведено приклад умовного графічного позначення суматора, в якому вихідний сигнал переносу на зовнішньому виводі формується в інверсній формі ( $\bar{E}$ ). Очевидно, що в цьому випадку прямому сигналу вихідного переносу  $E = 1(0)$  у внутрішньому додатковому полі УГП суматора на зовнішньому виводі буде відповідати інверсне його значення  $\bar{E} = 0(1)$ .

Якщо в цьому ж суматорі для зображення інверсного значення вихідного переносу визначити функцію за негативною логікою  $E_{НЛ}$  (рис. 1.10,б), то, очевидно, що значенню переносу  $E = 1(0)$  будуть відповідати значення негативного переносу  $E_{НЛ} = 1(0)$ .

Таким чином, на рис. 1.10 використовуються такі позначення вихідних сигналів суматора:

$a, b, e, E, S$  – сигнали на виходах суматора за угодою позитивної логіки ( $H \leftrightarrow 1, L \leftrightarrow 0$ );

$E_{НЛ}$  – значення ознаки вихідного переносу за угодою негативною логікою ( $H \leftrightarrow 0, L \leftrightarrow 1$ ).

При подальшому аналізі логічних схем булевих суматорів за замовченням будемо припускати, що використовується виключно позитивне кодування логічних сигналів.

Крім того, для позначення операції диз'юнкції в логічних виразах будемо надалі використовувати як символ « $\vee$ », так і символ « $+$ ».

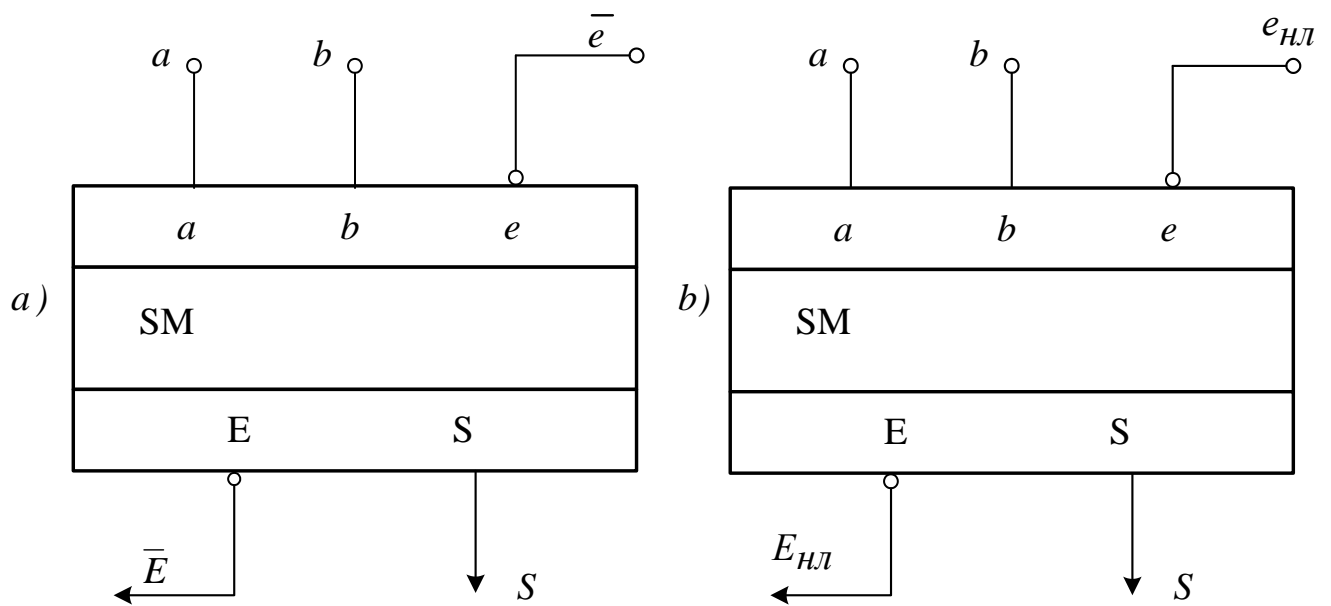


Рисунок 1.10 - Еквівалентні форми зображення вихідних функцій суматора

### Контрольні завдання та запитання

1. Виконайте синтез і побудуйте логічні схеми канонічного однорозрядного суматора в елементному базисі 3І-НІ та 2І-НІ, використовуючи ДДНФ.
2. Виконайте синтез і побудуйте логічні схеми канонічного однорозрядного суматора в елементному базисі 3І-НІ та 2І-НІ, використовуючи ДКНФ.
3. Виконайте синтез і побудуйте логічні схеми канонічного однорозрядного суматора в елементному базисі 3АБО-НІ та 2АБО-НІ, використовуючи ДДНФ.
4. Виконайте синтез і побудуйте логічні схеми канонічного однорозрядного суматора в елементному базисі 3АБО-НІ та 2АБО-НІ, використовуючи ДКНФ.
5. Побудуйте логічні схеми канонічного суматора на базі синхронних дешифраторів 2→4.
6. Побудуйте логічні схеми канонічного суматора на базі мультиплексорів 8→1.
7. Побудуйте логічні схеми канонічного суматора на базі мультиплексорів 4→1.

8. Побудуйте логічні схеми канонічного суматора на базі мультиплексорів  $2 \rightarrow 1$  з використанням каскадного з'єднання заданих мультиплексорів.
9. Побудуйте логічні схеми канонічного суматора на базі дешифратора і мультиплексорів  $2 \rightarrow 1$ .
10. Виконайте порівняння апаратних витрат на побудову логічних схем канонічного суматора при розв'язанні завдань 1-9.
11. Обґрунтуйте логічні вирази:
 
$$\bar{S} = \bar{a}b\bar{c} + a\bar{b}\bar{c} + a\bar{b}c + \bar{a}bc;$$

$$\bar{E} = \bar{a}\bar{b}\bar{c} + \bar{a}b\bar{c} + a\bar{b}\bar{c} + \bar{a}bc;$$

$$\bar{S} = \overline{\bar{a}b\bar{c} + a\bar{b}\bar{c} + a\bar{b}c + \bar{a}bc};$$

$$\bar{E} = \overline{\bar{a}b\bar{c} + a\bar{b}\bar{c} + a\bar{b}c + \bar{a}bc};$$

$$E = \bar{a}b\bar{c} + a\bar{b}\bar{c} + a\bar{b}c + \bar{a}bc.$$
12. Обґрунтуйте логічні вирази:
 
$$S = \overline{\bar{a}b\bar{c} + a\bar{b}\bar{c} + a\bar{b}c + \bar{a}bc};$$

$$E = \overline{\bar{a}b\bar{c} + a\bar{b}\bar{c} + a\bar{b}c + \bar{a}bc};$$

$$S = \bar{a}b\bar{c} + a\bar{b}\bar{c} + a\bar{b}c + \bar{a}bc;$$
13. Як побудувати суматор з негативною логікою кодування сигналів на основі суматора з позитивною логікою?
14. Як побудувати суматор з позитивною логікою кодування сигналів на основі суматора з негативною логікою?
15. Дайте визначення двійкового однобітного суматора.
16. Для чого використовуються однобітні двійкові суматори?
17. Поясніть, як розробити таблицю істинності однобітного двійкового суматора?
18. Поясніть термін «позитивна логіка».
19. Поясніть термін «негативна логіка».
20. Назвіть тип кодування логічних сигналів, якщо логічному нулю відповідає рівень електричної напруги  $-1,5\text{В}$ , а логічній одиниці відповідає  $+3,5\text{В}$ .
21. Назвіть тип кодування логічних сигналів, якщо логічному нулю відповідає рівень електричної напруги  $12\text{В}$ , а логічній одиниці відповідає  $-12\text{В}$ .
22. Поясніть властивість самоподвійності логічних функцій.
23. Доведіть самоподвійність функції суми.
24. Доведіть самоподвійність функції переносу суматора.



25. Яка мікрооперація виконується за допомогою суматорів?
26. Визначити реакцію суматора при інвертуванні значень всіх вхідних сигналів.
27. Що означає термін «гібридна форма кодування логічних сигналів»?
28. Що означає наявність індикатора інверсії на вході логічного елемента?
29. За яким правилом визначається результат операції додавання в поточному розряді числа, представленого в будь-якій системі числення?
30. Приведіть умовне графічне позначення однорозрядного суматора з прямими виводами  $a$ ,  $b$ ,  $S$  і інверсними виводами  $\bar{e}$  і  $\bar{E}$ .
31. Побудуйте таблиці істинності функцій  $S_{ПЛ}$  і  $E_{ПЛ}$  суматора на рис.1.2 при:

$$\begin{aligned} A_2A_1A_0 &= \bar{a}_{ПЛ} \bar{b}_{ПЛ} e_{ПЛ}; \\ A_2A_1A_0 &= a_{ПЛ} \bar{b}_{ПЛ} \bar{e}_{ПЛ}; \\ A_2A_1A_0 &= a_{ПЛ} \bar{b}_{ПЛ} e_{ПЛ}. \end{aligned}$$

32. Побудуйте і мінімізуйте функції суми і переносу ( $S_{ПЛ}$ ,  $E_{ПЛ}$ ) суматора на рис. 1.2 при:

$$\begin{aligned} A_2A_1A_0 &= \bar{a}_{ПЛ} b_{ПЛ} e_{ПЛ}; \\ A_2A_1A_0 &= a_{ПЛ} b_{ПЛ} \bar{e}_{ПЛ}; \\ A_2A_1A_0 &= a_{ПЛ} \bar{b}_{ПЛ} e_{ПЛ}. \end{aligned}$$

33. Побудуйте і мінімізуйте функції суми і переносу ( $S_{НЛ}$ ,  $E_{НЛ}$ ) суматора на рис. 1.3 при:

$$\begin{aligned} A_2A_1A_0 &= \bar{a}_{НЛ} b_{НЛ} e_{НЛ}; \\ A_2A_1A_0 &= \bar{a}_{НЛ} \bar{b}_{НЛ} e_{НЛ}; \\ A_2A_1A_0 &= a_{НЛ} \bar{b}_{НЛ} e_{НЛ}. \end{aligned}$$

34. Побудуйте таблиці істинності функцій  $S_{НЛ}$  і  $E_{НЛ}$  суматора на рис.1.2 при:

$$\begin{aligned} A_2A_1A_0 &= a_{НЛ} \bar{b}_{НЛ} \bar{e}_{НЛ}; \\ A_2A_1A_0 &= a_{НЛ} b_{НЛ} \bar{e}_{НЛ}; \\ A_2A_1A_0 &= \bar{a}_{НЛ} b_{НЛ} \bar{e}_{НЛ}. \end{aligned}$$

35. Які логічні вирази функції суми є коректними?

$$\begin{aligned} S_{ПЛ} &= \bar{a}_{ПЛ} \bar{b}_{ПЛ} e_{ПЛ} \vee \bar{a}_{ПЛ} b_{ПЛ} \bar{e}_{ПЛ} \vee a_{ПЛ} \bar{b}_{ПЛ} \bar{e}_{ПЛ} \vee a_{ПЛ} b_{ПЛ} e_{ПЛ}; \\ S_{ПЛ} &= a_{ПЛ} b_{ПЛ} \bar{e}_{ПЛ} \vee a_{ПЛ} \bar{b}_{ПЛ} e_{ПЛ} \vee \bar{a}_{ПЛ} b_{ПЛ} e_{ПЛ} \vee \bar{a}_{ПЛ} \bar{b}_{ПЛ} \bar{e}_{ПЛ}; \end{aligned}$$

$$\begin{aligned} \bar{S}_{\text{ПЛ}} &= \bar{a}_{\text{ПЛ}} b_{\text{ПЛ}} e_{\text{ПЛ}} + a_{\text{ПЛ}} \bar{b}_{\text{ПЛ}} e_{\text{ПЛ}} + a_{\text{ПЛ}} b_{\text{ПЛ}} \bar{e}_{\text{ПЛ}} + \bar{a}_{\text{ПЛ}} \bar{b}_{\text{ПЛ}} \bar{e}_{\text{ПЛ}}; \\ S_{\text{НЛ}} &= \bar{a}_{\text{НЛ}} \bar{b}_{\text{НЛ}} e_{\text{НЛ}} \vee \bar{a}_{\text{НЛ}} b_{\text{НЛ}} \bar{e}_{\text{НЛ}} \vee a_{\text{НЛ}} \bar{b}_{\text{НЛ}} \bar{e}_{\text{НЛ}} \vee a_{\text{НЛ}} b_{\text{НЛ}} e_{\text{НЛ}}; \\ S_{\text{НЛ}} &= a_{\text{НЛ}} \bar{b}_{\text{НЛ}} e_{\text{НЛ}} \vee \bar{a}_{\text{НЛ}} b_{\text{НЛ}} e_{\text{НЛ}} \vee a_{\text{НЛ}} b_{\text{НЛ}} \bar{e}_{\text{НЛ}} \vee \bar{a}_{\text{НЛ}} \bar{b}_{\text{НЛ}} \bar{e}_{\text{НЛ}}; \\ \bar{S}_{\text{НЛ}} &= a_{\text{НЛ}} \bar{b}_{\text{НЛ}} e_{\text{НЛ}} \vee \bar{a}_{\text{НЛ}} b_{\text{НЛ}} e_{\text{НЛ}} \vee a_{\text{НЛ}} b_{\text{НЛ}} \bar{e}_{\text{НЛ}} \vee \bar{a}_{\text{НЛ}} \bar{b}_{\text{НЛ}} \bar{e}_{\text{НЛ}}; \end{aligned}$$

36. Які логічні вирази функції переносу є коректними?

$$\begin{aligned} \bar{E}_{\text{ПЛ}} &= \bar{a}_{\text{ПЛ}} \bar{b}_{\text{ПЛ}} e_{\text{ПЛ}} + a_{\text{ПЛ}} \bar{b}_{\text{ПЛ}} \bar{e}_{\text{ПЛ}} + \bar{a}_{\text{ПЛ}} b_{\text{ПЛ}} \bar{e}_{\text{ПЛ}} + \bar{a}_{\text{ПЛ}} \bar{b}_{\text{ПЛ}} \bar{e}_{\text{ПЛ}}; \\ E_{\text{ПЛ}} &= \bar{a}_{\text{ПЛ}} \bar{b}_{\text{ПЛ}} e_{\text{ПЛ}} + a_{\text{ПЛ}} \bar{b}_{\text{ПЛ}} \bar{e}_{\text{ПЛ}} + \bar{a}_{\text{ПЛ}} b_{\text{ПЛ}} \bar{e}_{\text{ПЛ}} + \bar{a}_{\text{ПЛ}} \bar{b}_{\text{ПЛ}} \bar{e}_{\text{ПЛ}}; \\ E_{\text{ПЛ}} &= a_{\text{ПЛ}} b_{\text{ПЛ}} \bar{e}_{\text{ПЛ}} \vee a_{\text{ПЛ}} \bar{b}_{\text{ПЛ}} e_{\text{ПЛ}} \vee \bar{a}_{\text{ПЛ}} b_{\text{ПЛ}} e_{\text{ПЛ}} \vee a_{\text{ПЛ}} b_{\text{ПЛ}} e_{\text{ПЛ}}; \\ \bar{E}_{\text{ПЛ}} &= a_{\text{ПЛ}} b_{\text{ПЛ}} \bar{e}_{\text{ПЛ}} \vee a_{\text{ПЛ}} \bar{b}_{\text{ПЛ}} e_{\text{ПЛ}} \vee \bar{a}_{\text{ПЛ}} b_{\text{ПЛ}} e_{\text{ПЛ}} \vee a_{\text{ПЛ}} b_{\text{ПЛ}} e_{\text{ПЛ}}; \\ E_{\text{НЛ}} &= \bar{a}_{\text{НЛ}} b_{\text{НЛ}} e_{\text{НЛ}} \vee a_{\text{НЛ}} b_{\text{НЛ}} \bar{e}_{\text{НЛ}} \vee a_{\text{НЛ}} \bar{b}_{\text{НЛ}} e_{\text{НЛ}} \vee a_{\text{НЛ}} b_{\text{НЛ}} e_{\text{НЛ}}; \\ E_{\text{НЛ}} &= \bar{a}_{\text{НЛ}} \bar{b}_{\text{НЛ}} e_{\text{НЛ}} \vee \bar{a}_{\text{НЛ}} b_{\text{НЛ}} \bar{e}_{\text{НЛ}} \vee a_{\text{НЛ}} \bar{b}_{\text{НЛ}} \bar{e}_{\text{НЛ}} \vee a_{\text{НЛ}} b_{\text{НЛ}} e_{\text{НЛ}}; \\ \bar{E}_{\text{НЛ}} &= \bar{a}_{\text{НЛ}} b_{\text{НЛ}} e_{\text{НЛ}} \vee a_{\text{НЛ}} b_{\text{НЛ}} \bar{e}_{\text{НЛ}} \vee a_{\text{НЛ}} \bar{b}_{\text{НЛ}} e_{\text{НЛ}} \vee a_{\text{НЛ}} b_{\text{НЛ}} e_{\text{НЛ}}; \end{aligned}$$

## 1.2. Логічні співвідношення і функціональні схеми мінімальних однорозрядних двійкових суматорів

Для зменшення апаратних витрат логічної схеми суматора будемо використовувати процедуру мінімізації логічних функцій суматора за допомогою карт Карно [ 1, 5 ]. Представлення логічних функцій суматора у вигляді карт Карно показано на рис. 1.11.

		<i>be</i>			
		00	01	11	10
<i>a</i>	0	0	1	0	1
	1	1	0	1	0

$$S = f_s(a, b, e)$$

		<i>be</i>			
		00	01	11	10
<i>a</i>	0	0	0	1	1
	1	0	1	1	1

$$E = f_E(a, b, e)$$

Рисунок 1.11 – Карты Карно функцій однорозрядного двійкового суматора

В результаті мінімізації можна отримати такі логічні вирази функцій суматора:

$$S = \overline{\overline{a}}\overline{b}e + \overline{a}\overline{\overline{b}}e + \overline{a}\overline{b}\overline{\overline{e}} + abe, \quad (1.11)$$

$$E = ab + ae + be, \quad (1.12)$$

В елементному базисі І-АБО-НІ (з урахуванням самоподвійності функцій суматора) при реалізації мінімального суматора застосуємо еквівалентну форму виразів (1.11, 1.12):

$$S = \overline{\overline{a}\overline{b}e + \overline{a}\overline{\overline{b}}e + \overline{a}\overline{b}\overline{\overline{e}} + abe}; \quad (1.13)$$

$$E = \overline{\overline{ab} + \overline{ae} + \overline{be}}. \quad (1.14)$$

Логічна схема мінімального суматора на основі виразів (1.12), (1.13) в базисі І-АБО-НІ приведена на рис. 1.12.

Крім того, можна відзначити дві інші поширені форми мінімальних суматорів в елементному базисі «Виключне АБО» («Додавання за модулем 2», «XOR») та в базисі І-АБО-НІ (рис. 1.13 і 1.14).

Логічний вираз для вихідного переносу  $E$  такого суматора на рис.1.13 реалізовано за схемою ( $e \rightarrow \overline{E}$ ), тобто для отримання інверсного значення вихідного переносу використовуються прямі значення сигналів вхідного переносу. Логічна схема суми  $S$  цього суматора (рис. 1.13) реалізована шляхом наступних перетворень початкових логічних виразів (1.11) і (1.12) мінімального суматора:

$$\begin{aligned} S &= \overline{\overline{a}\overline{b}e + \overline{a}\overline{\overline{b}}e + \overline{a}\overline{b}\overline{\overline{e}} + abe} = \\ &= e(\overline{\overline{a}\overline{b}} + \overline{ab}) + \overline{e}(\overline{\overline{a}\overline{\overline{b}}} + \overline{a\overline{b}}) = \end{aligned} \quad (1.15)$$

$$\begin{aligned} &= e(\overline{a \oplus b}) + \overline{e}(a \oplus b) = e \oplus (a \oplus b); \\ \overline{E} &= \overline{ab + ae + be}. \end{aligned} \quad (1.16)$$

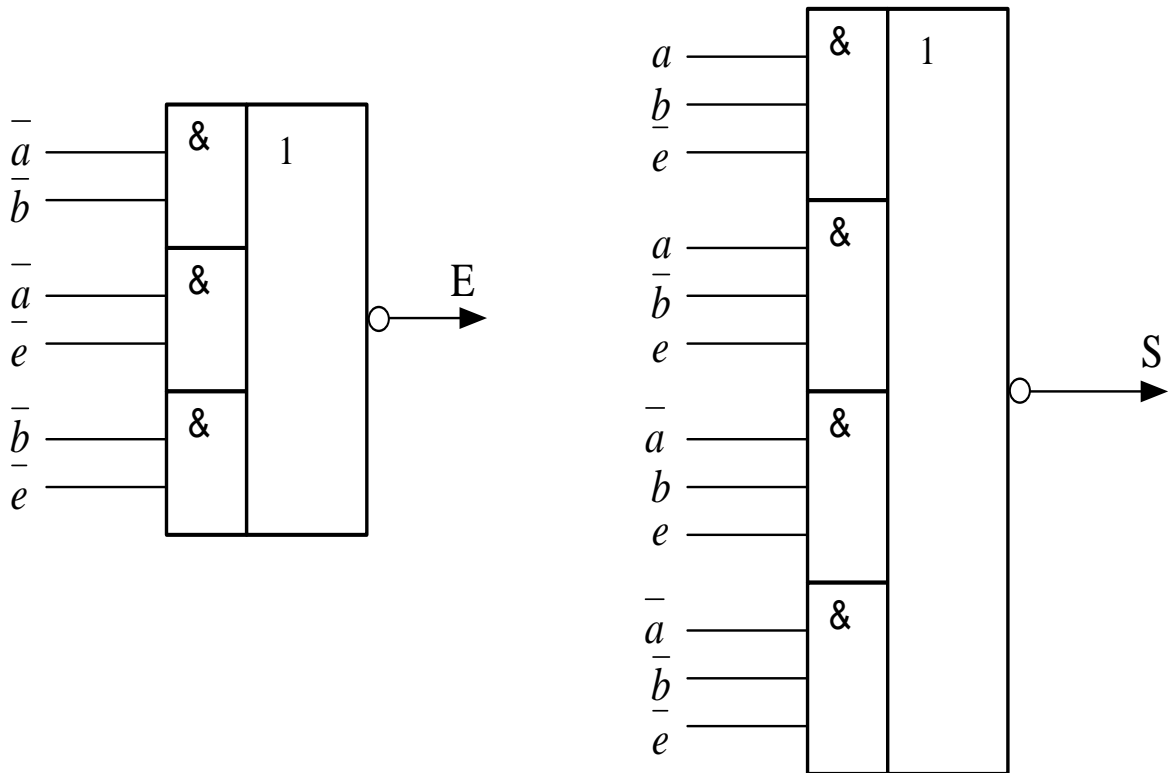


Рисунок 1.12 – Логічна схема однорозрядного мінімального суматора в базисі І-АБО-НІ

Логічна схема на рис. 1.14 побудована згідно з ( 1.15 ), ( 1.14 ) та з використанням наступних еквівалентних перетворень

$$\begin{aligned}
 S &= (a \oplus b) \oplus e = (\bar{a}b + a\bar{b}) \oplus e = (\bar{a}b + a\bar{b})e + (\bar{a}b + a\bar{b})\bar{e} = \\
 &= (\bar{a}b + a\bar{b})e + (\bar{a}b + a\bar{b})\bar{e} = (\bar{a} \oplus b) \oplus \bar{e}.
 \end{aligned}$$

Таким чином,  $S = (\bar{a} \oplus b) \oplus \bar{e};$  ( 1.17 )

$$E = \bar{a}b + a\bar{e} + \bar{b}e, \quad ( 1.18 )$$

Необхідно відзначити, що ці дві форми мінімальних суматорів (рис.1.13 і 1.14) є еквівалентними за апаратними витратами, але відрізняються способом організацією кола переносу. В схемі на рис. 1.13 згідно з ( 1.15 ) і ( 1.16 ) коло переносу утворює канал ( $e \rightarrow \bar{E}$ ), а на рис. 1.14 згідно з ( 1.17 ) і ( 1.18 ) утворюється канал ( $\bar{e} \rightarrow E$ ). Для реалізації логічної схеми суматора на рис. 1.14 використовується властивість функції додавання за модулем 2:  $\bar{a} \oplus \bar{b} = a \oplus b$ .

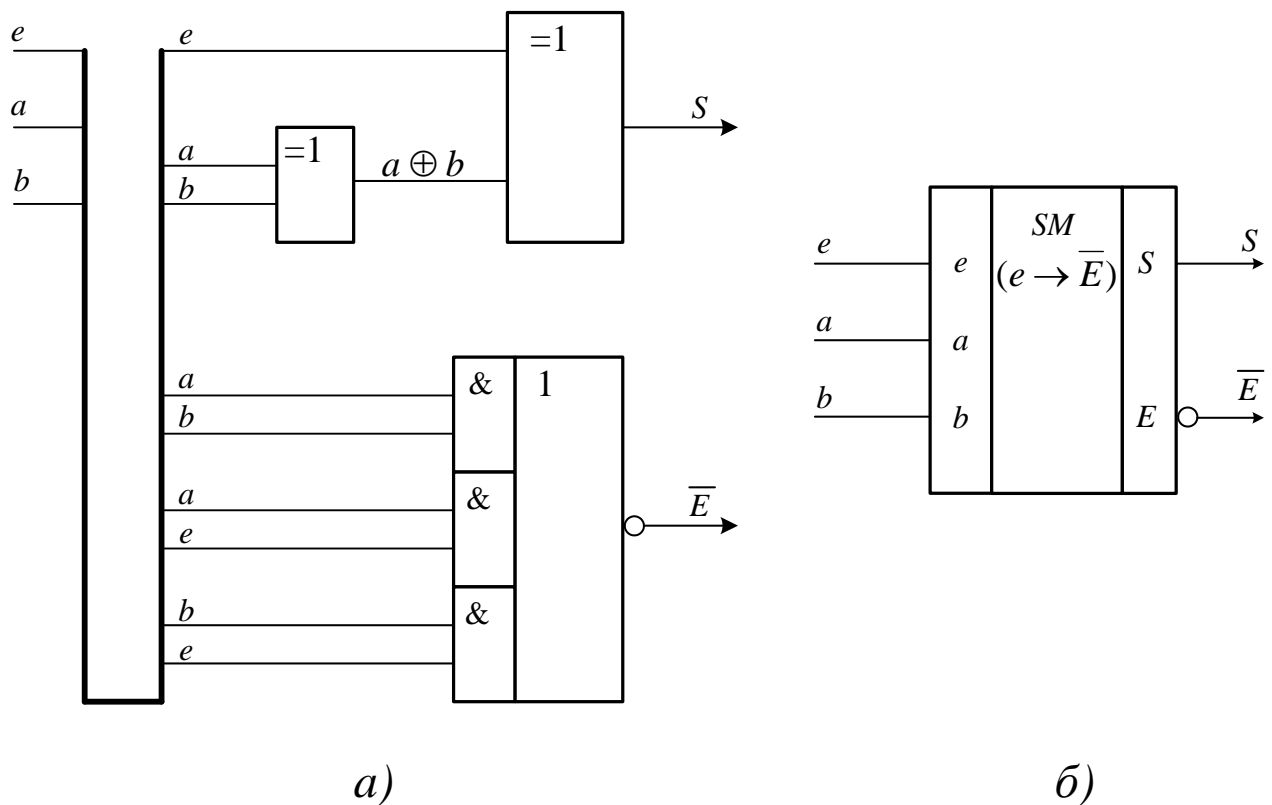


Рисунок 1.13 – Логічна схема ( *a* ) і умовне графічне позначення ( *б* ) мінімального суматора (  $e \rightarrow \bar{E}$  ):  $S = f_s(a, b, e)$ ;  $\bar{E} = f_E(a, b, e)$

В багаторозрядному суматорі вихідний сигнал переносу суматора за схемою  $(e \rightarrow \bar{E})$  без використання додаткового інвертора раціонально застосовувати як вхідний сигнал переносу в сусідній старший розряд суматора  $(\bar{e} \rightarrow E)$  багаторозрядного пристрою (рис. 1.15). Таким чином, в кожному розряді такого багаторозрядного двійкового суматора відбувається порозрядна інверсія сигналу переносу, а в цілому в суматорі при додаванні операндів використовується черезрозрядна інверсія сигналу переносу ( $e_1 \rightarrow \bar{e}_2$ ,  $e_3 \rightarrow \bar{e}_4$  і т.д.).

### Контрольні завдання та запитання:

1. Аналітично доведіть формулу суми однорозрядного двійкового суматора з використанням логічних елементів додавання за модулем два.
2. Обґрунтуйте логічні вирази:

$$\begin{aligned}
 a \oplus b &= \bar{a}b + a\bar{b}; & \bar{a} \oplus \bar{b} &= a \oplus b; \\
 \bar{a} \oplus b &= \overline{a \oplus b}; & a \oplus a &= 0; & 0 \oplus a &= a; \\
 \overline{a \oplus b} &= \overline{(a+b)ab}; & a \oplus b &= (a+b) \oplus ab;
 \end{aligned}$$

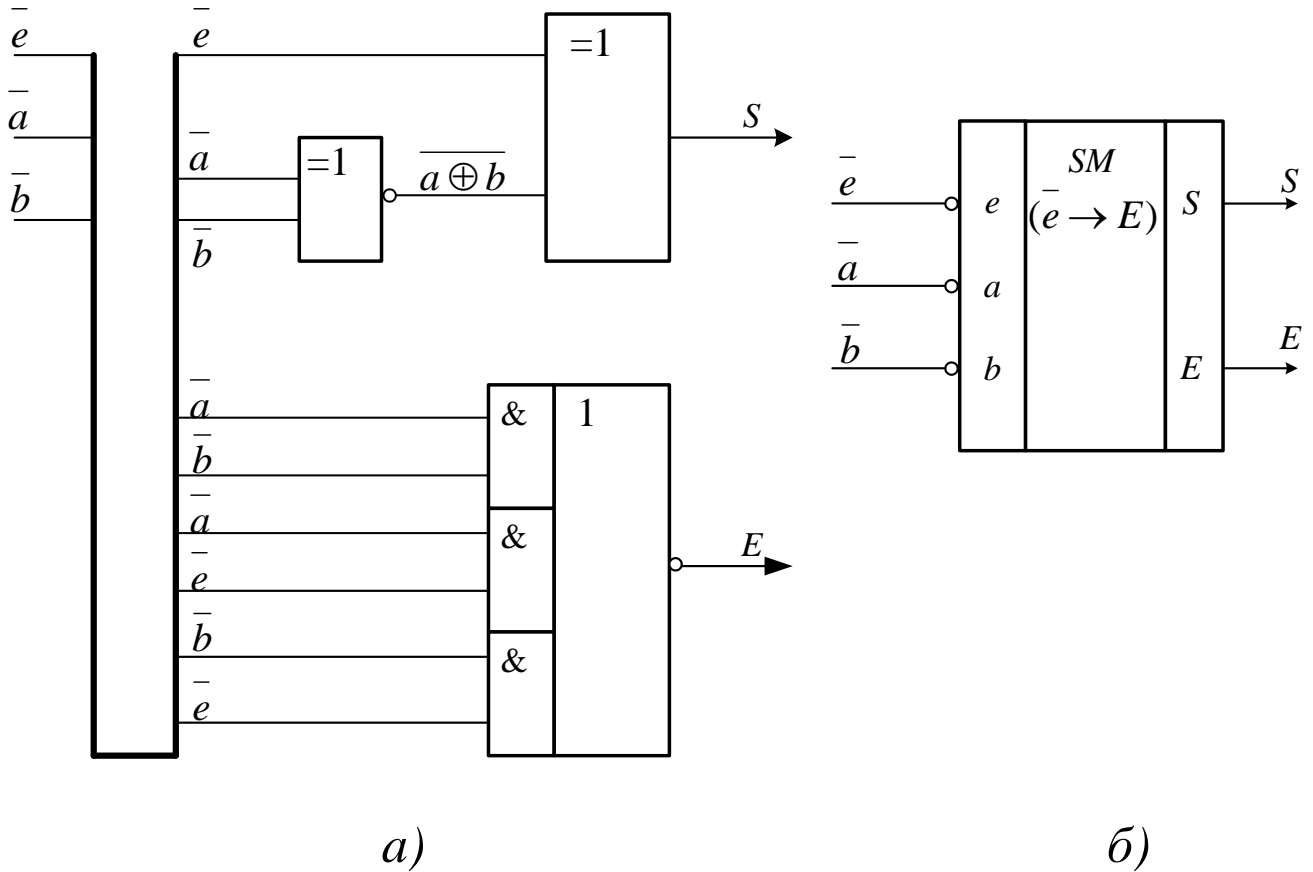


Рисунок 1.14 – Логічна схема (а) і умовне графічне позначення (б) мінімального суматора ( $\bar{e} \rightarrow E$ ):  $S = f_s(\bar{a}, \bar{b}, \bar{e})$ ;  $E = f_E(\bar{a}, \bar{b}, \bar{e})$

3. Обґрунтуйте логічні вирази:

$$\begin{aligned}
 \overline{a \oplus b} &= \bar{a}b + ab; & \overline{\bar{a} \oplus \bar{b}} &= \overline{a \oplus b}; \\
 a \oplus \bar{b} &= \overline{a \oplus b}; & 1 \oplus a &= \bar{a}; & a \oplus \bar{a} &= 1; \\
 a \oplus b &= (a+b)\bar{a}\bar{b}; & a \oplus b &= \overline{(a+b) \oplus ab};
 \end{aligned}$$

4. Побудуйте функцію  $S = a \oplus b \oplus e$  в елементному базисі ЗІ-НІ.

5. Побудуйте функцію  $S = \overline{(a \oplus b)} \oplus \bar{e}$  в елементному базисі І-АБО-НІ.

6. Побудуйте чотирирозрядний суматор, приведений на рис.1.15, в елементному базисі І-АБО-НІ.

7. Як використовується властивість самоподвійності суми і переносу при реалізації багаторозрядних суматорів?
8. Виконайте в різних базисах логічних елементів порівняння апаратних витрат на побудову логічних схем мінімальних суматорів.
9. Приведіть логічний вираз функції переносу мінімального суматора у вигляді ДНФ.
10. Приведіть логічний вираз функції переносу мінімального суматора у вигляді КНФ.
11. Поясніть термін «черезрозрядна інверсія переносу».

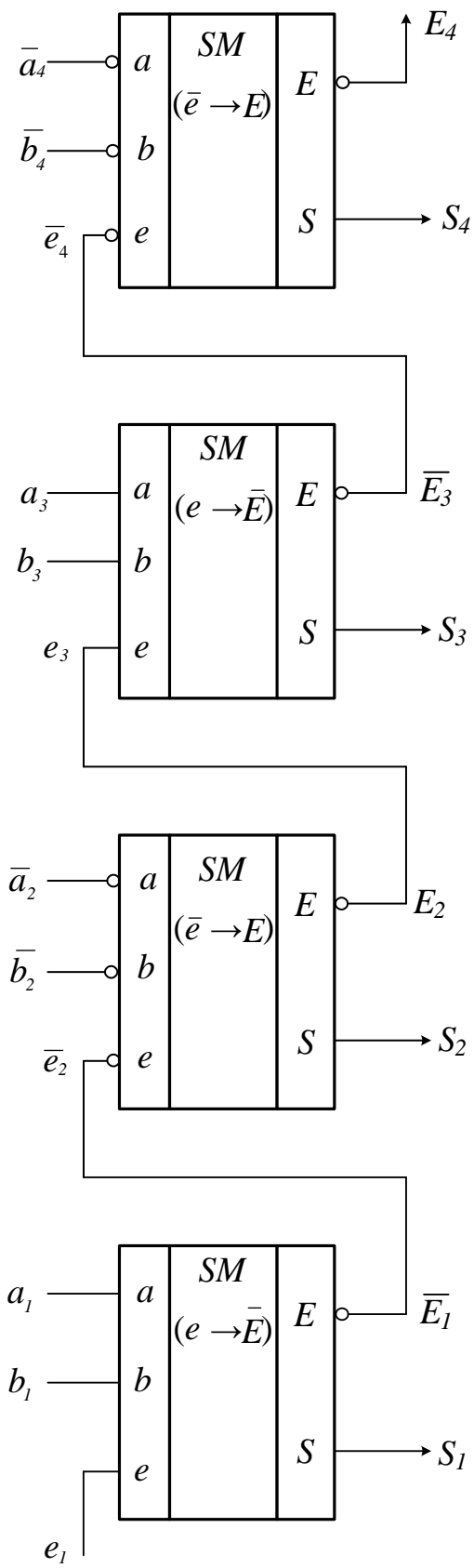


Рисунок 1.15 – Чотирирозрядний суматор з черезрозрядною інверсією переносу ( $e_1 \rightarrow \bar{e}_2 \rightarrow e_3 \rightarrow \bar{e}_4$ ) на основі мінімальних суматорів з розрядною інверсією сигналів переносу ( 1.15 ) - ( 1.16) і ( 1.17 ) - ( 1.18)



12. Приведіть карту Карно і виконайте мінімізацію функції переносу мінімального суматора.
13. Приведіть і обґрунтуйте формулу переносу мінімального суматора з каналом  $(\bar{e}) \rightarrow E$ .
14. Приведіть і обґрунтуйте формулу переносу мінімального суматора з каналом  $(e \rightarrow \bar{E})$ .
15. З якою метою в багаторозрядних суматорах використовуються канали формування переносу  $(\bar{e} \rightarrow E$  і  $(e \rightarrow \bar{E})$ ?
16. Визначте значення  $S_4 S_3 S_2 S_1$  і  $E_4 \bar{E}_3 E_2 \bar{E}_1$  на виходах чотирирозрядного суматора (рис. 1.15) при додаванні чисел:
- $a_4 a_3 a_2 a_1 = 0110, b_4 b_3 b_2 b_1 = 0101, e_1 = 0;$   
 $a_4 a_3 a_2 a_1 = 1001, b_4 b_3 b_2 b_1 = 0000, e_1 = 1;$   
 $a_4 a_3 a_2 a_1 = 1010, b_4 b_3 b_2 b_1 = 0110, e_1 = 1;$   
 $a_4 a_3 a_2 a_1 = 0110, b_4 b_3 b_2 b_1 = 1010, e_1 = 1;$   
 $a_4 a_3 a_2 a_1 = 0101, b_4 b_3 b_2 b_1 = 1001, e_1 = 0;$
17. Приведіть двійкові коди операндів  $a_4 a_3 a_2 a_1$  і  $b_4 b_3 b_2 b_1$ , при яких чотирирозрядний суматор (рис. 1.15) має найбільшу і найменшу швидкодію.
18. Як визначити швидкодію багаторозрядного суматора?

### 1.3. Логічні співвідношення і функціональні схеми розширених мінімальних однорозрядних двійкових суматорів

При реалізації мінімальних логічних функцій (1.11, 1.12) в деяких випадках виникають технічні труднощі, які пов'язані з необхідністю використання логічних елементів з великою кількістю входів в схемі функції суми ( $S$ ). Зменшення кількості змінних в термах логічної функції  $S$ , досягають шляхом сумісної мінімізації аргументів ( $a, b, e$ ) функції суми ( $S$ ) і вихідного переносу суматора ( $E$ ), тобто мінімізації функції  $S = f(a, b, e, E)$ . При цьому для функції суми створюється розширена таблиця істинності (табл. 1.5) і відповідна карта Карно (рис. 1.16).

За даними розширеної карти Карно для функції суми  $S$  маємо наступну мінімальну форму логічного виразу суми:

$$S = a\bar{E} + b\bar{E} + e\bar{E} + abe \quad (1.19)$$

Розширена мінімальна форма функції суми ( 1.19 ) та мінімальна логічна функція вихідного переносу ( 1.12 ) утворюють розширену мінімальну систему співвідношень, за якими будуються логічні схеми розширених мінімальних однорозрядних двійкових суматорів.

Приклади базових логічних схем розширених мінімальних суматорів наведені на рис. 1.17, 1.18.

Логічна схема на рис. 1.17 побудована згідно з ( 1.12 ) і ( 1.19 ) за еквівалентними формулами:

$$\begin{aligned} \overline{E} &= \overline{ab+ae+be} ; & ( \\ 1.20 ) \quad \overline{S} &= \overline{a\overline{E}+b\overline{E}+e\overline{E}+abe} & ( \\ 1.21 ) \end{aligned}$$

Розширена таблиця істинності функції суми суматора

Таблиця 1.5

<i>a</i>	<i>b</i>	<i>e</i>	<i>E</i>	<i>S</i>
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1
0	0	0	1	*
0	0	1	1	*
0	1	0	1	*
0	1	1	0	*
1	0	0	1	*
1	0	1	0	*
1	1	0	0	*
1	1	1	0	*

$eE$	$ab$	00	01	11	10
00	0	*	*	1	
01	1	*	0	*	
11	*	0	1	*	
10	1	*	0	*	

Рисунок 1.16 – Розширена карта Карно функції суми  $S$

Логічні вирази для розширеного мінімального суматора на рис. 1.18 побудовані на основі виразів ( 1.20 ) і ( 1.21 ) з використанням властивості самоподвійності функцій суматора:

$$E = \overline{\overline{ab} + \overline{ae} + \overline{be}} ; \quad ( 1.22 )$$

$$S = \overline{\overline{aE} + \overline{bE} + \overline{eE} + \overline{abe}} . \quad ( 1.23 )$$

Властивість розрядної інверсії сигналу переносу в розширених мінімальних суматорах  $SM (e \rightarrow \overline{E})$  і  $SM (\overline{e} \rightarrow E)$  застосовується для побудови багаторозрядних суматорів з черезрозрядною інверсією переносів з виключенням допоміжних інверторів в тракці міжрозрядних переносів суматора (рис. 1.19).

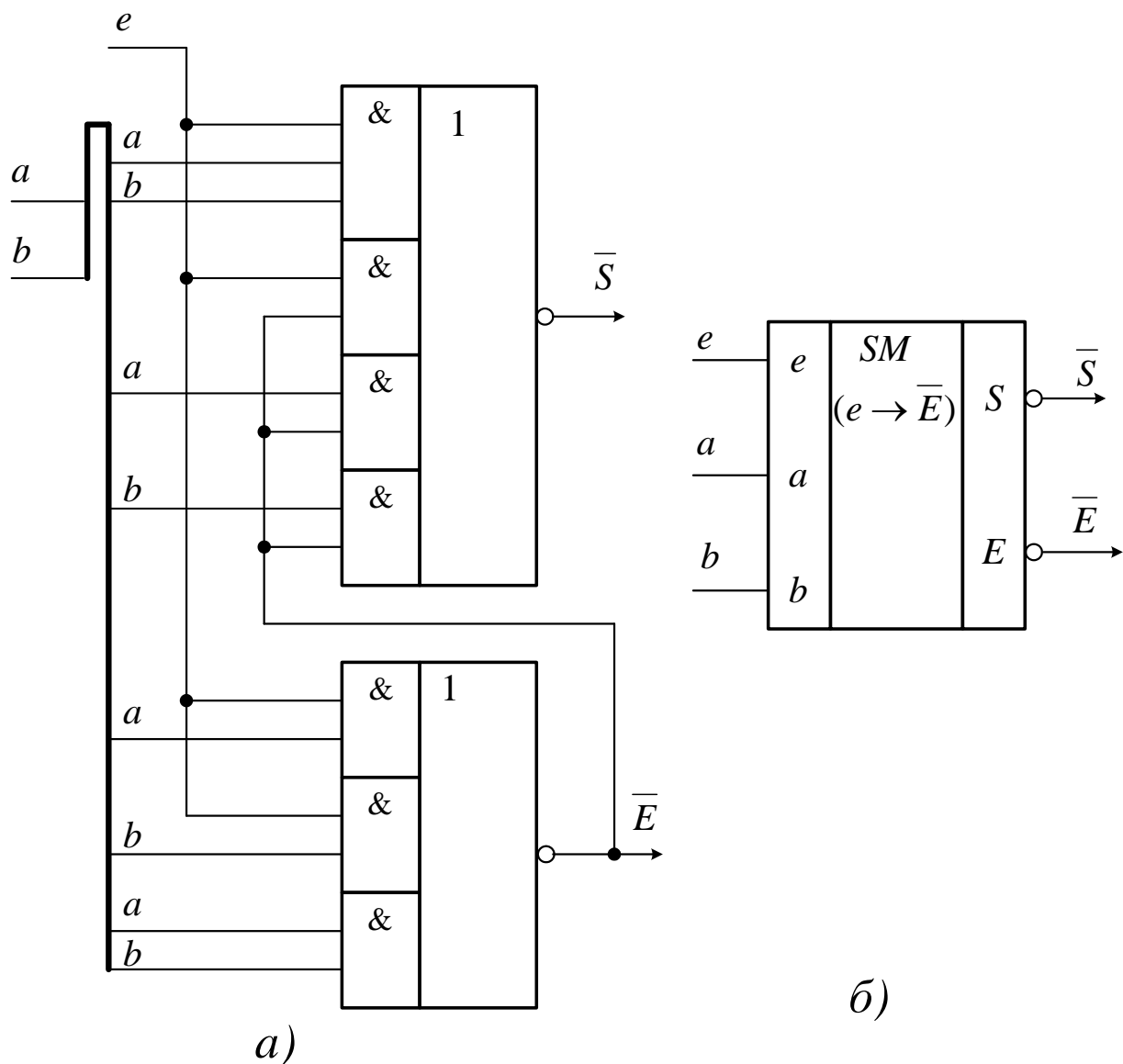


Рисунок 1.17 – Логічна схема (а) і графічне позначення (б) розширеного мінімального суматора з розрядною інверсією сигналу вихідного переносу ( $e \rightarrow \bar{E}$ )

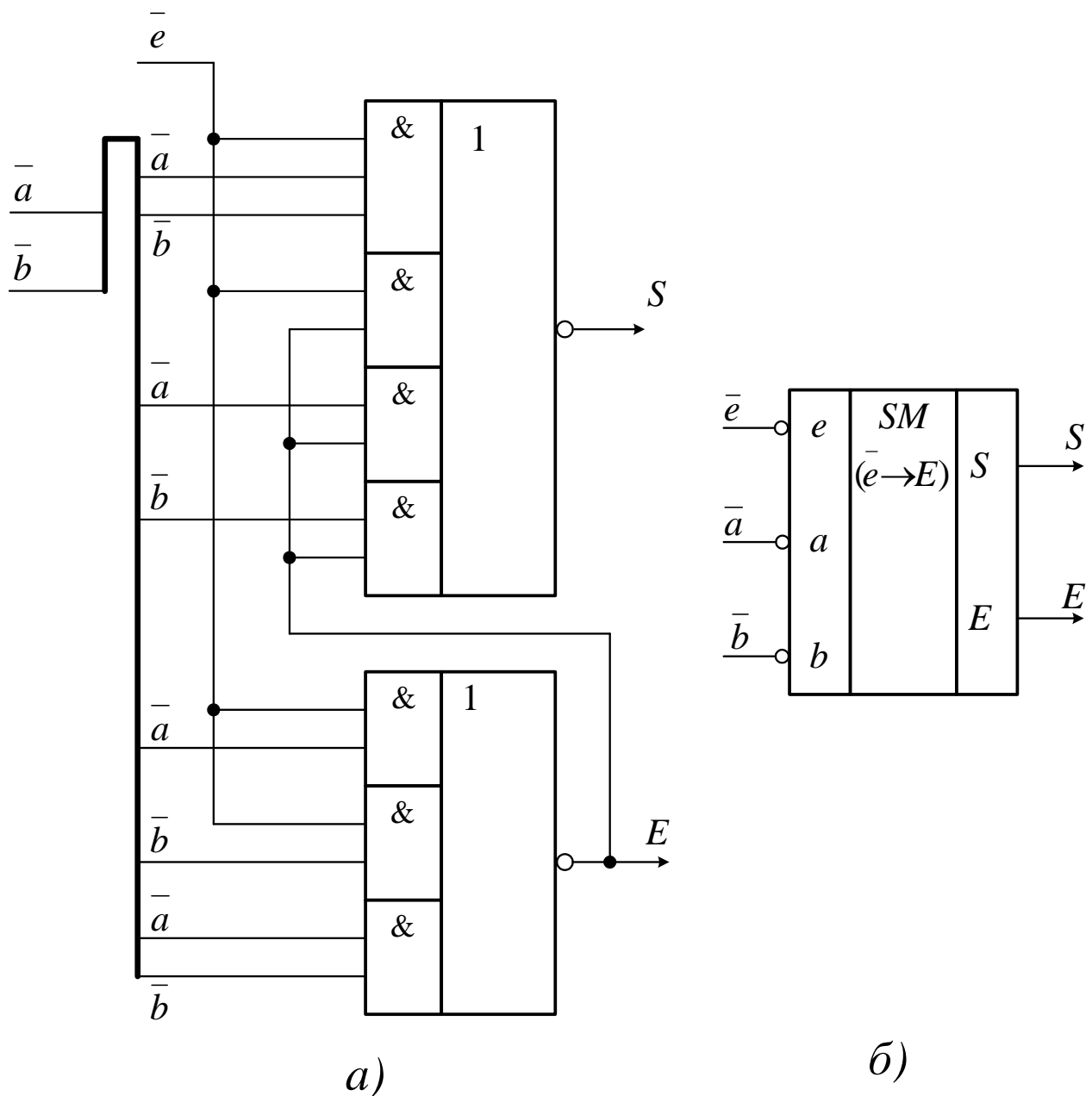


Рисунок 1.18 – Логічна схема (а) і графічне позначення (б) розширеного мінімального суматора з розрядною інверсією сигналу переносу ( $\bar{e} \rightarrow E$ ).

### Контрольні завдання та запитання

1. Обґрунтуйте логічні вирази:

$$\bar{E} = \bar{a}\bar{b} + \bar{a}\bar{e} + \bar{b}\bar{e}; \quad S = \bar{a}\bar{E} + \bar{b}\bar{E} + \bar{e}\bar{E} + \bar{a}\bar{b}\bar{e};$$

$$E = ab + ae + be; \quad S = a\bar{E} + b\bar{E} + e\bar{E} + abe.$$

2. Приведіть і поясніть розширену таблицю істинності функції суми двійкового суматора.

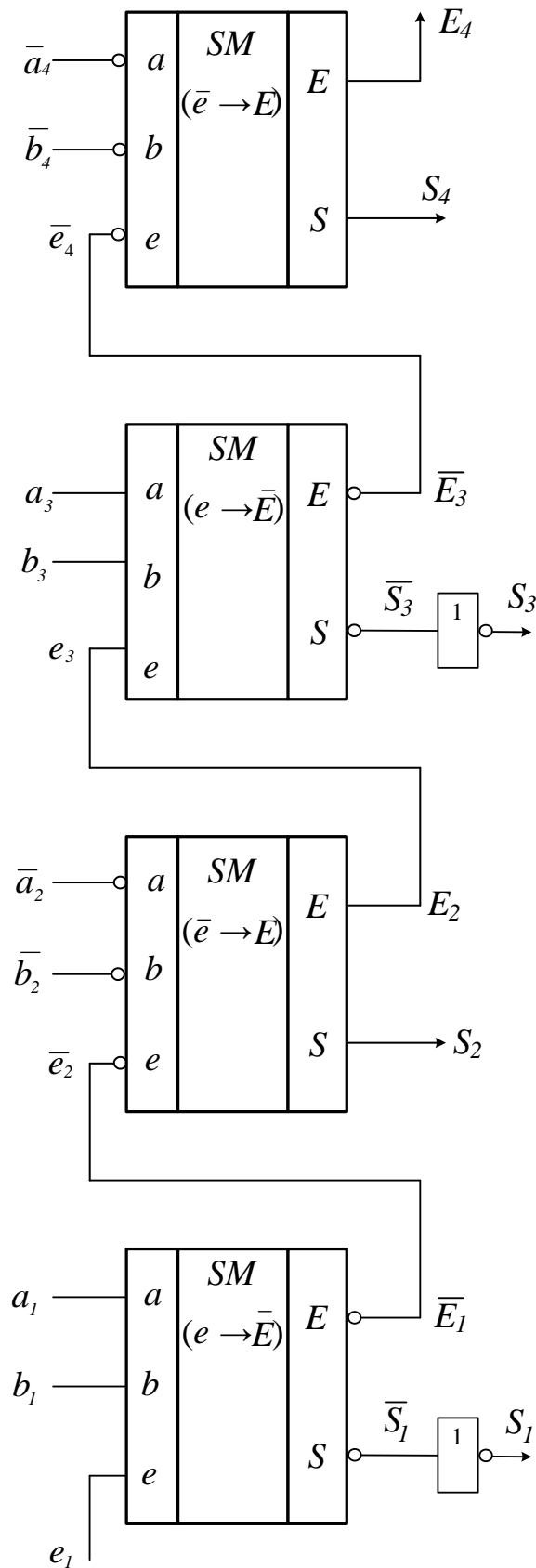


Рисунок 1.19 – Чотирирозрядний суматор з черезрозрядною інверсією сигналу переносу ( $e_1 \rightarrow \bar{e}_2 \rightarrow e_3 \rightarrow \bar{e}_4$ ) на основі розширених мінімальних суматорів ( 1.20 ) - ( 1.21 ) і . ( 1.22 ) - ( 1.23 )

3. З якою метою використовуються розширені мінімальні суматори?
4. Як побудувати оптимальну схему розширеного мінімального суматора в базисі I-НІ?
5. Визначити значення двійкових сигналів на вхідних і вихідних каналах чотирирозрядного суматора (рис. 1.19) при додаванні чисел  $A = 0111$  і  $B = 0110$  та  $e_1 = 0$ .
6. Визначити умовне графічне позначення розширених мінімальних однорозрядних суматорів на рис. 1.17 і 1.18 за угодою негативної логіки.
7. Покажіть операції склеювання на розширеній карті Карно для функції суми.
8. Для чого використовується черезрозрядна інверсія переносу в багаторозрядних суматорах?.
9. Приведіть і обґрунтуйте формулу переносу розширеного мінімального суматора з каналом формування переносу ( $\bar{e} \rightarrow E$ ).
10. Приведіть і обґрунтуйте формулу переносу розширеного мінімального суматора з каналом формування переносу ( $e \rightarrow \bar{E}$ ).
11. З якою метою в багаторозрядних суматорах використовуються каналами формування переносу ( $\bar{e} \rightarrow E$ ) і ( $e \rightarrow \bar{E}$ )?

#### **1.4. Логічні співвідношення і функціональні схеми композиційних однорозрядних двійкових суматорів**

Ідея побудови композиційного суматора полягає в тому, що суматор може бути поділений на дві компоненти. В першій компоненті суматора формуються дві спеціальні підготовчі функції, які потім використовуються у відокремленій другій компоненті для формування безпосередньо розрядної суми  $S$  і вихідного переносу  $E$  суматора [4].

Дві підготовчі функції визначеного таким чином композиційного суматора являють собою розрядну функцію генерації вихідного переносу, який не залежить від вхідного переносу та виникає безпосередньо усередині суматора, і розрядну функцію дозволу розповсюдження (транзиту) вхідного переносу  $e$  через суматор. Самим суттєвим є те, що підготовчі функції в композиційному суматорі залежать тільки від доданків  $a$  і  $b$  на вході суматора, тому можуть вироблятися одночасно (паралельно) в багаторозрядному суматорі.

На рис.1.20 наведена логічна схема канонічного однорозрядного композиційного суматора. Цей пристрій побудовано шляхом наступних перетворень логічних виразів ( 1.1 ), ( 1.2 ) канонічного суматора ] 4 ]:

$$\begin{aligned}
 S &= \bar{a}\bar{b}e + \bar{a}b\bar{e} + a\bar{b}\bar{e} + abe = \\
 &= e(\bar{a}\bar{b} + ab) + \bar{e}(\bar{a}b + a\bar{b}) = \\
 &= e(a \oplus b) + \bar{e}(a \oplus b) = \\
 &= (a \oplus b) \oplus e = c \oplus e;
 \end{aligned}
 \tag{1.24}$$

$$\begin{aligned}
 E &= ab\bar{e} + \bar{a}b\bar{e} + \bar{a}be + abe = \\
 &= ab(\bar{e} + e) + e(\bar{a}b + ab) = \\
 &= ab + e(a \oplus b) = g + ce,
 \end{aligned}
 \tag{1.25}$$

де  $g = ab$  – розрядна функція генерації вихідного переносу (*carry generation*);

$c = (a \oplus b)$  – функція дозволу розповсюдження (транзиту) вхідного переносу  $e$  через композиційний канонічний суматор.

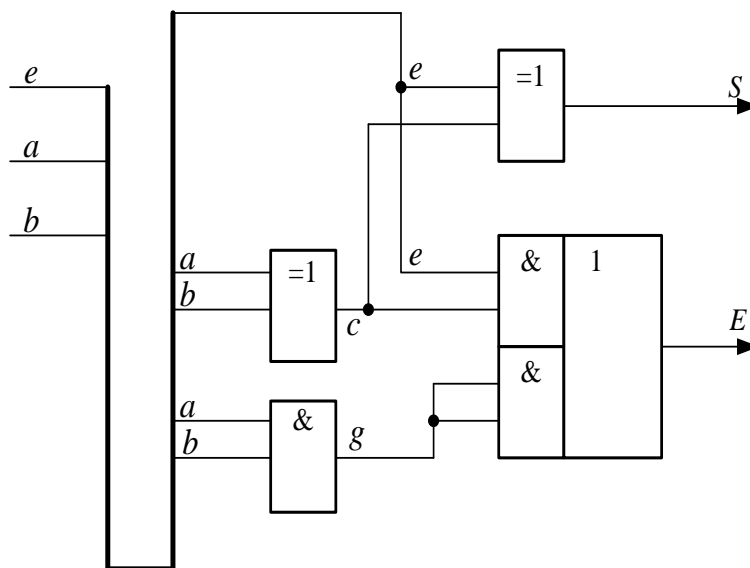


Рисунок 1.20 – Логічна схема композиційного канонічного суматора ( 1.24 ) - ( 1.25 )

Логічна схема композиційного мінімального суматора наведена на рис. 1.21. Суматор побудовано шляхом наступних перетворень логічних виразів ( 1.11 ), ( 1.12 ) мінімального суматора ( 1.24 ) [ 4 ]:



$$\begin{aligned}
 E &= ab + ae + be = \\
 &= ab + e(a + b) = \\
 &= g + pe,
 \end{aligned}
 \tag{1.26}$$

де  $g = ab$  – розрядна функція генерації вихідного переносу  $E$  мінімального суматора;

$p = (a \vee b)$  – функція дозволу розповсюдження (транзиту) вхідного переносу  $e$  (*carry propagation*) через мінімальний суматор.

Формування вихідного переносу  $E$  в композиційному мінімальному суматорі можна здійснювати також за допомогою повної поширеної форми підготовчих функцій. Повна форма генерації розрядного переносу впливає при наступному перетворенні мінімального виразу (1.12) вихідного переносу  $E$  [4]:

$$\begin{aligned}
 E &= ab + ae + be = \\
 &= ab + e(a + b) = ab + ab + e(a + b) = \\
 &= aab + abb + e(a + b) = ab(a + b) + e(a + b) = \\
 &= gp + pe,
 \end{aligned}
 \tag{1.27}$$

де  $gp$  – повна кон'юнктивна (розширена) форма генерації розрядного вихідного переносу  $E$  суматора.

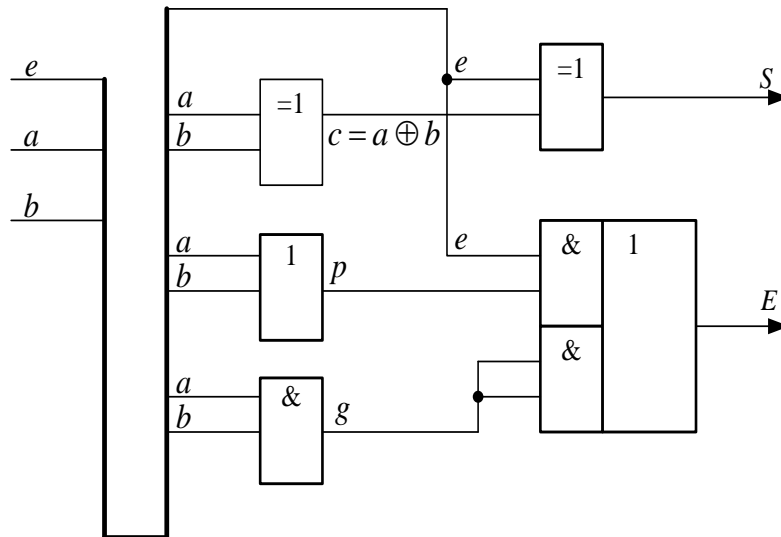


Рисунок 1.21 – Логічна схема композиційного мінімального суматора (1.24) і (1.25)

В логічній схемі композиційного мінімального суматора сума доданків суматора за модулем два ( рис. 1.21 ) може вироблятися на основі підготовчих функцій  $p$  і  $g$  композиційного суматора. При цьому згідно з розширеною картою Карно ( рис. 1.22 ) для формування функції  $c$  в композиційному суматорі через підготовчі функції можна використовувати дві форми логічних виразів. Крім того, ці форми можна отримати за допомогою аналітичних перетворень. Для отримання першої форми необхідно виконати такі перетворення [ 3 ]:

$$\begin{aligned} c &= a \oplus b = \overline{ab} + \overline{\overline{ab}} = \overline{ab} \cdot \overline{\overline{ab}} = \\ &= \overline{ab}(a+b) = \overline{p}g; \end{aligned} \quad (1.28)$$

Другу форму можна отримати за допомогою наступних аналітичних перетворень [ 3 ]:

$$\begin{aligned} c &= a \oplus b = \overline{\overline{ab} + \overline{\overline{ab}}} = (\overline{a} + \overline{b})(a+b) = \\ &= (\overline{a} + \overline{b})(a+b) + (\overline{ab})\overline{\overline{ab}} = \\ &= \overline{ab}(a+b) + \overline{ab}(\overline{a} + \overline{b}) = \overline{p}g + g\overline{p} = p \oplus g; \end{aligned} \quad (1.29)$$

Враховуючи, що  $\overline{p}g = 0$ , то можна отримати:

$$c = p \oplus g = \overline{p}g + \overline{p}g = \overline{p}g;$$

На рис. 1.23 наведена логічна схема композиційного мінімального суматора, яка побудована на основі функцій  $p$  і  $g$ .

Очевидно, що при використанні формули ( 1.29 ) апаратні витрати в суматорі зменшуються, так як кількість суматорів за модулем два в композиційному суматорі зменшується до одного (рис. 1.23).

Поширеною логічною схемою композиційного мінімального суматора є схема з генерацією сигналу відсутності вихідного переносу ( сигналу непереносу ) «  $\overline{E}$  » і умовою транзиту через суматор сигналу відсутності вхідного переносу (  $\overline{e}$  ).

Принцип формування функцій прозорості сигналів відсутності вхідного та вихідного розрядного переносів в такому суматорі впливає зі співвідношення ( 1.18 ):

$$\begin{aligned} \overline{E} &= \overline{ab} + \overline{ae} + \overline{be} = \\ &= \overline{ab} + (\overline{a} + \overline{b})\overline{e} = \\ &= (\overline{a} + \overline{b}) + (\overline{ab})\overline{e} = \overline{p} + \overline{g}\overline{e}, \end{aligned} \quad (1.30)$$

де  $\overline{p} = \overline{(a+b)}$  – функція генерації розрядного сигналу непереносу;

$\overline{g} = \overline{ab}$  – функція прозорості вхідного сигналу непереносу (  $\overline{e}$  ).

Крім того, необхідно відзначити, що на практиці застосовуються композиційні мінімальні суматори, в яких використовується інша форма підготовчих функцій  $p$  і  $g$  для формування вихідного сигналу відсутності переносу ( $\bar{E}$ ) [ 3 ]:

$$\begin{aligned} \bar{E} &= \bar{a}\bar{b} + \bar{a}\bar{e} + \bar{b}\bar{e} = \\ &= \bar{a}\bar{b}(\bar{a} + \bar{b}) + (\bar{a} + \bar{b})\bar{e} = & (1.31) \\ &= (\bar{a} + \bar{b})\bar{a}\bar{b} + (\bar{a}\bar{b})\bar{e} = \bar{p}\bar{g} + \bar{g}\bar{e}, \end{aligned}$$

де  $\bar{p}\bar{g}$  – повна (кон’юнктивна) форма генерації розрядного сигналу відсутності вихідного переносу ( сигналу непереносу );

$\bar{g}$  – канонічна умова розповсюдження ( транзиту, передачі ) вхідного сигналу непереносу ( $\bar{e}$ ) через суматор.

Формування суми з використанням вхідного сигналу непереносу відбувається згідно з формулами ( 1.17 ) та ( 1.29 ):

$$S = (\bar{a} \oplus \bar{b}) \oplus \bar{e} = \bar{c} \oplus \bar{e}, \quad (1.32)$$

де  $\bar{c} = \bar{p}\bar{g}$ . ( 1.33 )

Один з варіантів логічної схеми композиційного мінімального однорозрядного суматора для обробки сигналу відсутності вхідного переносу наведено на рис. 1.24.

$pg$		00	01	11	10	
$ab$		00	01	11	10	
00	0	*	*	*	$p=0, g=0$	
01	*	*	*	1	$p=1, g=0$	
11	*	*	0	*	$p=1, g=1$	
10	*	*	*	1	$p=1, g=0$	
$c = a \oplus b = p\bar{g}$						

a)

$pg$		00	01	11	10	
$ab$		00	01	11	10	
00	0	*(1)	*	*	$p=0, g=0$	
01	*	*(1)	*	1	$p=1, g=0$	
11	*	*(1)	0	*	$p=1, g=1$	
10	*	*(1)	*	1	$p=1, g=0$	
$c = a \oplus b = p\bar{g} + p\bar{g} = p \oplus g$						

б)

Рисунок 1.22 – Розширена карта Карно функції  $c = (a \oplus b)$  в залежності від доданків ( $a$  і  $b$ ) та підготовчих функцій ( $p$  і  $g$ ) суматора

Реалізація композиційних мінімальних суматорів на основі елементів з інверсною логікою наведена на рис. 1.25 і 1.26. З рисунків випливає, що без використання додаткових логічних елементів в колі переносу такі суматори являють собою схеми з розрядною інверсією непереносу ( $\bar{e} \rightarrow E$ )

(рис. 1.25) або переносу ( $e \rightarrow \bar{E}$ ) (рис. 1.26). Тому на основі таких однорозрядних суматорів багаторозрядні схеми суматорів будуються як суматори з черезрозрядною інверсією переносу (рис. 1.27).

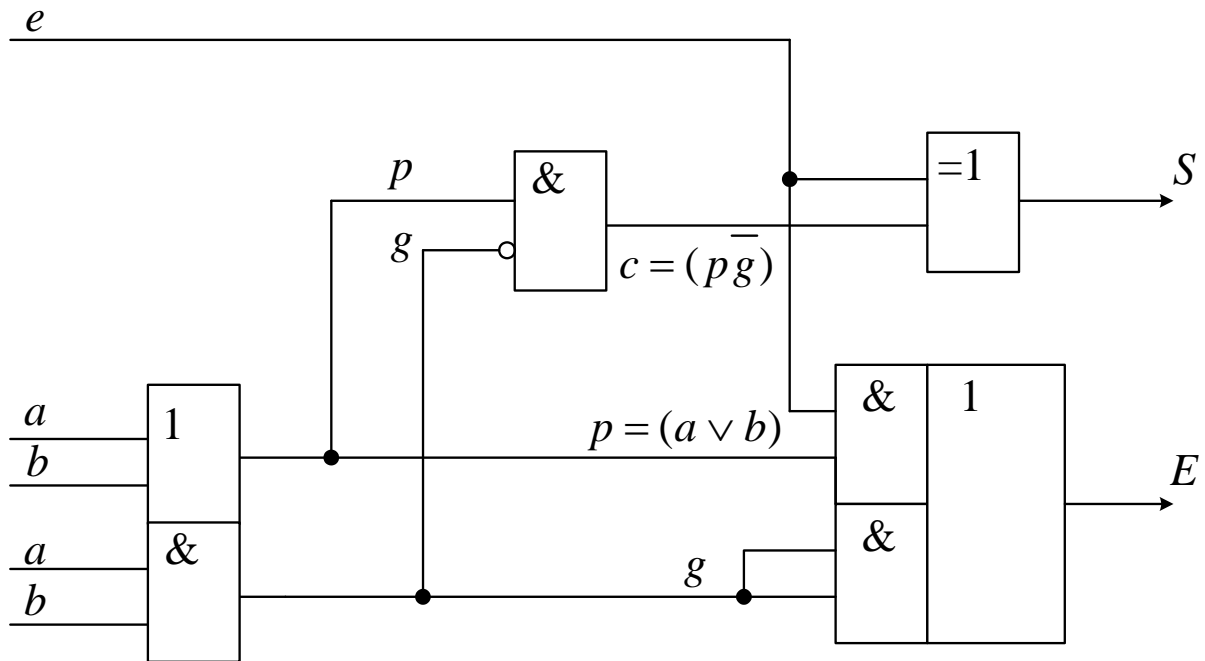


Рисунок 1.23 – Логічна схема композиційного мінімального суматора ( 1.24 ), ( 1.26 ) і ( 1.28 ) з використанням в якості аргументів суми  $S$  підготовчих функцій ( $p$  і  $g$ ) суматора

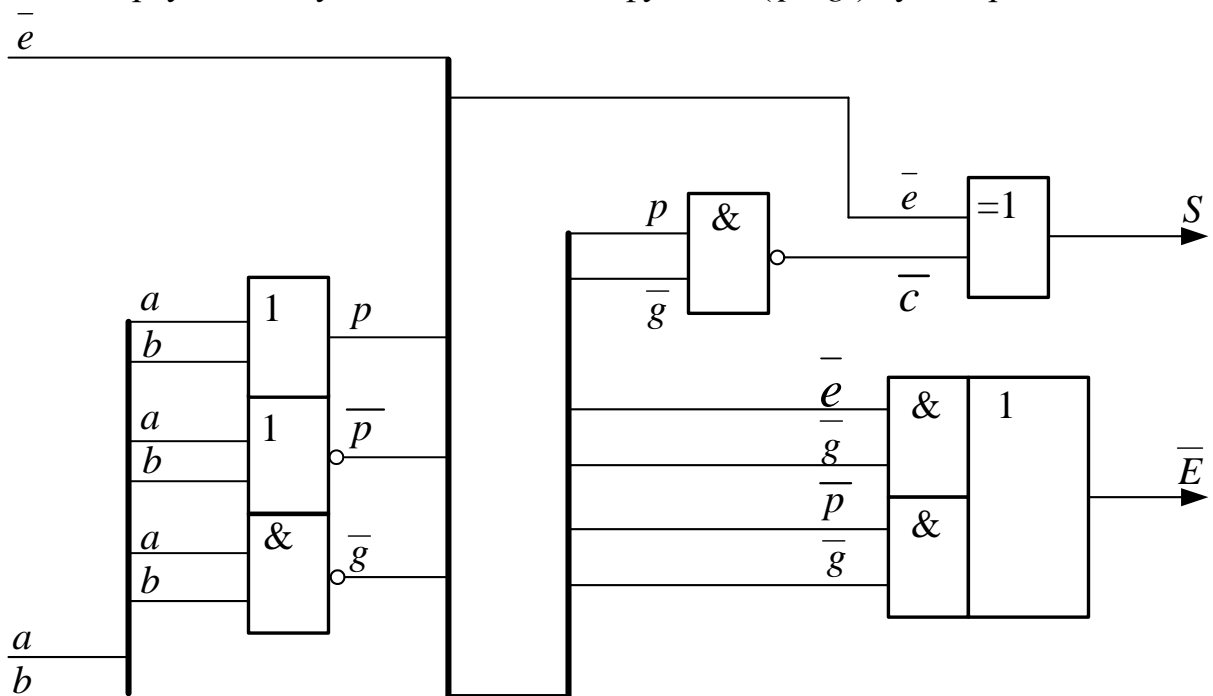
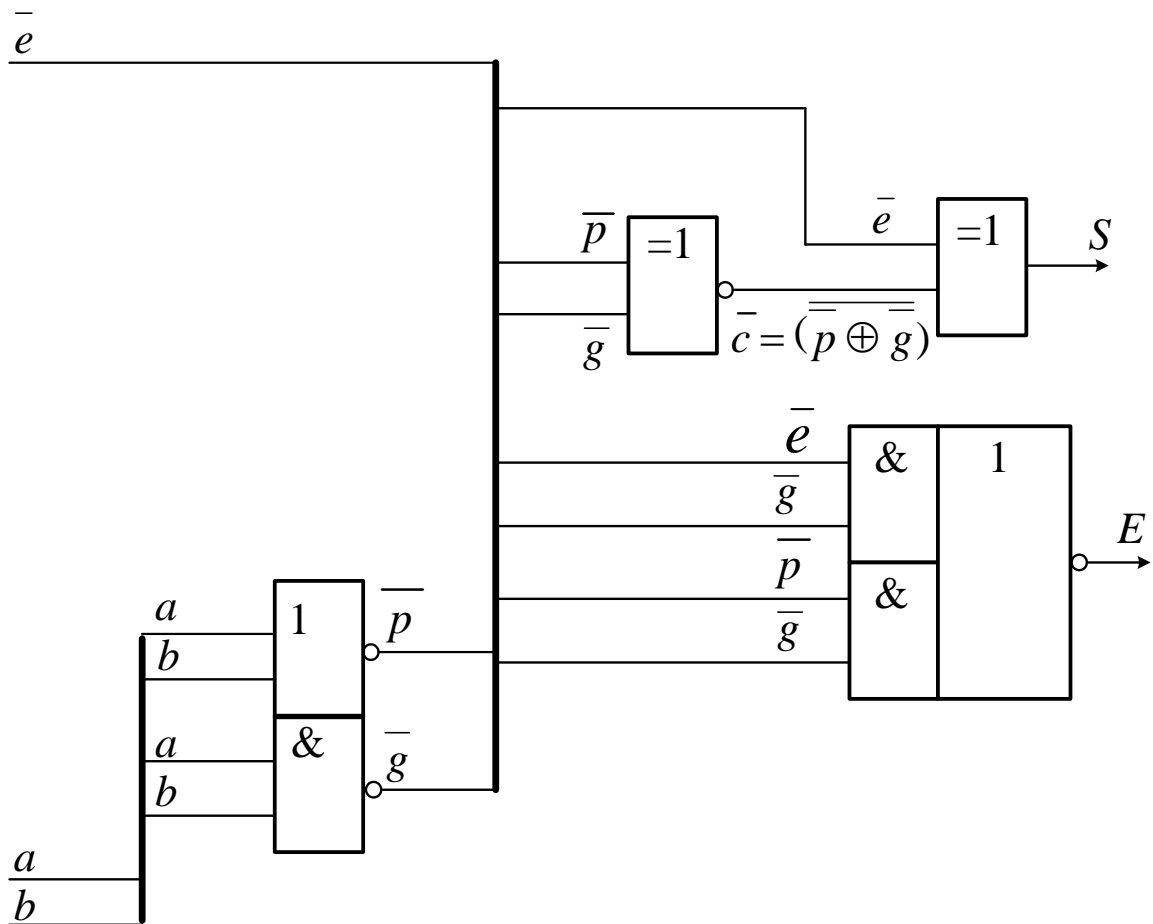
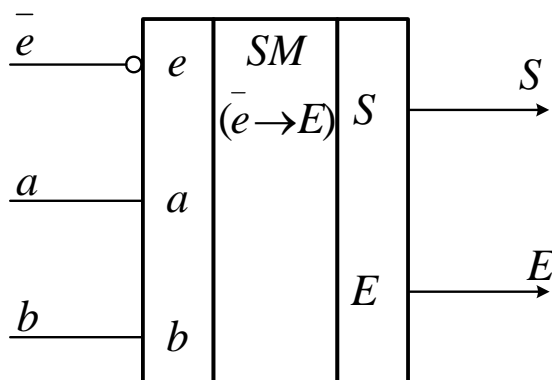


Рисунок 1.24 – Логічна схема композиційного мінімального суматора ( 1.31 ), ( 1.32 ) і ( 1.33 ) з транзитом вхідного непереносу  $\bar{e}$  та генерацією розрядного сигналу непереносу ( $\overline{pg}$ )

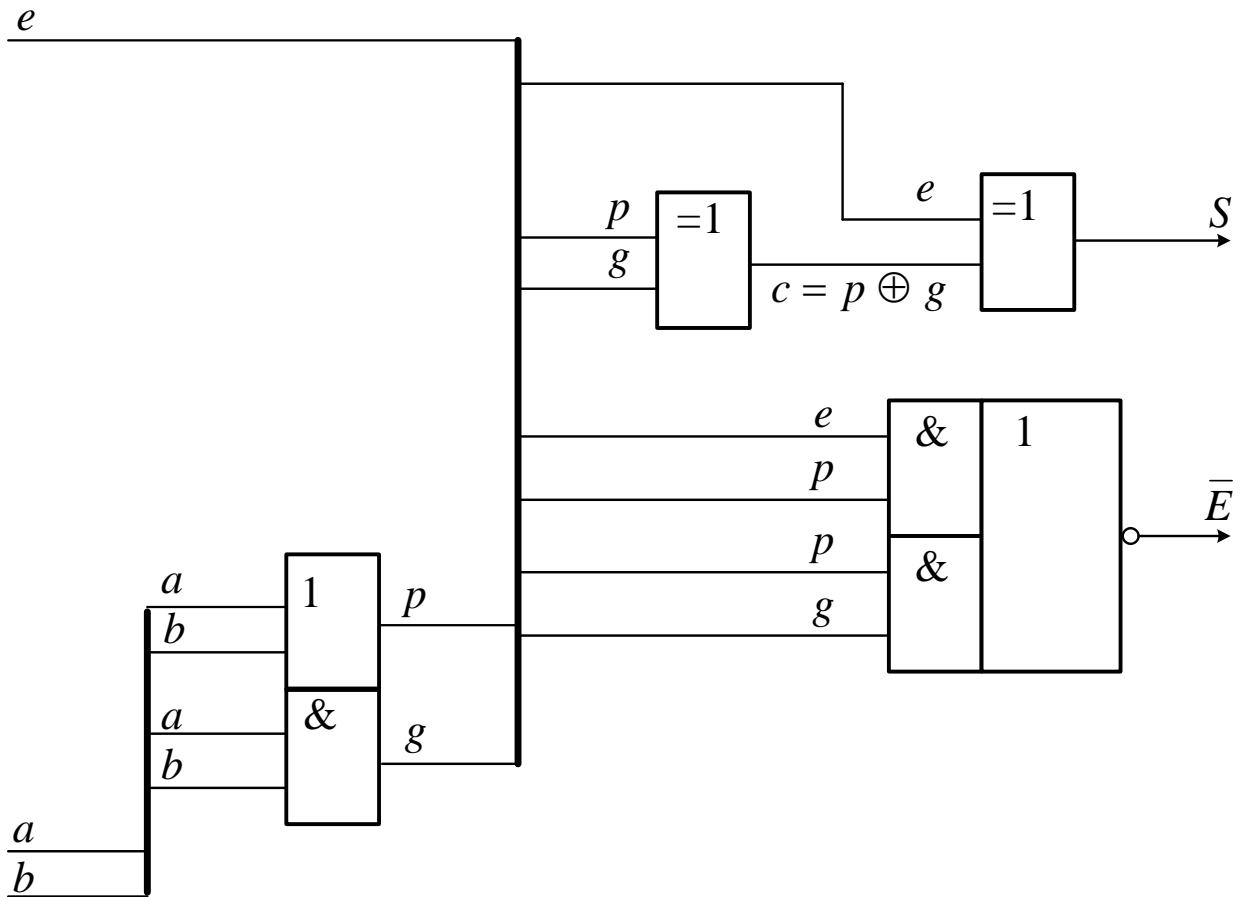


a)

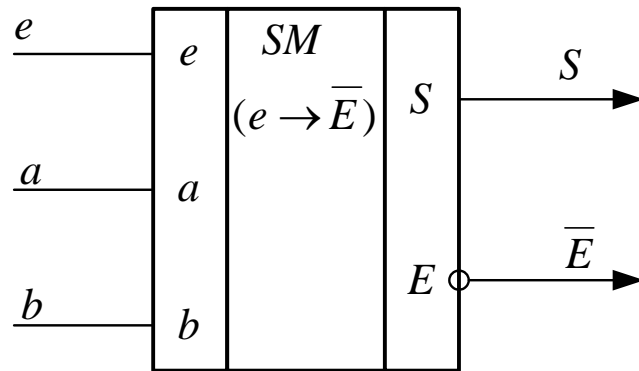


б)

Рисунок 1.25 – Логічна схема (а) і умовне графічне позначення (б) композиційного мінімального суматора ( 1.24 ), ( 1.29 ) і ( 1.31 ) з розрядною інверсією сигналу переносу ( $\bar{e} \rightarrow E$ ).



a)



б)

Рисунок 1.26 – Логічна схема (а) і умовне графічне позначення (б) композиційного мінімального суматора ( 1.24 ) і ( 1.27 ) з розрядною інверсією переносу ( $e \rightarrow \bar{E}$ ).

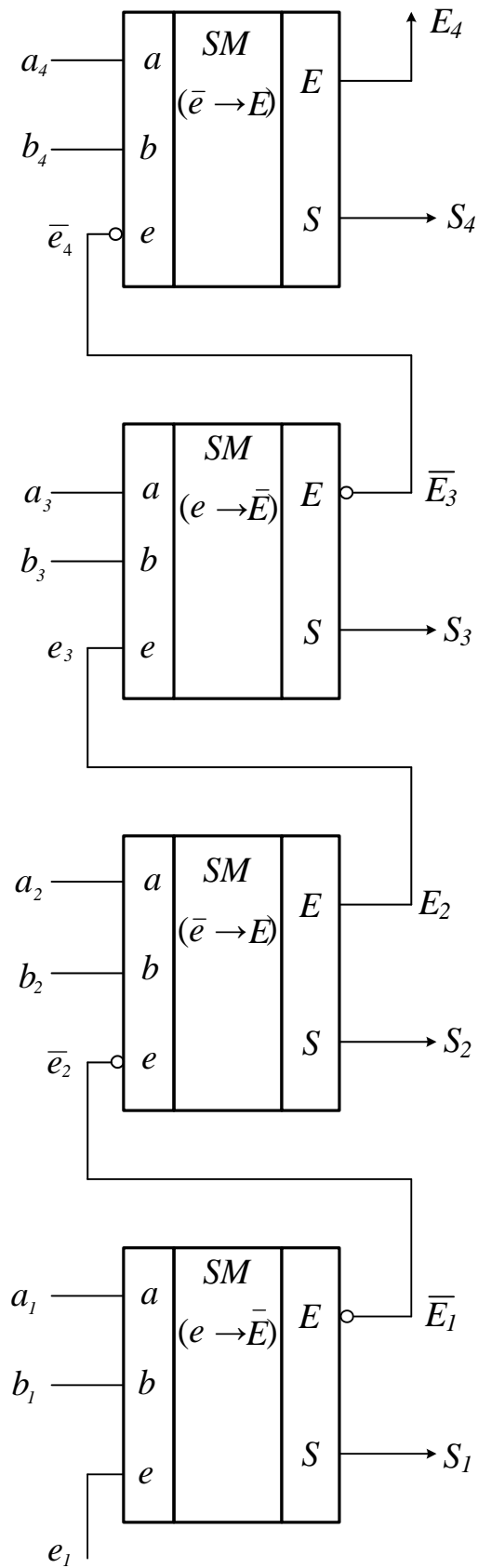


Рисунок 1.27 – Чотирирозрядний суматор з черезрозрядною інверсією сигналів переносу ( $e_1 \rightarrow \bar{e}_2 \rightarrow e_3 \rightarrow \bar{e}_4$ ) на основі композиційних мінімальних суматорів (рис. 1.25 і рис. 1.26)



## Контрольні завдання та запитання

1. В чому полягає принцип побудови композиційного двійкового суматора?

2. Обґрунтуйте логічні співвідношення:

$$E = g + pe; \quad E = pg + pe;$$

$$\bar{E} = \bar{p}\bar{g} + \bar{g}e; \quad \bar{E} = \bar{p} + \bar{g}e;$$

$$S = (p \oplus g) \oplus e; \quad S = (\bar{p}\bar{g}) \oplus e;$$

$$S = (\bar{a} \oplus \bar{b}) \oplus e; \quad S = (\bar{p} \oplus \bar{g}) \oplus e;$$

$$S = (a \oplus b) \oplus e.$$

3. Доведіть, що  $\bar{p}g = 0$ .

4. Виконайте порівняння апаратних витрат на побудову логічних схем композиційних мінімальних суматорів.

5. Навіщо в багаторозрядних суматорах використовується черезрозрядна інверсія переносу?

6. Для чого використовується розрядна функція генерації вихідного переносу?

7. Як визначити значення сигналу генерації вихідного переносу?

8. Чи є коректним запис функції  $g = f(a, b, e)$ ? Обґрунтуйте відповідь.

9. Для чого використовується розрядна функція дозволу розповсюдження (транзиту) вхідного переносу?

10. Як визначити значення сигналу дозволу розповсюдження вхідного переносу?

11. Чи є коректним запис функції  $p = f(a, b, e)$ ? Обґрунтуйте відповідь.

12. Приведіть логічну функцію вихідного переносу  $E = f(g, p, e)$ .

13. Приведіть логічну функцію суми  $S = f(g, p, e)$ .

14. Приведіть повну форму визначення розрядного переносу.

15. Як складено розширену карту Карно функції  $c = (a \oplus b)$  в залежності від доданків ( $a$  і  $b$ ) та підготовчих функцій ( $p$  і  $g$ ) суматора?

16. Як визначити сигнал відсутності переносу?

17. Визначити значення сигналів генерації і розповсюдження переносу при додаванні чисел  $A = 0111$  і  $B = 0110$  та  $e_1 = 0$ .

18. Визначити значення сигналів генерації і розповсюдження переносу при додаванні чисел  $A = 0101$  і  $B = 0110$  та  $e_1 = 1$ .

19. Приведіть схему чотирирозрядного суматора з черезрозрядною інверсією сигналу переносу ( $e_0 \rightarrow \bar{e}_1 \rightarrow e_2 \rightarrow \bar{e}_3$ ) на основі композиційних мінімальних суматорів.
20. Приведіть схему чотирирозрядного суматора з черезрозрядною інверсією сигналу переносу ( $\bar{e}_0 \rightarrow e_1 \rightarrow \bar{e}_2 \rightarrow e_3$ ) на основі композиційних мінімальних суматорів.
21. Приведіть приклади двійкових кодів доданків  $A$  і  $B$ , при яких суматор має найменшу швидкодію.
22. Як побудувати композиційний канонічний і мінімальний суматор в елементному базисі I-NI?
23. Визначте умовне графічне позначення суматорів на рис. 1.25 і рис. 1.26 з використанням негативної логіки кодування сигналів.
24. Визначте умовне графічне позначення суматора на рис. 1.27 за угодою з негативною логікою.
25. Визначте стани сигналів в суматорі на рис. 1.27 (за угодою позитивної логіки) при додаванні чисел  $A = 1111$ ,  $B = 0001$ ,  $e_1 = 0$ .

### **1.5. Логічні співвідношення, властивості і функціональні схеми однорозрядних двійкових віднімачів**

Як відомо [2], операція віднімання багаторозрядних операндів  $A(a_n, \dots, a_2, a_1)$  та  $B(b_n, \dots, b_2, b_1)$  зводиться до порозрядних операцій арифметичного віднімання однойменних розрядів зменшуваного ( $a$ ) та від'ємника ( $b$ ) з врахуванням значення позики ( $m$ ) з сусіднього старшого розряду [ 1 ].

Цифри чисел віднімаються починаючи з наймолодших розрядів. Якщо при цьому необхідно віднімати двійкову  $1_2$  від  $0_2$ , то з сусіднього старшого розряду запозичується двійкова  $1_2$  (позика  $M$ ). Ця позичена двійкова  $1_2$  дорівнює двом двійковим одиницям в даному молодшому розряді, тобто одиничне значення позики з сусіднього старшого розряду ( $M = 1_2$ ) додає в даному молодшому розряді до зменшуваного дві одиниці ( $+2_{10}$ ).

Таким чином, в загальному випадку результатом порозрядних операцій віднімання є двійкова різниця операндів  $R$  в даному розряді та значення позики  $M$  з сусіднього старшого розряду. Для реалізації апаратного виконання порозрядних операцій віднімання в комп'ютерах застосовуються однорозрядні віднімачі (рис.1.28). Згідно з зазначеними

правилами віднімання двійкових цифр арифметичні функції двійкового віднідача можна визначити за формулою: [ 4 ]

$$R = a - b - m + W \cdot M, \quad ($$

1.34 )

де  $R$  – двійкова різниця операндів в даному розряді;

$M$  – значення позики зі старшого сусіднього розряду;

$a, b, m$  – відповідно двійкові цифри зменшуваного, від’ємника та позики з молодшого сусіднього розряду;

$W$  – вага позики  $M$  зі старшого розряду відносно ваги позиції поточного розряду.

Очевидно, що при використанні двійкової системи числення  $W = 2$ .

Значення позики  $M$  віднідача з сусіднього розряду визначається за правилом [ 1 ]:

$$M = \begin{cases} 1, & \text{якщо } (b + m) > a, \\ 0, & \text{якщо } (b + m) \leq a. \end{cases}$$

Арифметичні функції двійкового віднідача для всіх комбінацій аргументів наведені в табл.1.6.

Арифметичні функції однорозрядного двійкового віднідача Таблиця 1.6

$a(+1)$	$b(-1)$	$m(-1)$	$M(+2)$	$R(+1)$
0 <sub>2</sub>	0 <sub>2</sub>	0 <sub>2</sub>	0 <sub>2</sub>	0 <sub>2</sub>
0 <sub>2</sub>	0 <sub>2</sub>	1 <sub>2</sub>	1 <sub>2</sub>	1 <sub>2</sub>
0 <sub>2</sub>	1 <sub>2</sub>	0 <sub>2</sub>	1 <sub>2</sub>	1 <sub>2</sub>
0 <sub>2</sub>	1 <sub>2</sub>	1 <sub>2</sub>	1 <sub>2</sub>	0 <sub>2</sub>
1 <sub>2</sub>	0 <sub>2</sub>	0 <sub>2</sub>	0 <sub>2</sub>	1 <sub>2</sub>
1 <sub>2</sub>	0 <sub>2</sub>	1 <sub>2</sub>	0 <sub>2</sub>	0 <sub>2</sub>
1 <sub>2</sub>	1 <sub>2</sub>	0 <sub>2</sub>	0 <sub>2</sub>	0 <sub>2</sub>
1 <sub>2</sub>	1 <sub>2</sub>	1 <sub>2</sub>	1 <sub>2</sub>	1 <sub>2</sub>

При використанні кодування двійкових цифр віднідача за допомогою потенційних двозначних рівнів напруги (наприклад 0<sub>2</sub> ↔ L, 1<sub>2</sub> ↔ H, U<sub>H</sub> > U<sub>L</sub>, де U<sub>H</sub>, U<sub>L</sub> – відповідно рівні електричної напруги високого і низького рівнів) можна отримати опис функціонування віднідача як дискретного електронного пристрою (табл. 1.7).

Арифметичні функції однорозрядного двійкового віднімача за канонічним традиційним кодуванням двійкових цифр двозначними потенційними рівнями напруги Н та L ( $0_2 \leftrightarrow L$ ,  $1_2 \leftrightarrow H$ )

Таблиця 1.7

$a(+1)$	$b(-1)$	$m(-1)$	$M(+2)$	$R(+1)$
L	L	L	L	L
L	L	H	H	H
L	H	L	H	H
L	H	H	H	L
H	L	L	L	H
H	L	H	L	L
H	H	L	L	L
H	H	H	H	H

Опис функціонування віднімача в булевому базисі може здійснюватися при кодуванні дискретних рівнів напруги електричної схеми віднімача (табл. 1.7) за угодою позитивної (табл. 1.8) або негативної (табл. 1.9) логіки.

Далі в тексті з метою спрощення формул для позначення булевих змінних віднімача будемо використовувати найбільш поширену в сучасній комп'ютерній техніці позитивну логіку кодування змінних, якщо не буде зроблено спеціальне зауваження, тобто будемо використовувати символи  $a$ ,  $b$ ,  $m$ ,  $R$  та  $M$  без відповідного позначення змінних з індексом позитивної логіки  $a_{пл}$  і т.д.

Логічні функції однорозрядного двійкового віднімача з використанням позитивного способу кодування потенційних рівнів напруги булевими змінними ( $H \leftrightarrow 1$ ,  $L \leftrightarrow 0$ )

Таблиця 1.8

$a_{пл}$	$b_{пл}$	$m_{пл}$	$M_{пл}$	$R_{пл}$
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	1	0
1	0	0	0	1
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

Логічні функції однорозрядного двійкового віднімача з використанням негативного способу кодування потенційних рівнів напруги булевими змінними (  $H \leftrightarrow 0, L \leftrightarrow 1$  )

Таблиця 1.9

$a_{нл}$	$b_{нл}$	$m_{нл}$	$M_{нл}$	$R_{нл}$
1	1	1	1	1
1	1	0	0	0
1	0	1	0	0
1	0	0	0	1
0	1	1	1	0
0	1	0	1	1
0	0	1	1	1
0	0	0	0	0

Найважливішою властивістю віднімача є самоподвійність його аргументів і вихідних функцій, що прямо впливає з таблиці істинності ( табл. 1.8 ) віднімача:

$$R(000 \rightarrow 111) = 0 \rightarrow 1; \quad M(000 \rightarrow 111) = 0 \rightarrow 1;$$

$$R(001 \rightarrow 110) = 1 \rightarrow 0; \quad M(001 \rightarrow 110) = 1 \rightarrow 0 \text{ і т.д.}$$

Таким чином, можна відзначити, що для всіх комбінацій аргументів віднімача ( 000, 001, ..., 111 ) порозрядне інвертування його вхідних змінних (  $a, b, m$  ) визиває появу інверсних значень на вихідних каналах (  $R, M$  ) цього пристрою ( рис. 1.28 ).

З таблиці істинності віднімача ( табл. 1.8 ) безпосередньо впливають канонічні рівняння віднімача:

$$R = \overline{abm} + \overline{ab\bar{m}} + \overline{a\bar{b}m} + \overline{abm}; \quad (1.35)$$

$$M = \overline{abm} + \overline{a\bar{b}m} + \overline{ab\bar{m}} + \overline{abm}. \quad (1.36)$$

Для побудови логічної схеми однорозрядного канонічного віднімача в поширеному базису І-АБО-НІ ( рис. 1.29 ) логічні вирази ( 1.36 ) перетворюються з використанням властивості самоподвійності логічних функцій віднімача:

$$R = \overline{\overline{abm} + \overline{ab\bar{m}} + \overline{a\bar{b}m} + \overline{abm}}; \quad (1.37)$$

$$M = \overline{\overline{abm} + \overline{a\bar{b}m} + \overline{ab\bar{m}} + \overline{abm}}. \quad (1.38)$$

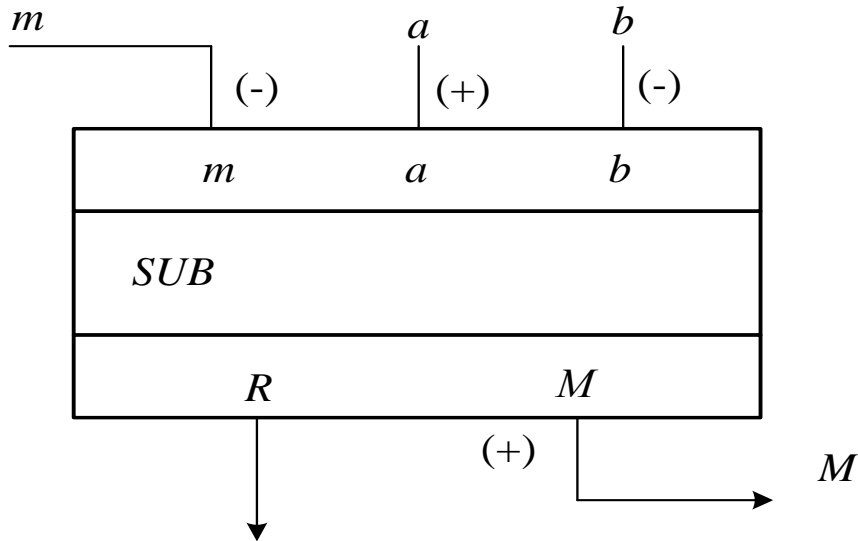


Рисунок 1.28 – Умовне графічне позначення однорозрядного двійкового віднімача

Канонічне логічне співвідношення позики  $M$  (1.36) віднімача може бути мінімізовано. Карта Карно для мінімізації  $M$  приведена на рис. 1.30. В результаті мінімізації маємо:

$$M = \bar{a}b + \bar{a}m + bm. \quad ($$

1.39 )

Логічні вирази ( 1.35 ) і ( 1.39 ) утворюють базові співвідношення звичайного мінімального віднімача.

Логічне співвідношення ( 1.35 ) для вихідної функції різниці  $R = f(a, b, m)$  віднімача можна мінімізувати за рахунок сумісної мінімізації обох функцій виходів  $R$  і  $M$  віднімача, тобто шляхом розширення таблиці істинності функції  $R$  ( табл. 1.10 ).

Карта Карно для мінімізації різниці  $R$  за розширеною таблицею істинності віднімача приведена на рис. 1.31.

За розширеною таблицею істинності для вихідної функції  $R$  віднімача можна отримати мінімальне співвідношення:

$$R = aM + \bar{b}M + \bar{m}M + \bar{a}\bar{b}\bar{m}. \quad ( 1.40 )$$

Формули ( 1.39 ) і ( 1.40 ) є базовими для побудови логічної схеми розширеного мінімального віднімача ( рис. 1.32, 1.33 ) з інверсією позики (  $m \rightarrow \bar{M}$  ) або (  $\bar{m} \rightarrow M$  ).

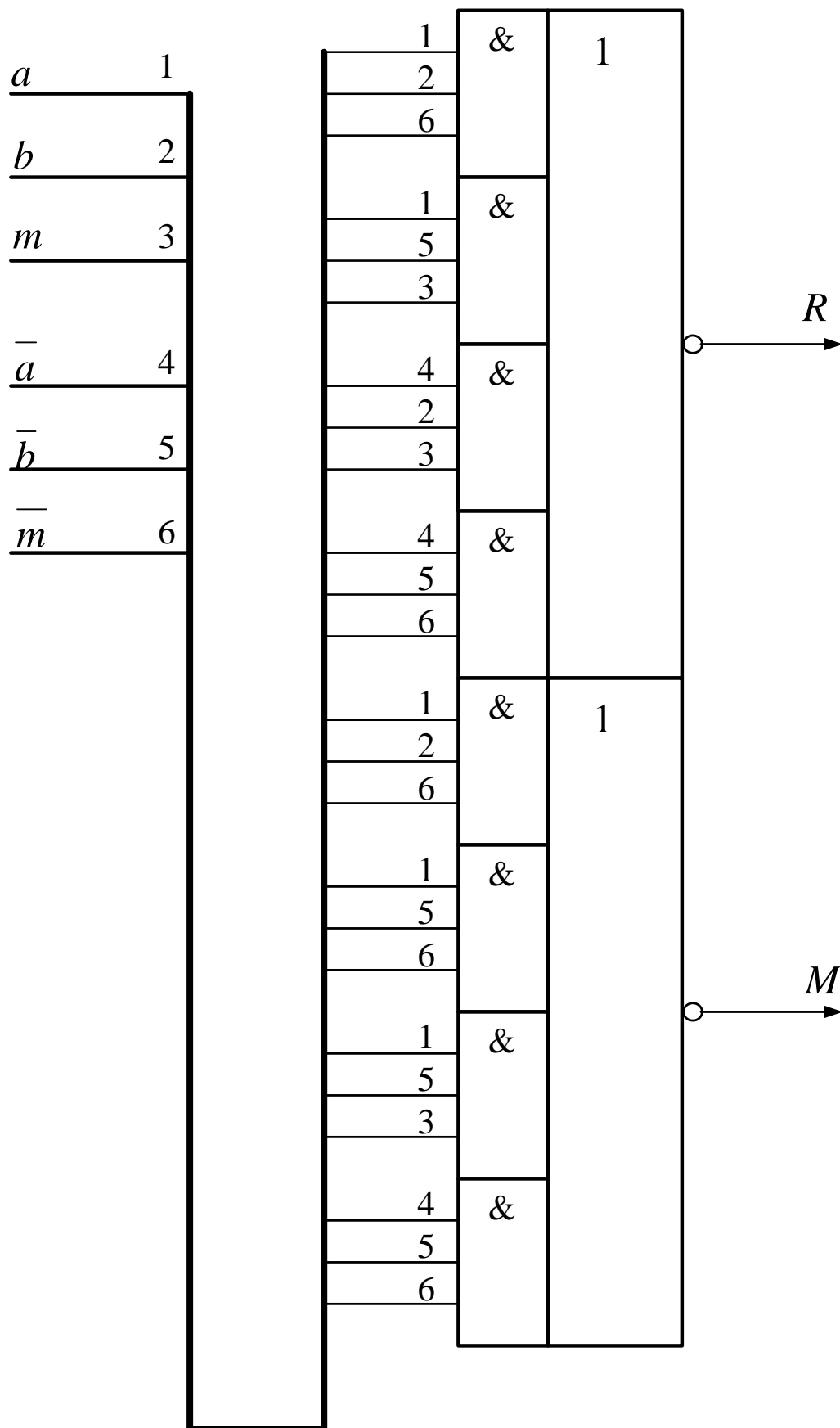


Рисунок 1.29 – Логічна схема канонічного віднімача в базисі I-АБО-ПІ

		<i>bm</i>			
		00	01	11	10
<i>a</i>	0	0	1	1	1
	1	0	0	1	0

Рисунок 1.30 – Карта Карно логічної функції  $M$  віднімача (табл. 1.8).

Розширена таблиця істинності функції  $R$  віднімача.

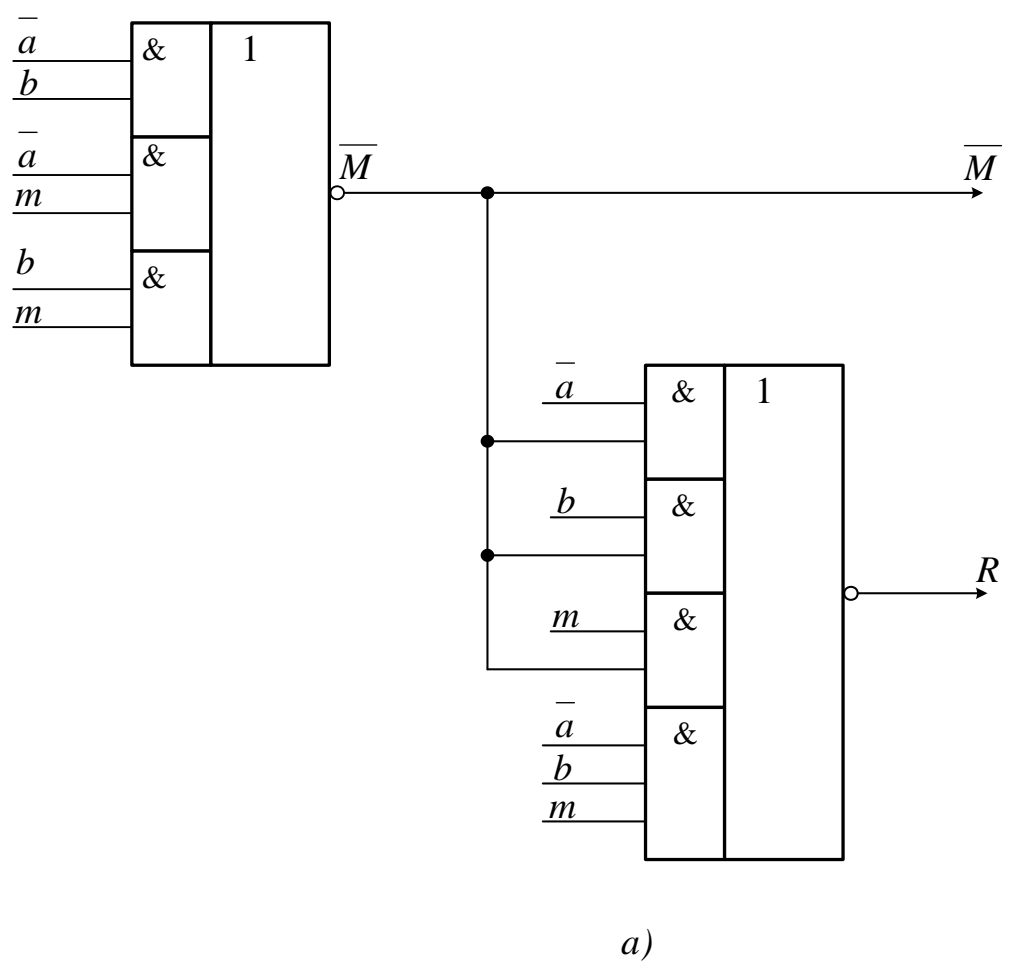
Таблиця 1.10

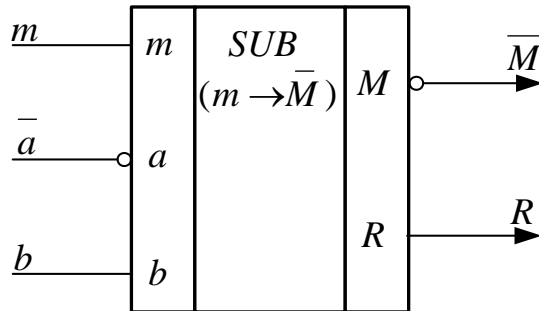
$a$	$b$	$m$	$M$	$R=f(a, b, m, M)$
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	1	0
1	0	0	0	1
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1
0	0	0	1	*
0	0	1	0	*
0	1	0	0	*
0	1	1	0	*
1	0	0	1	*
1	0	1	1	*
1	1	0	1	*
1	1	1	0	*



$mM$	$ab$	00	01	11	10
00		0	*	1	*
01		*	1	0	*
11		0	*	1	*
10		1	*	*	0

Рисунок 1.31 – Розширена карта Карно вихідної функції  $R$  віднімача





б)

Рисунок 1.32 – Логічна схема (а) та умовне графічне позначення (б) розширеного мінімального віднімача з інверсією вихідної позики ( $m \rightarrow \bar{M}$ )

Логічна структура композиційного канонічного віднімача реалізується на основі канонічних рівнянь ( 1.35 ) і ( 1.36 ). Логічний вираз для представлення різниці  $R$  віднімача ( 1.35 ) описується наступними еквівалентними формулами [ 4 ]:

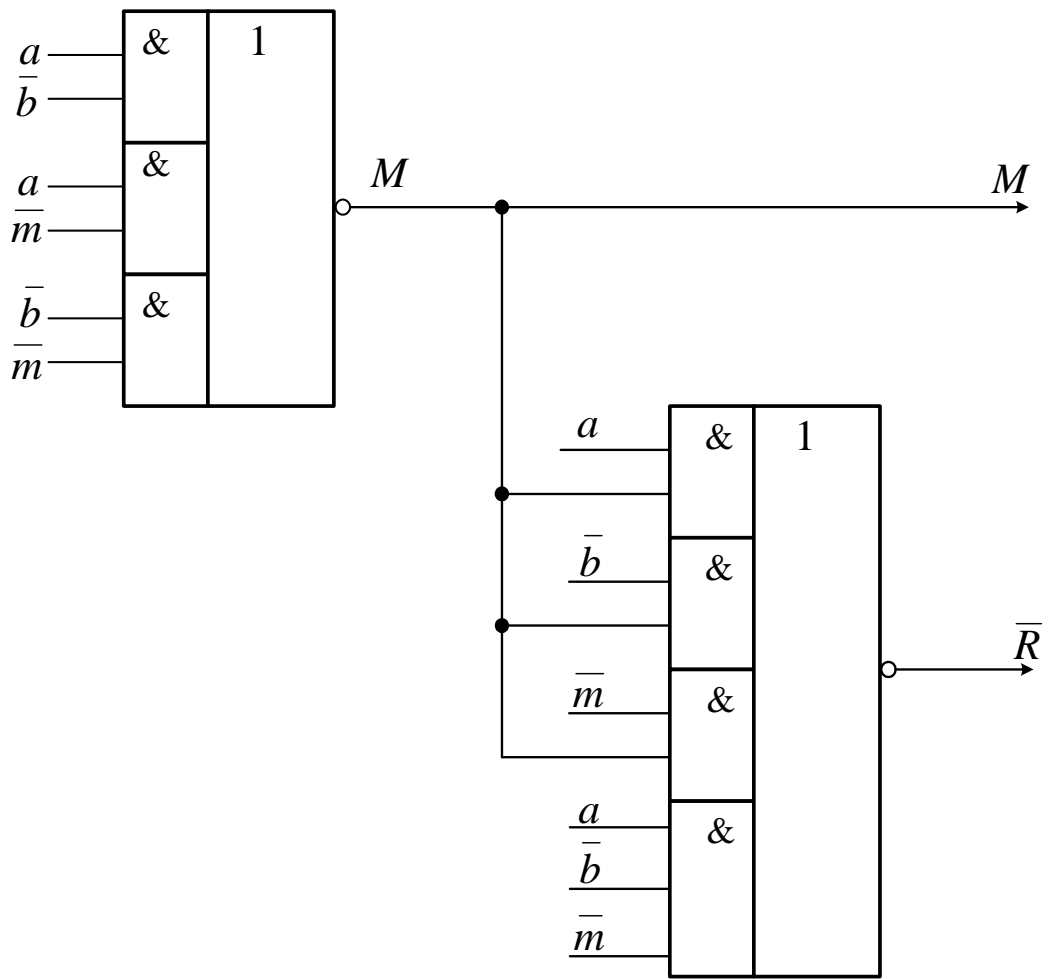
$$\begin{aligned}
 R &= \bar{a}\bar{b}m + \bar{a}b\bar{m} + a\bar{b}\bar{m} + abm = \\
 &= (\bar{a}\bar{b} + ab)m + (\bar{a}b + a\bar{b})\bar{m} = \\
 &= (a \oplus b) \oplus m;
 \end{aligned}
 \tag{ 1.41 }$$

Логічний вираз ( 1.36 ) вихідної позики  $M$  віднімача описується наступними еквівалентними формулами [ 4 ]:

$$\begin{aligned}
 M &= \bar{a}\bar{b}m + \bar{a}b\bar{m} + a\bar{b}\bar{m} + abm = \\
 &= \bar{a}\bar{b} + (\bar{a}b + ab)m = \\
 &= \bar{a}\bar{b} + (a \oplus b)m = z + Hm,
 \end{aligned}
 \tag{ 1.42 }$$

де  $z = \bar{a}\bar{b}$  – внутрішня ( місцева ) функція генерації позики віднімача (*borrow generation*);

$H = a \oplus b$  – умова транзиту ( передачі ) ознаки вхідної позики  $m$  композиційного канонічного віднімача до каналу вихідної позики  $M$  ( умова розповсюдження (*borrow propagation*) вхідної позики  $m$  через віднімач ).



a)

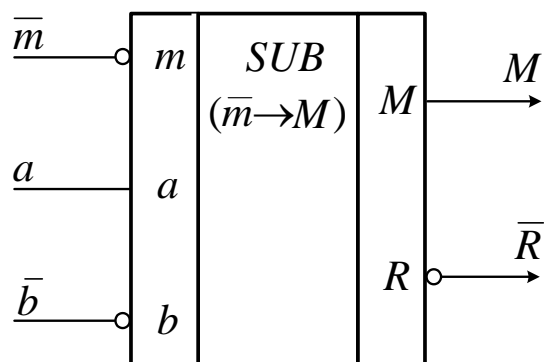


Рисунок 1.33 – Логічна схема (а) та умовне графічне позначення (б) розширеного мінімального віднімача з інверсією вихідної позики ( $\bar{m} \rightarrow M$ )

Структурна схема композиційного мінімального віднімача будується на основі співвідношень мінімального віднімача (1.39) і (1.41) за еквівалентними формулами [ 4 ]:

$$R = r \oplus m; \quad (1.43)$$

$$\begin{aligned} M &= \bar{a}b + \bar{a}m + bm = \\ \bar{a}b + (\bar{a} + b)m &= z + hm, \end{aligned} \quad (1.44)$$

де  $h = (\bar{a} + b)$  – умова розповсюдження (транзиту) вхідної позики ( $m$ ) віднімача через поточний розряд;

$$r = (a \oplus b).$$

Логічна схема віднімача може також формуватися на основі використання підготовчих функцій  $z$  і  $h$  відповідно до розширеної карти Карно (рис. 1.34).

В цьому випадку функція  $r$  в композиційному віднімачі формуються наступним чином:

$$r = (a \oplus b) = \overline{hz} = z \oplus h;$$

Приведені вище формули можна також отримати за допомогою аналітичних перетворень.

Для доведення формули  $r = \overline{hz}$  необхідно виконати такі перетворення:

$$\begin{aligned} r = a \oplus b &= \bar{a}b + a\bar{b} = \overline{(\bar{a} + b)} + \bar{a}b = \\ &= \overline{(\bar{a} + b)}\bar{a}b = \overline{hz}; \end{aligned}$$

Коректність логічного виразу  $r = \overline{z \oplus h}$  може бути доведена за допомогою перетворень

$$\begin{aligned} r = a \oplus b &= \bar{a}b + a\bar{b} = \overline{(\bar{a} + b)} + \overline{(a + \bar{b})} = \overline{(\bar{a} + b)(a + \bar{b})} = \\ &= \overline{\bar{a}b(ab) + (\bar{a} + b)(a + \bar{b})} = \overline{(\bar{a} + b)ab + (\bar{a} + b)ab} = \\ &= \overline{zh + hz} = \overline{z \oplus h}; \end{aligned}$$

Враховуючи, що  $\overline{hz} = 0$ , можна також записати

$$r = \overline{h \oplus z} = \overline{hz + \overline{hz}} = \overline{hz}.$$

	$zh$	00	01	11	10	
$ab$		00	01	11	10	
00		*	0	*	*	$z = 0, h = 1$
01		*	*	1	*	$z = 1, h = 1$
11		*	0	*	*	$z = 0, h = 1$
10		1	*	*	*	$z = 0, h = 0$
$a \oplus b = \bar{h} + z = \bar{h}z$						
$a \oplus b = \bar{z}h + zh = \bar{z} \oplus h$						

Рисунок 1.34 – Розширена карта Карно функції  $r$  в залежності від підготовчих функцій ( $z, h$ ) мінімального віднімача

Формування вихідного сигналу відсутності позики (непозики  $\bar{M}$ ) в композиційному мінімальному віднімачі виконується на основі співвідношення (1.41) за формулою:

$$\begin{aligned}
 \bar{M} &= \bar{a}\bar{b} + \bar{a}m + \bar{b}m = \\
 &= \bar{a}\bar{b} + (a + \bar{b})\bar{m} = \\
 &= \overline{(a + b)} + \overline{ab}m = \bar{h} + \bar{z}m,
 \end{aligned}
 \tag{1.45}$$

де  $\bar{h} = \overline{(a + b)}$  – функція генерації сигналу відсутності позики (непозики) в схемі віднімача;  
 $\bar{z} = \overline{(ab)}$  – функція розповсюдження транзиту вхідного сигналу непозики через віднімач.

Можливі логічні схеми композиційних мінімальних віднімачів з інверсією позики наведені на рис. 1.35 і 1.36. При використанні таких однорозрядних віднімачів багаторозрядні схеми віднімачів будуються без



Рисунок 1.35 – Логічна схема (а) та умовне графічне позначення (б) композиційного мінімального віднімача з інверсією вихідної позики ( $m \rightarrow \bar{M}$ )

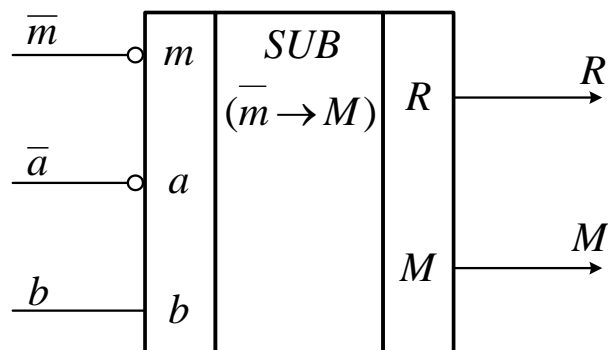
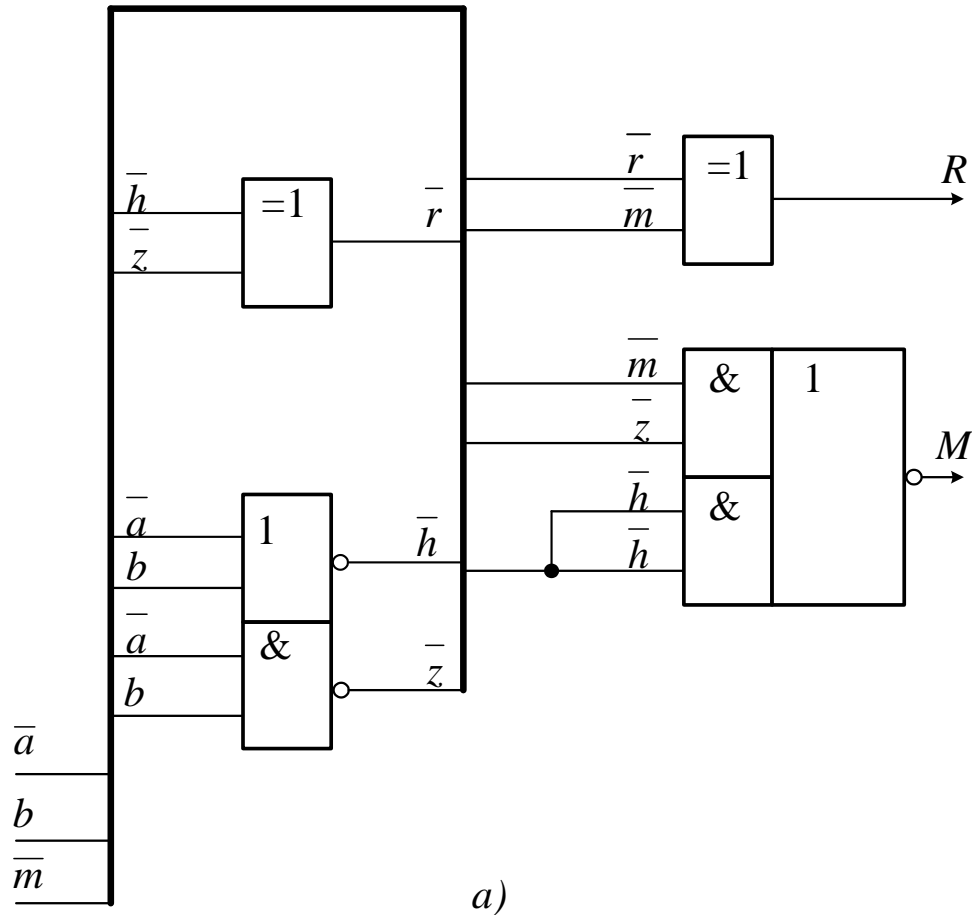


Рисунок 1.36 - Логічна схема (а) та умовне графічне позначення (б) композиційного мінімального віднімача з інверсією вхідної позики ( $\bar{m} \rightarrow M$ )

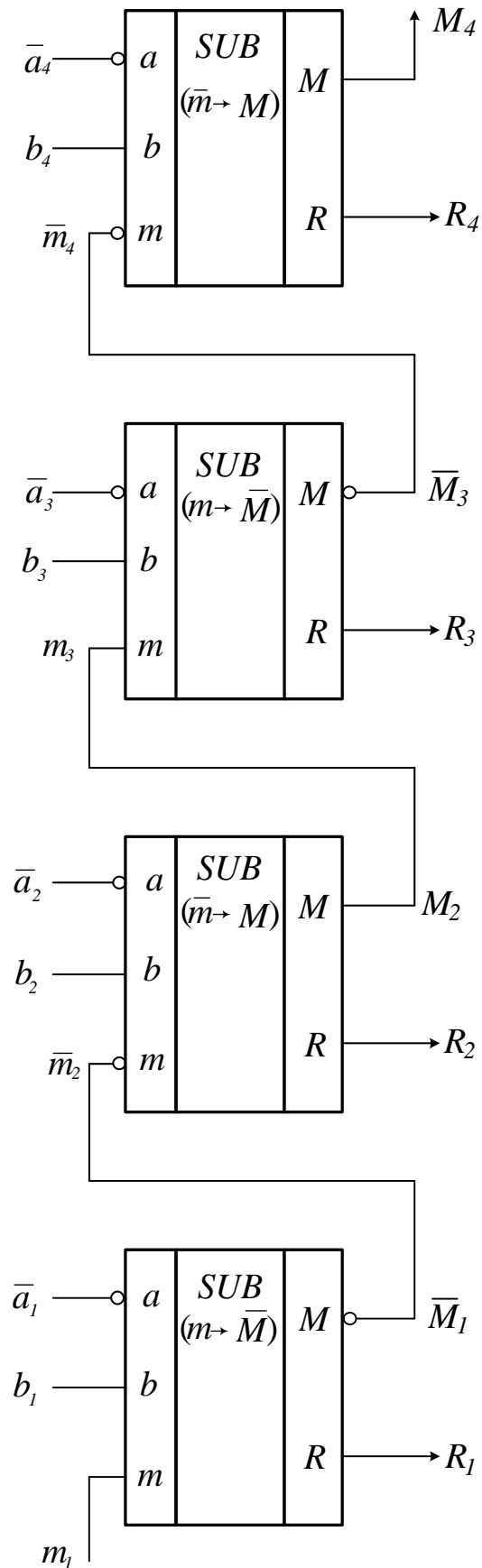


Рисунок 1.37 – Чотирирозрядний віднімач з черезрозрядною інверсією позики



## Контрольні завдання та запитання

1. Виконайте синтез і побудуйте логічні схеми канонічного віднімача в елементному базисі 3І-НІ та 2І-НІ, використовуючи ДДНФ.
2. Виконайте синтез і побудуйте логічні схеми канонічного віднімача в елементному базисі 3І-НІ та 2І-НІ, використовуючи ДКНФ.
3. Виконайте синтез і побудуйте логічні схеми канонічного віднімача в елементному базисі 3АБО-НІ та 2АБО-НІ, використовуючи ДДНФ.
4. Виконайте синтез і побудуйте логічні схеми канонічного віднімача в елементному базисі 3АБО-НІ та 2АБО-НІ, використовуючи ДКНФ.
5. Побудуйте логічні схеми канонічного віднімача на базі синхронних дешифраторів 3→8.
6. Побудуйте логічні схеми канонічного віднімача на базі синхронних дешифраторів 2→4.
7. Побудуйте логічні схеми канонічного віднімача на базі мультиплексорів 8→1.
8. Побудуйте логічні схеми канонічного віднімача на базі мультиплексорів 4→1.
9. Побудуйте логічні схеми канонічного віднімача на базі мультиплексорів 2→1 з використанням каскадного з'єднання заданих мультиплексорів.
10. Побудуйте логічні схеми канонічного віднімача на базі дешифратора і мультиплексорів 2→1.
11. Виконайте порівняння апаратних витрат на побудову логічних схем канонічного віднімача при розв'язанні завдань 1 - 10.
12. Обґрунтуйте логічні вирази:

$$M = z + hm;$$

$$M = \overline{\overline{h} + \overline{z}m};$$

$$\overline{M} = \overline{h} + \overline{z}m;$$

$$R = a \oplus b \oplus m;$$

$$R = (\overline{a} \oplus \overline{b}) \oplus m;$$

$$R = (\overline{\overline{a} \oplus \overline{b}}) \oplus \overline{m};$$

$$r = \overline{a} \oplus \overline{b};$$

$$r = \overline{\overline{z} \oplus \overline{h}};$$

$$\overline{r} = (\overline{h} \overline{z});$$

$$r = z + \overline{h};$$

$$r = \overline{z \oplus h}.$$

13. Як побудувати композиційний мінімальний віднімач в елементному базису І-НІ?
14. Як побудувати віднімач з негативною логікою кодування сигналів на основі віднімача з позитивною логікою?

15. Як побудувати віднімач з позитивною логікою кодування сигналів на основі віднімача з негативною логікою?
16. Дайте визначення двійкового однобітного віднімача.
17. Поясніть, як розробити таблицю істинності однобітного двійкового віднімача?
18. Поясніть умовні графічні позначення віднімачів на рис. 1.35 - 1.37.
19. Доведіть самоподвійність функції різниці  $R$ .
20. Доведіть самоподвійність функції позики віднімача.
21. Визначити реакцію канонічного віднімача при інвертуванні значень всіх вхідних сигналів.
22. Аналітично доведіть, як представити формулу різниці однорозрядного двійкового віднімача за допомогою логічних елементів додавання за модулем два.
23. Побудуйте функцію  $R = a \oplus b \oplus n$  в елементному базисі 3І-НІ.
24. Побудуйте чотирирозрядний віднімач в елементному базисі І-АБО-НІ.
25. Як використовується властивість самоподвійності різниці і позики при реалізації багаторозрядних віднімачів?
26. Приведіть логічний вираз функції позики мінімального віднімача у вигляді ДНФ.
27. Приведіть логічний вираз функції позики мінімального віднімача у вигляді КНФ.
28. Поясніть термін «черезрозрядна інверсія позики».
29. Як побудувати оптимальну схему розширеного мінімального віднімача в елементному базисі І-НІ?
30. Визначити значення двійкових сигналів на вхідних і вихідних каналах чотирирозрядного віднімача при відніманні чисел  $A = 1100$  і  $B = 0111$  та  $m_I = 0$ .
31. Покажіть операції склеювання на розширеній карті Карно для функції різниці.
32. Покажіть операції склеювання на карті Карно для функції позики.
33. Поясніть принцип складання розширеної таблиці істинності функції  $R$  віднімача
34. В чому полягає принцип побудови композиційного віднімача?
35. Доведіть, що  $\bar{h}z = 0$ .
36. Виконайте порівняння апаратних витрат на реалізацію логічних схем композиційних мінімальних віднімачів.

37. Як визначити значення сигналу генерації позики?
38. Чи є коректним запис функції  $z = f(a, b, m)$ ? Обґрунтуйте відповідь.
39. Для чого використовується розрядна функція дозволу розповсюдження (транзиту) позики?
40. Чи є коректним запис функції  $h = f(a, b, m)$ ? Обґрунтуйте відповідь.
41. Приведіть логічну функцію позики  $M = f(z, h, m)$ .
42. Приведіть логічну функцію різниці  $R = f(z, h, m)$ .
43. Приведіть повну форму визначення розрядної позики.
44. Як складено розширену карту Карно функції  $r$  в залежності від операндів ( $a$  і  $b$ ) та підготовчих функцій ( $h$  і  $z$ ) віднімача?
45. Як визначити сигнал відсутності позики?
46. Визначити значення сигналів генерації і розповсюдження позики при відніманні чисел  $A = 1001$  і  $B = 0110$  та  $m_1 = 0$ .
47. Визначити значення сигналів генерації і розповсюдження позики при відніманні чисел  $A = 1001$  і  $B = 0100$  та  $m_1 = 1$ .
48. Приведіть схему чотирирозрядного віднімача з черезрозрядною інверсією сигналу позики ( $m_0 \rightarrow \overline{m_1} \rightarrow m_2 \rightarrow \overline{m_3}$ ) на основі композиційних мінімальних віднімачів.
49. Приведіть схему чотирирозрядного віднімача з черезрозрядною інверсією сигналу позики ( $\overline{m_0} \rightarrow m_1 \rightarrow \overline{m_2} \rightarrow m_3$ ) на основі композиційних мінімальних віднімачів.
50. Приведіть приклади двійкових кодів операндів  $A$  і  $B$ , при яких багаторозрядний віднімач має найменшу швидкодію.
51. Визначте та обґрунтуйте різницю  $R = 1000 - 0011$ .
52. Визначте стани сигналів на рис. 1.37 при відніманні чисел (за умовою  $m_1=0$ ):

$$\begin{array}{ll}
 A - B = 0101 - 1010; & A - B = 1101 - 1011; \\
 A - B = 0000 - 0001; & A - B = 0000 - 1111.
 \end{array}$$

### 1.6. Математичні засади і функціональні схеми суматорів з паралельним переносом

В найпростіших суматорах тракти розповсюдження переносу вмикаються послідовно (рис. 1.38). Від моменту подачі кодів  $A$  і  $B$  на вхід такого суматора впродовж певного часу відбувається перемикання сигналів на виході суматора по мірі розповсюдження переносу через розряди

суматора. Тривалість перехідного процесу залежить від часу затримки сигналів кожним логічним елементом суматора і кількості каскадів в колі переносу однорозрядного комбінаційного суматора.

Чотирирозрядний суматор (рис. 1.38) виконує операцію додавання  $S = A + B + e_1$ , де  $A (a_4, a_3, a_2, a_1)$ ,  $B (b_4, b_3, b_2, b_1)$  – чотирирозрядні доданки;  $S (S_4, S_3, S_2, S_1)$  – чотирирозрядна сума;  $e_1$  – вхідний зовнішній сигнал переносу в суматор;  $E_4$  – вихідний сигнал переносу суматора ( $E_4 = 1$ , якщо  $A + B + e_1 \geq 16_{10}$ ).

Якщо коло переносу в суматорі виконано за схемою, яка наведена на рис. 1.39, то сигнал переносу виробляється на виході одноступеневих схем і буде виникати з затримкою  $\tau$  відносно моменту надходження вхідних однойменних доданків  $a_i$  і  $b_i$ , де  $\tau$  – час затримки сигналу в одному логічному елементі. Наприклад, при додаванні кодів  $A = 1111$  і  $B = 0001$  тривалість перехідного процесу в тракці переносу (рис. 1.39) буде найбільшою. При цьому сигнал переносу зі старшого розряду  $E_4$  (рис. 1.39) буде формуватися з затримкою  $4\tau$  відносно моменту надходження  $a_1 = 1$  і  $b_1 = 1$ .

Таким чином, найбільша тривалість перехідного процесу в  $n$ -розрядному суматорі буде дорівнювати  $n\tau$ .

Сигнал  $S_4$  виникає в суматорі (рис. 1.39) з затримкою  $\tau$  відносно моменту надходження сигналу  $e_4$ . Таким чином, старший розряд суми  $S_4$  буде формуватися також з затримкою  $4\tau$ , тобто результат  $S (S_4, S_3, S_2, S_1)$  на виході суматора (рис. 1.39) буде виникати через відрізок часу  $t_s = 4\tau$ . Таким чином, час підсумовування в суматорі з послідовним переносом прямо пропорційний кількості розрядів суматора.

Швидкодію суматора можна підвищити, якщо застосувати в тракці переносу принцип паралельного переносу [ 1 ], коли сигнал переносу в кожному розряді виробляється незалежно від значення переносу з сусіднього молодшого розряду.

Вхідним переносом в перший розряд, наприклад, такого чотирирозрядного суматора (рис. 1.38) є зовнішній сигнал переносу  $e_1 (e_{вх})$ . В другому розряді паралельний перенос формується за звичайною мінімальною формулою в функції підготовчих функцій  $g_1$  і  $p_1$  першого розряду:

$$e_2(E_1) = g_1 + p_1 e_1. \quad (1.46)$$

Значення вихідного переносу в другому розряді паралельного суматора формується незалежно від переносу  $e_2$  наступним чином:

$$\begin{aligned}
 e_3(E_2) &= g_2 + p_2 e_2 = g_2 p_2 + p_2 (g_1 + p_1 e) = \\
 &= g_2 + p_2 g_1 + p_2 p_1 e_1;
 \end{aligned}
 \tag{1.47}$$

Виконуючи аналогічні перетворення, можна отримати остаточні логічні вирази для формування сигналів переносу з третього і четвертого розрядів паралельного суматора:

$$e_4(E_3) = g_3 + p_3 e_3 = g_3 + p_3 g_2 + p_3 p_2 g_1 + p_3 p_2 p_1 e_1; \tag{1.48}$$

$$\begin{aligned}
 e_5(E_4) &= g_4 + p_4 e_3 = \\
 &= g_4 + p_4 g_3 + p_4 p_3 g_2 + p_4 p_3 p_2 g_1 + p_4 p_3 p_2 p_1 e_1.
 \end{aligned}
 \tag{1.49}$$

Чотирирозрядний суматор, тракт переносу якого побудовано згідно з логічними співвідношеннями паралельного переносу (1.46) - (1.49), наведено на рис. 1.40. Час додавання в такому суматорі з паралельним переносом складається з однакової для всіх розрядів затримки в схемах формування підготовчих функцій (СФПФ)  $p_i$  і  $g_i$  ( $\tau_{\text{СФПФ}}$ ), в схемах паралельного переносу ( $\tau_{\text{спл}}$ ) і схемах формування розрядних функцій суми ( $\tau_C + \tau_S$ ) на основі суматорів за модулем два.

Таким чином, в суматорі з паралельним переносом як затримка отримання суми  $S$ , так і затримка отримання вихідного переносу  $e_5$  ( $e_{\text{вих}}$ ) не залежить від кількості розрядів суматора.

Для зменшення навантаження на джерело зовнішнього вхідного переносу суматора  $e_1$  ( $e_{\text{вх}}$ ) на вході тракту паралельного переносу, як правило, використовується буферний інвертор. Тоді в тракті паралельного переносу формули розрядних сигналів переносу в суматорі будуються на основі мінімальних рівнянь вхідного переносу.

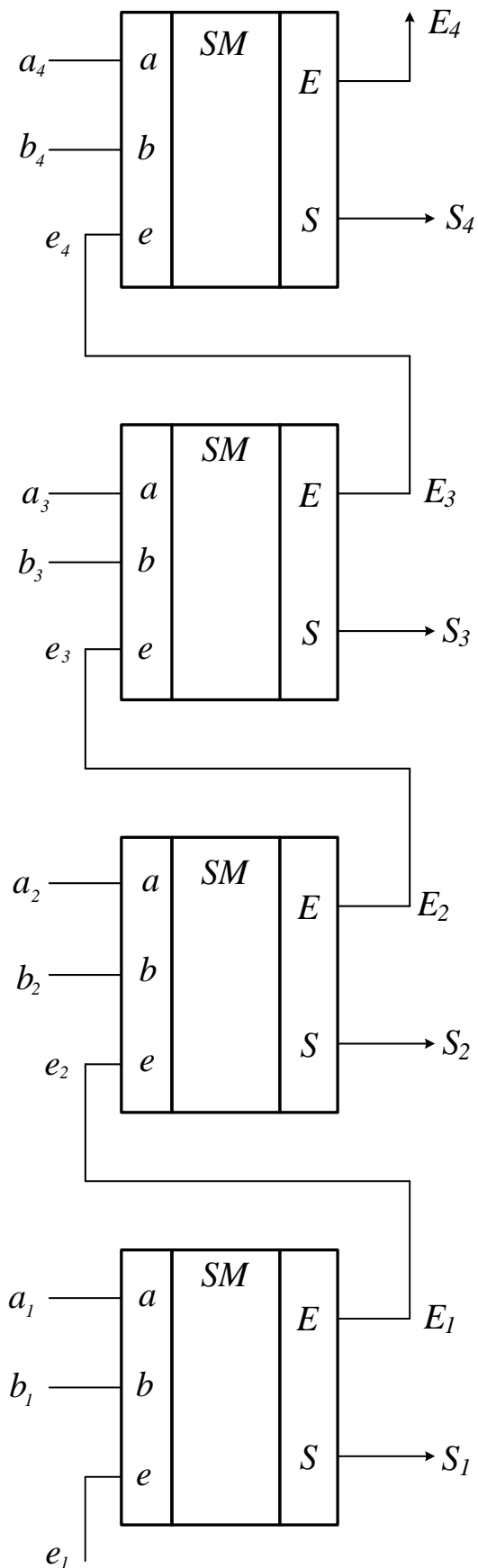


Рисунок 1.38 – Функціональна схема чотирирозрядного суматора з послідовним розповсюдженням переносу між розрядами

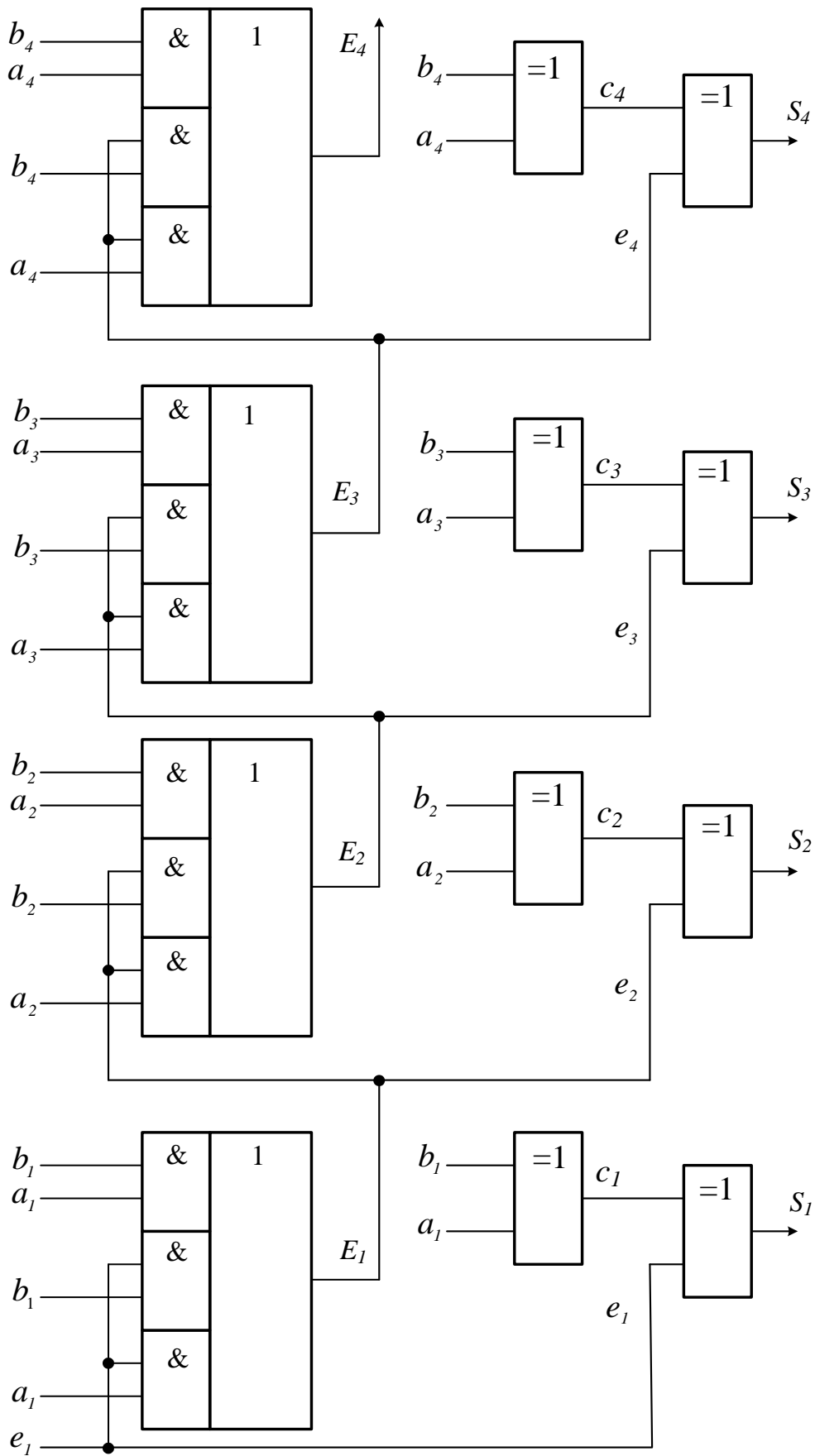


Рисунок 1.39 – Логічна схема чотирирозрядного суматора з послідовним розповсюдженням переносу між розрядами

Вхідним переносом в перший розряд суматора в цьому разі є зовнішній сигнал непереносу  $\bar{e}_1$ , тому сума  $S_1$  і вихідний перенос  $e_2$  в першому розряді формується за інверсними сигналами  $\bar{c}_1$  і  $\bar{e}_1$  мінімального суматора:

$$S_1 = \bar{e}_1 \oplus \bar{c}_1; \quad (1.50)$$

$$\bar{c}_1 = \overline{p_1 + g_1}; \quad (1.51)$$

$$\bar{e}_2 = \overline{p_1 + g_1 e_1} = \bar{g}_1 \bar{p}_1 + \bar{g}_1 \bar{e}_1. \quad (1.52)$$

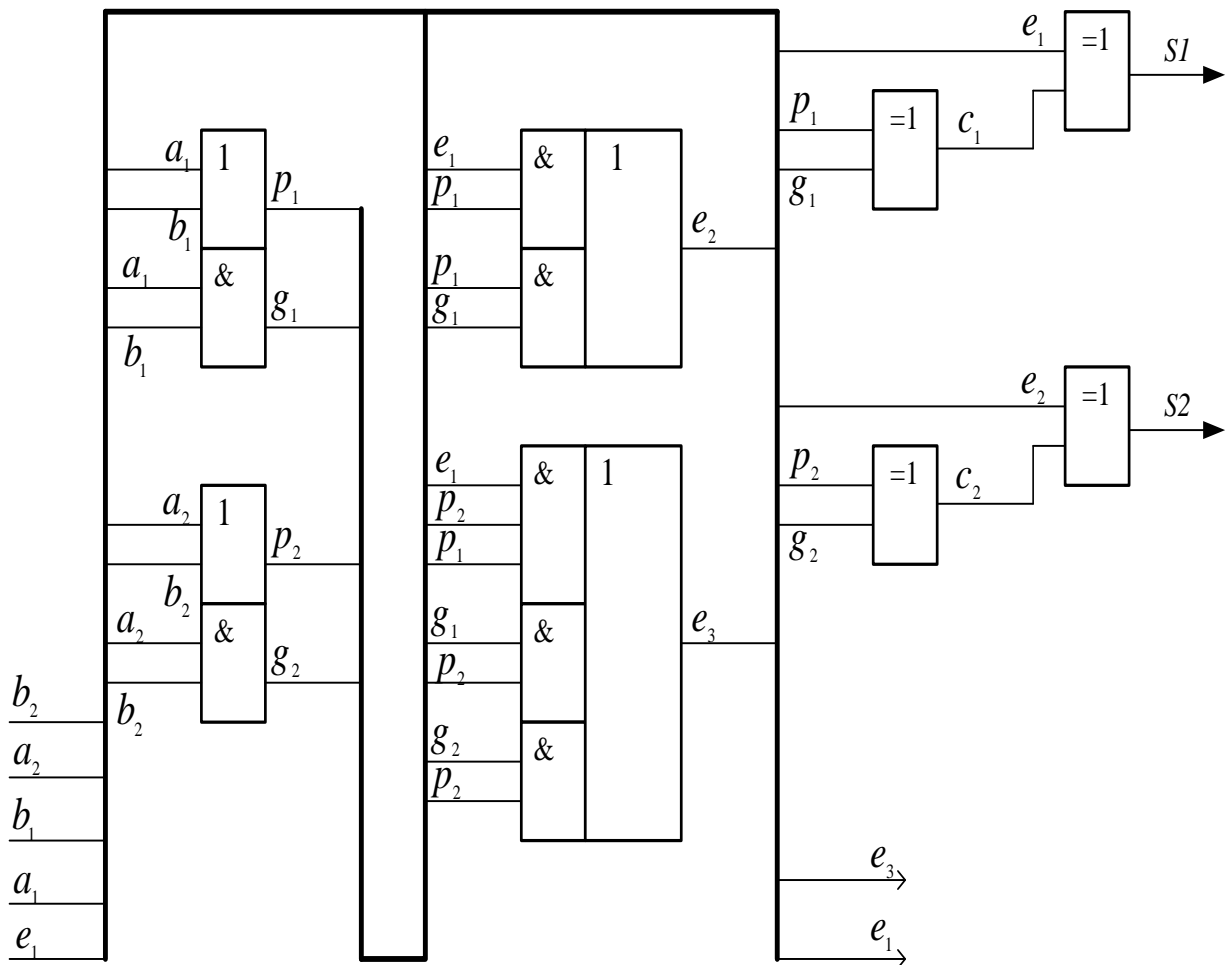


Рисунок 1.40,а – Схема формування функцій  $S_1, S_2, e_2, e_3$  в чотирирозрядному суматорі з паралельним переносом

Сигнали переносу в старших розрядах тракту паралельного переносу остаточно виробляються також з використанням тільки вхідного сигналу непереносу  $\bar{e}_1$ :

$$\bar{e}_3 = \bar{p}_2 + \bar{g}_2 \bar{e}_2 = \bar{g}_2 \bar{p}_2 + \bar{g}_2 \bar{p}_1 + \bar{g}_2 \bar{g}_1 \bar{e}_1; \quad (1.53)$$



$$\begin{aligned} \bar{e}_4 &= \bar{p}_3 + \bar{g}_3 \bar{e}_3 = \\ &= \bar{g}_3 \bar{p}_3 + \bar{g}_3 \bar{p}_2 + \bar{g}_3 \bar{g}_2 \bar{p}_1 + \bar{g}_3 \bar{g}_2 \bar{g}_1 \bar{e}_1; \end{aligned} \quad (1.54)$$

$$\begin{aligned} \bar{e}_5 &= \bar{p}_4 + \bar{g}_4 \bar{e}_4 = \\ &= \bar{g}_4 \bar{p}_4 + \bar{g}_4 \bar{p}_3 + \bar{g}_4 \bar{g}_3 \bar{p}_2 + \bar{g}_4 \bar{g}_3 \bar{g}_2 \bar{p}_1 + \bar{g}_4 \bar{g}_3 \bar{g}_2 \bar{g}_1 \bar{e}_1 \end{aligned} \quad (1.55)$$

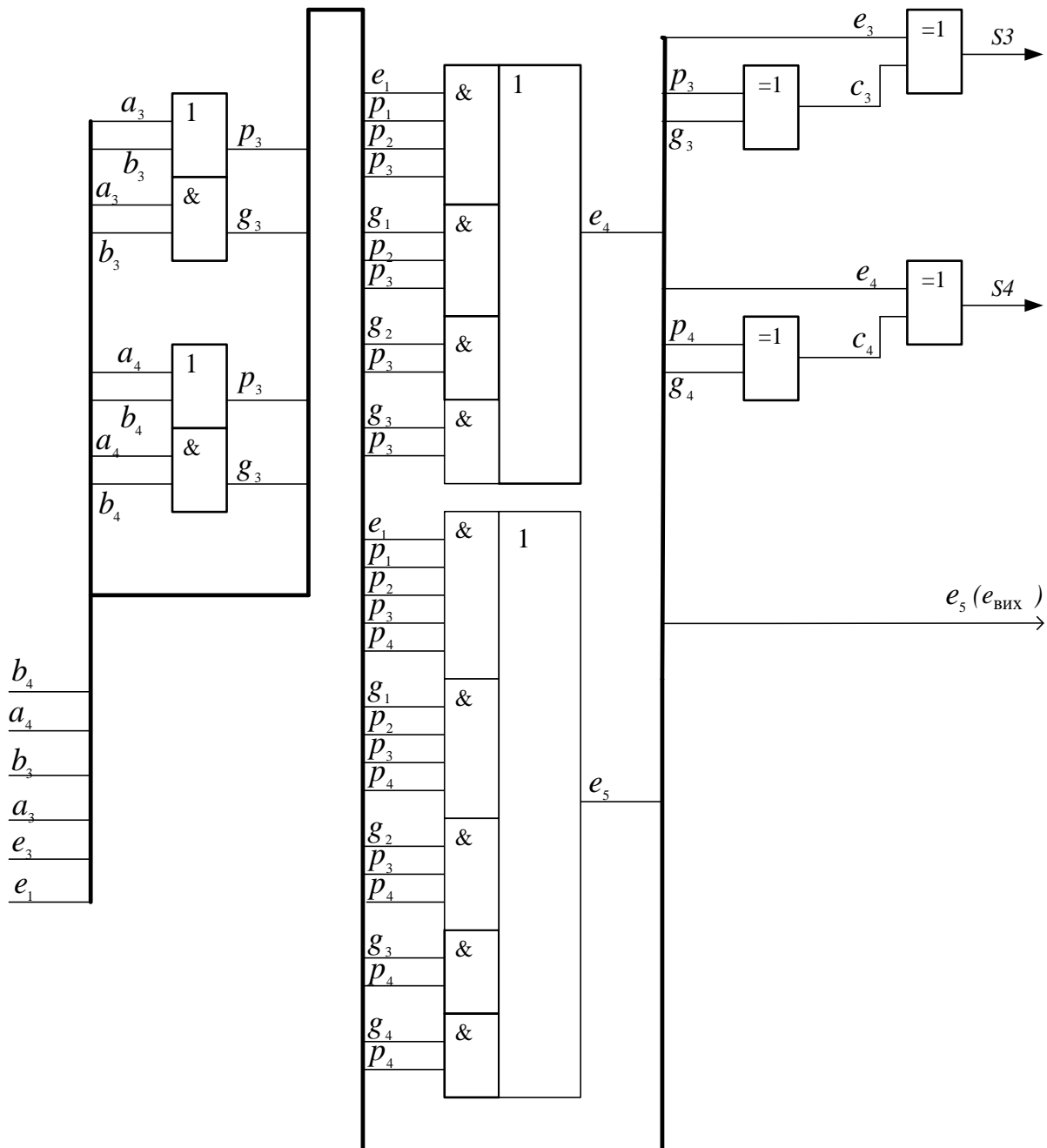


Рисунок 1.40,б – Схема формування функцій  $S_3, S_4, e_4, e_5(e_{\text{ВИХ}})$  чотирирозрядного суматора з паралельним переносом

Отримані вирази ( 1.52 ) - ( 1.55 ) для сигналів паралельного переносу можна реалізувати в будь-якому базисі: І-НІ, АБО-НІ, І-АБО-НІ. В базисі І-АБО-НІ, наприклад, вирази ( 1.52 ) - ( 1.55 ) мають вигляд:

$$\overline{e_2} = \overline{g_1 p_1 + g_1 e_1}; \quad (1.56)$$

$$\overline{e_3} = \overline{g_2 p_2 + g_2 p_1 + g_2 g_1 e_1}; \quad (1.57)$$

$$\overline{e_4} = \overline{g_3 p_3 + g_3 p_2 + g_3 g_2 p_1 + g_3 g_2 g_1 e_1}; \quad (1.58)$$

$$\overline{e_5} = \overline{g_4 p_4 + g_4 g_3 p_3 + g_4 g_3 g_2 p_2 + g_4 g_3 g_2 g_1 p_1 + g_4 g_3 g_2 g_1 e_1}. \quad (1.59)$$

Тоді відповідні вихідні функції суми  $S_2, S_3$  та  $S_4$  на основі суматорів за модулем два належить будувати за виразами:

$$S_2 = e_2 \oplus c_2; \quad (1.60)$$

$$c_2 = \overline{p_2} \oplus \overline{g_2}; \quad (1.61)$$

$$S_3 = e_3 \oplus c_3; \quad (1.62)$$

$$c_3 = \overline{p_3} \oplus \overline{g_3}; \quad (1.63)$$

$$S_4 = e_4 \oplus c_4; \quad (1.64)$$

$$c_4 = \overline{p_4} \oplus \overline{g_4}; \quad (1.65)$$

Можлива логічна схема паралельного чотирирозрядного суматора за виразами ( 1.50 ) - ( 1.65 ) наведена на рис. 1.41.

Апаратурні витрати в суматорі з паралельним переносом значно перевищують апаратурні витрати в аналогічному суматорі з послідовним переносом і швидко збільшуються зі зростанням розрядності суматора. Тому розрядність суматорів з паралельним переносом зазвичай не перевищує чотири розряди.

### Контрольні завдання та запитання

1. Обґрунтуйте співвідношення:

$$\begin{array}{ll} a \oplus b = \overline{\overline{a} \oplus \overline{b}}; & \overline{p} \oplus g = \overline{\overline{a} \oplus \overline{b}}; \\ p \oplus g = \overline{\overline{p} \oplus \overline{g}}; & p \oplus g = \overline{\overline{p} \oplus \overline{g}}; \\ \overline{\overline{p} \oplus \overline{g}} = \overline{\overline{p} \oplus \overline{g}}; & \overline{\overline{p} \oplus \overline{g}} = \overline{\overline{p} \oplus \overline{g}}; \\ e \oplus c = \overline{\overline{e} \oplus \overline{c}}; & pg + pe = g + pe. \end{array}$$

2. З якою метою використовуються суматори з паралельним переносом?

3. Поясніть принцип дії суматора з паралельним трактом розповсюдження переносу.
4. Які недоліки мають суматори з паралельним трактом розповсюдження переносу?
5. Як визначити швидкодію суматорів з паралельним переносом?
6. Як визначити швидкодію суматорів з послідовним трактом розповсюдження переносу?
7. Приведіть кілька прикладів двійкових значень двійкових кодів операндів  $A$  і  $B$ , при яких суматори з послідовним переносом мають найменшу швидкодію.
8. Побудуйте чотирирозрядний суматор з трактом паралельного переносу в базисі І-НІ.

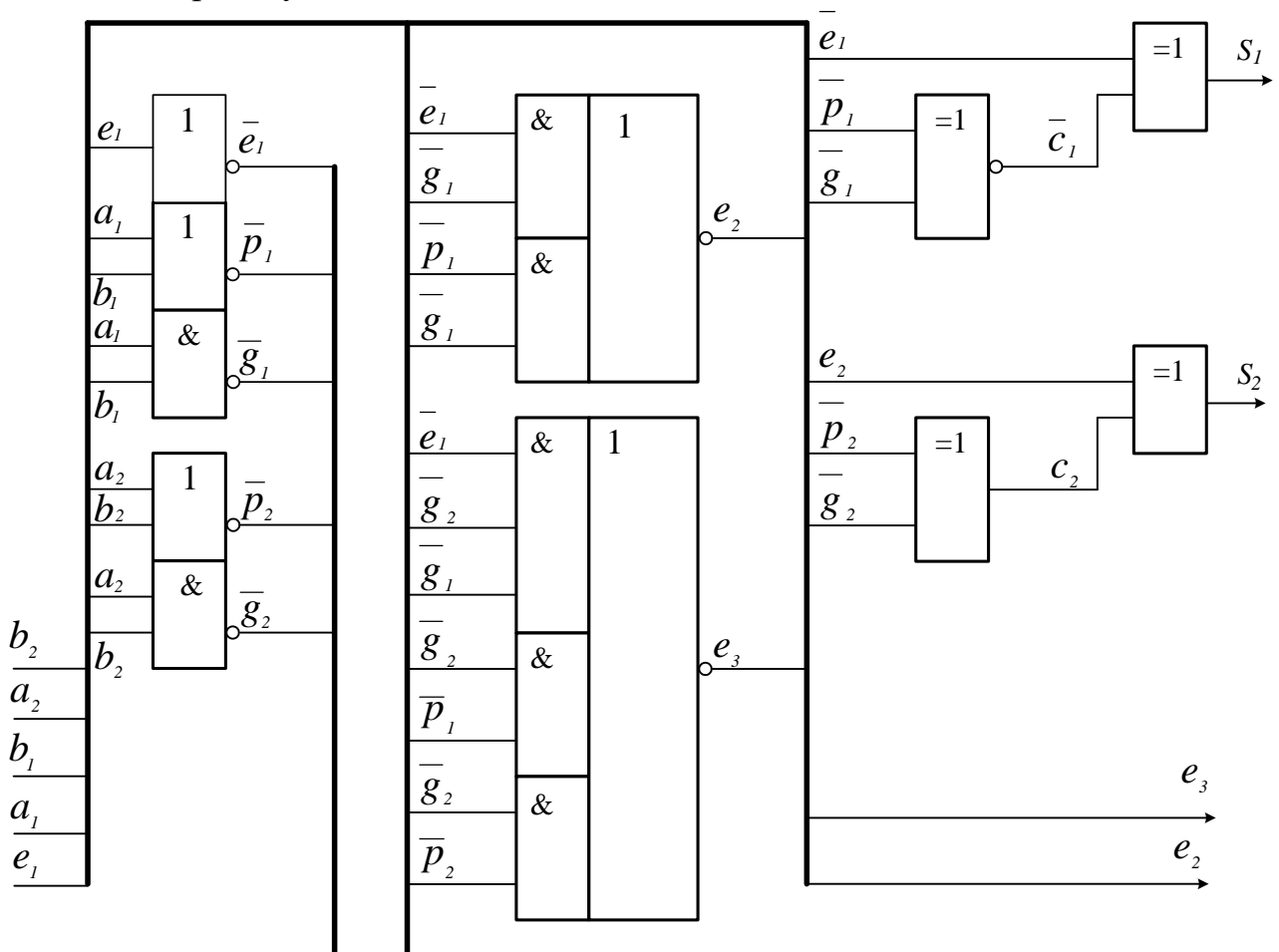


Рисунок 1.41,а – Схема формування функцій  $S_1, S_2, e_2, e_3$  в чотирирозрядному суматорі з використанням непереносу в тракті паралельного переносу

9. Побудуйте в базисі І-АБО-НІ чотирирозрядний суматор з трактом паралельного переносу ( $\bar{e}_1$ ) - ( $\bar{e}_5$ ).

10. Побудуйте чотирирозрядний віднімач з паралельним трактом сигналів позики.
11. Побудуйте чотирирозрядний суматор з паралельним переносом на основі мікросхем ИМ2.
12. Побудуйте 16-розрядний суматор з трактом паралельного переносу на основі мікросхем ЛА3 і ЛР3.
13. Побудуйте схему запису функції суми  $S(4-1)$  в регістр  $PS(4-1)$  на основі мікросхем ТМ2, ТВ1, ИР1 та ИР13.
14. Яка залежність часу спрацьовування суматора з послідовним переносом від розрядності суматора?
15. Яка залежність часу спрацьовування суматора з паралельним переносом від розрядності суматора?
16. Поясніть правила формування паралельного переносу в будь-який розряд суматора.
17. Приведіть формулу для реалізації паралельного переносу  $e_6$ .
18. Визначити значення функцій  $e_i$ ,  $p_i$  і  $g_i$  при додаванні операндів  $A = 1001$  і  $B = 0111$ .

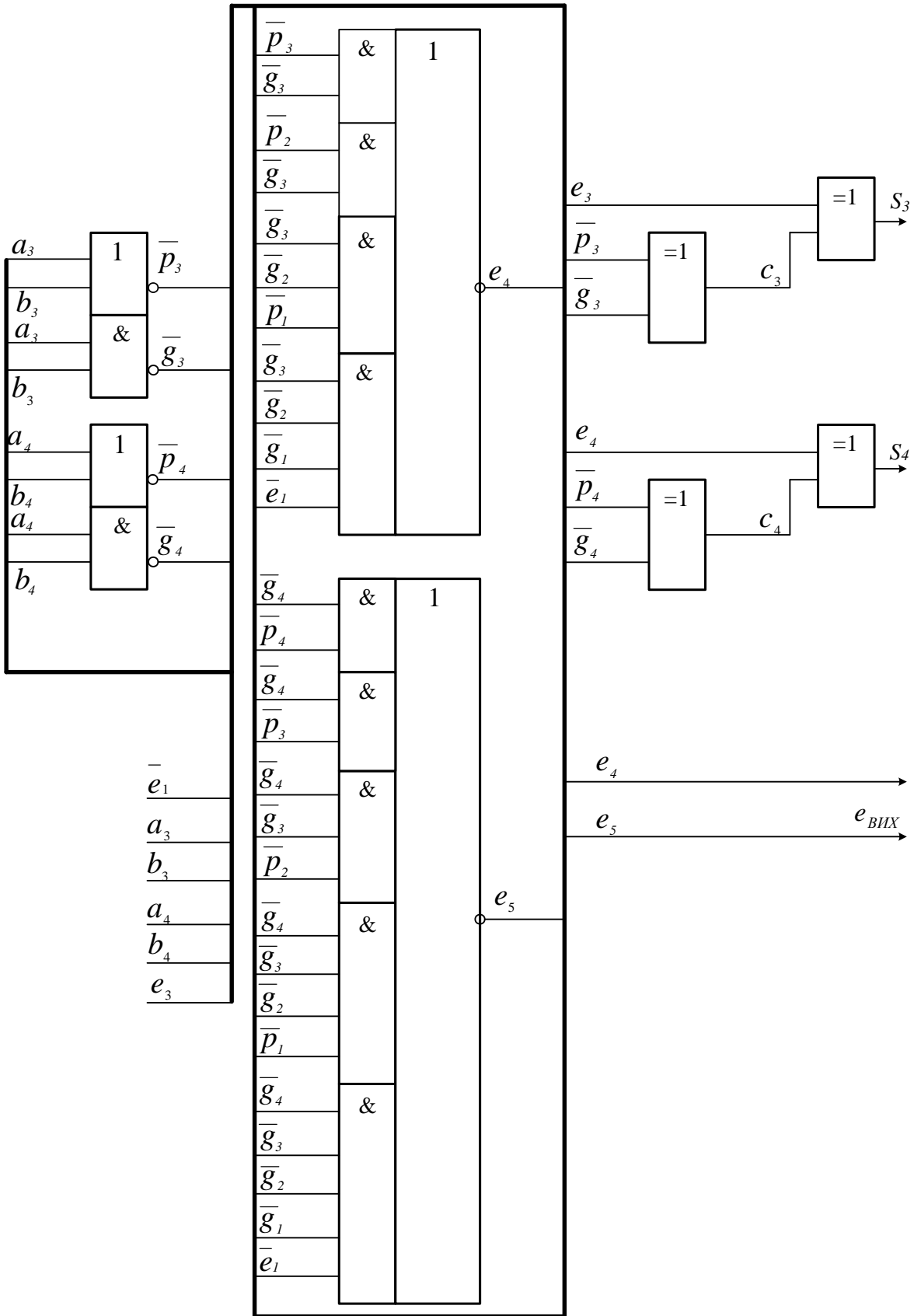


Рисунок 141,б – Схема формування функцій  $S_3$ ,  $S_4$ ,  $e_4$ ,  $e_5$  ( $e_{\text{вих}}$ ) в чотирирозрядному суматорі з використанням непереносу в тракці паралельного переносу

### 1.7. Математичні засади і функціональні схеми групових суматорів з послідовним поширенням міжгрупового (обхідного) і міжрозрядного переносу

Для зменшення апаратних витрат при збереженні високої швидкодії в багаторозрядних суматорах замість реалізації паралельного переносу застосовують принцип групового переносу [ 1 ], коли суматор поділяється на відокремлені функціональні групи, кількість розрядів яких значно менше кількості розрядів суматора та складає зазвичай три-чотири розряди (рис. 1.42).

Вхідним переносом молодшої групи такого суматора (розряди 1 - 4) виступає вхідний зовнішній перенос суматора  $e_{вх}(e_1)$ . Для прискорення формування переносу в наступну групу (розряди 5 - 8) додатково тракту внутрішнього групового переносу  $e_5$  в суматорі формується сигнал обхідного групового переносу (СОП)  $e_5^r$ , який замість переносу  $e_5$  використовується як вхідний перенос в наймолодший п'ятий розряд другої групи (розряди 5 - 8) суматора.

Коли затримка обхідного сигналу переносу  $e_5^r$  в тракці групового переносу СОП (розряди 1 - 4) буде меншою порівняно з затримкою внутрішнього групового послідовного переносу  $e_5$ , в груповому суматорі з обхідним груповим переносом буде відбуватися прискорення операції підсумовування операндів.

Для побудови логічних рівнянь тракту СОП необхідно використовувати логічні вирази відповідних сигналів переносу послідовного суматора.

Очевидно, що в сталому режимі за одних і тих же доданків обхідні сигнали переносу  $e_5^r$ ,  $e_9^r$  і  $e_{13}^r$  завжди мусять бути тотожні відповідним вихідним розрядним переносам  $e_5$ ,  $e_9$  і  $e_{13}$  (рис. 1.42). Виходячи з цього, наприклад, для молодшої групи суматора можна отримати таке логічне співвідношення:

$$e_5^r = e_5, \quad (1.66)$$

де

$$\begin{aligned} e_5 &= g_4 + p_4 e_4; & e_4 &= g_3 + p_3 e_3 \\ e_3 &= g_2 + p_2 e_2; & e_2 &= g_1 + p_1 e_1. \end{aligned}$$

Для зменшення витрат часу на формування обхідного переносу між групами логічну схему (1.66) тракту групового переносу (СОП) необхідно

будувати як одноступеневу схему відносно вхідного переносу в групу за формулою:

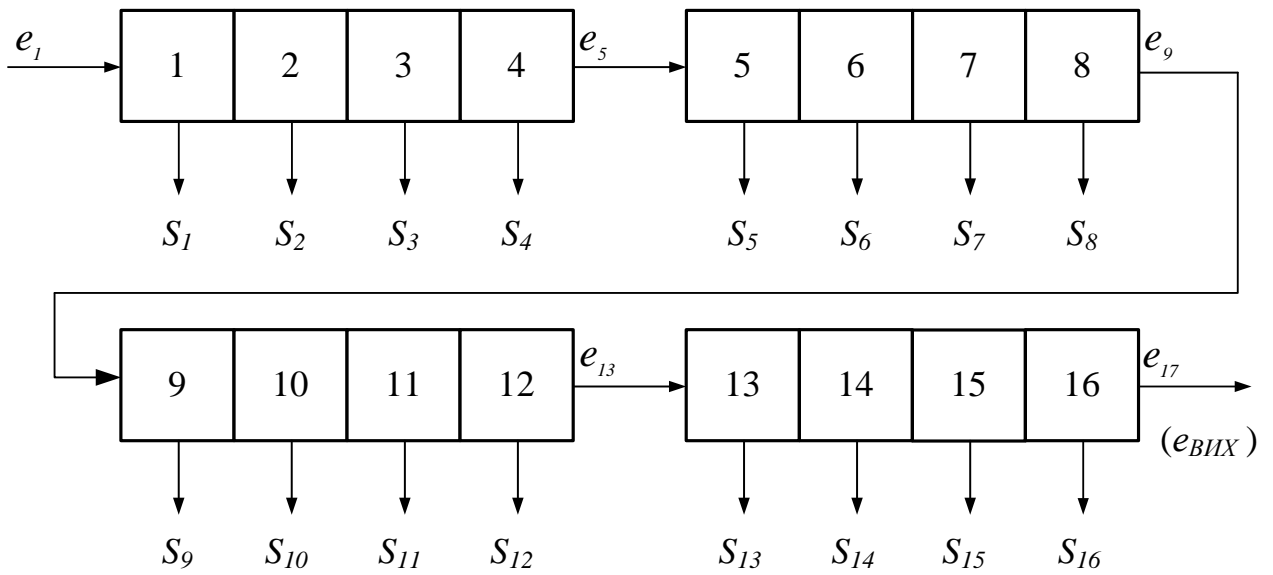
$$\begin{aligned}
 e_5^r &= e_5 = g_4 + p_4 e_4 = g_4 + p_4 g_3 + p_4 p_3 e_3 = \\
 &= g_4 + p_4 g_3 + p_4 p_3 g_2 + p_4 p_3 p_2 e_2 = \\
 &= g_4 + p_4 g_3 + p_4 p_3 g_2 + p_4 p_3 p_2 g_1 + p_4 p_3 p_2 p_1 e_1
 \end{aligned}
 \tag{1.67}$$

Для оцінки швидкодії такого групового суматора з обхідним груповим переносом припустимо, що всі СОП і схеми внутрішнього групового переносу реалізовані за одноступеневим принципом.

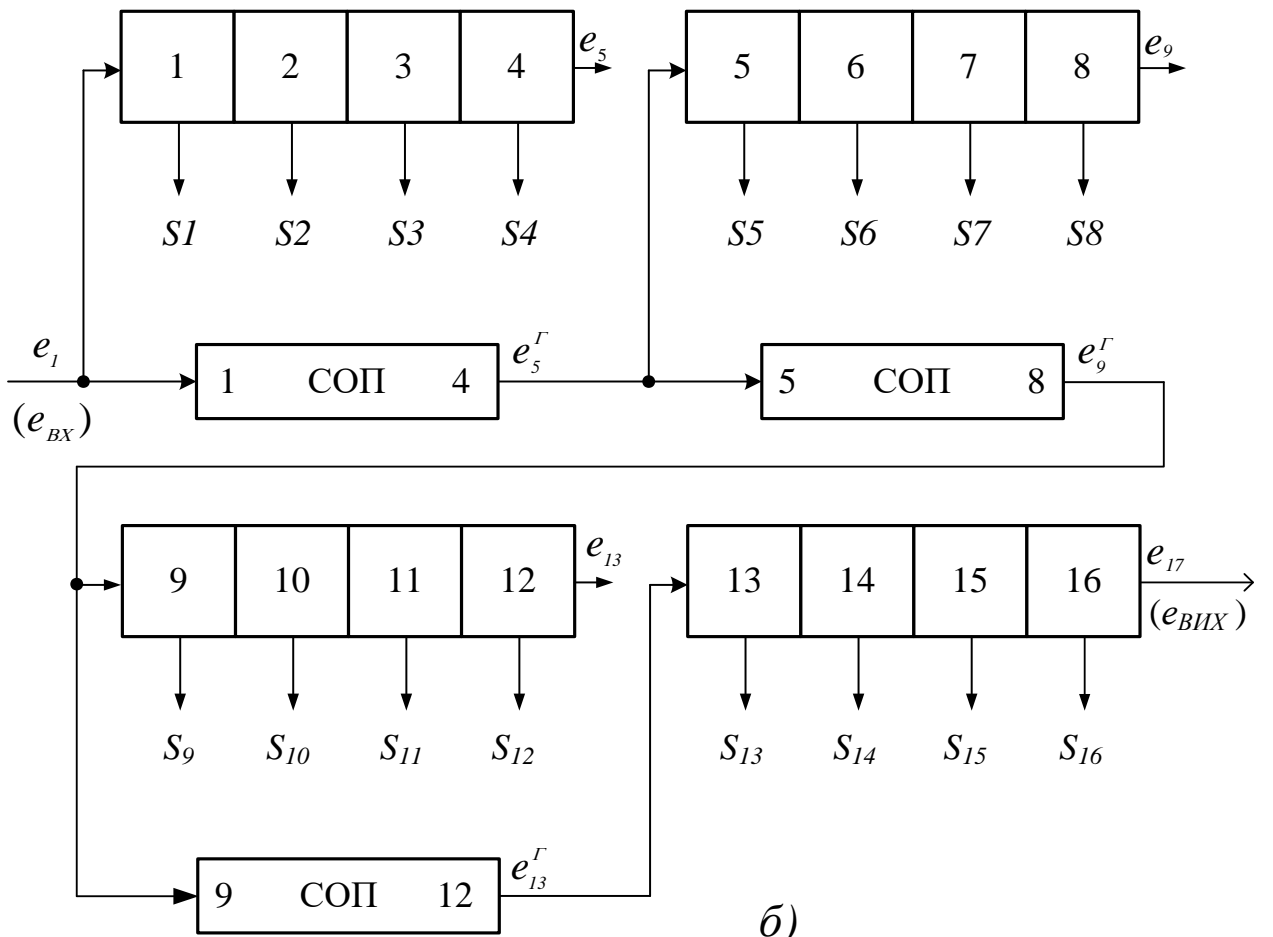
Тоді в найгіршому випадку з точки зору швидкодії при підсумовуванні найбільш «важких» чисел, наприклад,  $A = (1111\ 1111\ 1111\ 1111)$  і  $B = (0000\ 0000\ 0000\ 0001)$ , при яких поширення переносу починається з наймолодшого розряду і закінчується в найстаршому розряді суматора, після формування підготовчих функцій час підсумовування в суматорі  $t_{SM}$  буде складатися з затримки переносу в трьох схемах обхідного міжгрупового переносу (СОП(1-4), СОП(5-8), СОП(9-12)), часових витрат на поширення переносу між розрядами 13-16 в групі (13-16) та витрат часу на формування найстаршого розряду суми  $S_{16}$ . Отже, час затримки підсумовування операндів в суматорі складає

$$t_{SM}^{16} = 3t_{СОП} + 3t_e + t_s,
 \tag{1.68}$$

де  $t_{СОП}$ ,  $t_e$ ,  $t_s$  – відповідно час затримки поширення переносу в СОП, формування переносу і суми в схемі однорозрядних суматорів старшої групи.



a)



б)

Рисунок 1.42 – Схема суматора з послідовним поширенням переносу (а) і суматора з обхідним міжрозрядним переносом (б).



Якщо перелічені функціональні елементи суматора побудовані на базі одноступеневих логічних елементів і час розповсюдження вхідних сигналів в кожному з цих логічних елементів дорівнює  $\tau$ , то остаточно, згідно з (1.68), для групового суматора з обхідним переносом, приведену на рис. 1.42,б, маємо  $t_{SM} = 7\tau$ .

В загальному випадку в такому груповому  $n$ -розрядному суматорі з обхідним переносом витрати часу (час спрацьовування) на підсумовування найбільш «важких» операндів без врахування паралельного спрацьовування підготовчих функцій, тобто після формування сигналів цих функцій, складають

$$t_{SM}^n = L\tau, \quad (1.68)$$

$$L = \left[ \left( \frac{n}{k} - 1 \right) + (k - 1) + 1 \right], \quad (1.69)$$

де  $L$  – кількість одноступеневих схем, які пробігає перенос за умови підсумовування найбільш «важких» операндів;

$k$  – кількість розрядів однієї групи суматора;

$n/k$  – кількість груп в суматорі (як правило,  $k$  кратне  $n$ ).

Очевидно, що мінімальні витрати часу на підсумовування операндів  $t_{SM}^n$  мають місце в тому випадку, коли довжина пробігу переносу  $L(k)$  приймає мінімальне значення, тобто за таких  $k$ , при яких  $\partial L / \partial k = 0$  і  $\partial^2 L / \partial k^2 > 0$ .

Виходячи з цього, згідно з (1.69), для побудованого групового суматора маємо наступну формулу для розрахунку оптимальної довжини групи

$$k = ]\sqrt{n}[, \quad (1.70)$$

де  $] \sqrt{n} [$  – найменше ціле число, яке не менше  $\sqrt{n}$ .

### Контрольні завдання та запитання

1. Поясніть принцип побудови і функціонування суматорів з груповим переносом.
2. Навіщо суматор розподіляється на групи розрядів?
3. Зі скількох розрядів, як правило, складається група в суматорах з груповим переносом?

4. Поясніть принцип функціонування схеми обхідного групового переносу.
5. Визначити час затримки появи сигналу внутрішнього групового переносу зі старшого розряду групи суматора відносно моменту надходження операндів.
6. Визначити час затримки появи сигналу обхідного переносу  $e_i^r$  суматора відносно моменту надходження операндів.
7. За якої умови схема формування обхідного групового переносу забезпечує прискорення функціонування суматора порівняно з суматором, в якому реалізовано внутрішній послідовний перенос в складі групи?
8. Як визначити кількість одноступеневих логічних схем, через які пробігає перенос за умови підсумовування найбільш «важких» операндів?
9. Побудуйте схему обхідного групового переносу з використанням логічних елементів І-АБО-НІ та І-НІ.
10. Побудуйте схему обхідного переносу з черезрозрядною інверсією обхідного переносу.
11. Обґрунтуйте співвідношення:
 
$$\begin{aligned}
 &g_3 + p_3 g_2 + p_3 p_2 g_1 + p_3 p_2 p_1 e_1 = \\
 &= \overline{\overline{p_3 + p_2 g_3 + g_3 g_2 p_1 + g_3 g_2 g_1 e_1}}; \\
 &\overline{g_5 + p_5 e_4} = \overline{p_5 + g_5 e_4}; \\
 &p_5 g_5 + p_5 e_4 = g_5 + p_5 e_4.
 \end{aligned}$$
12. Побудуйте груповий віднімач з обхідним груповим сигналом позики з використанням логічних елементів І-АБО-НІ та І-НІ.
13. Побудуйте 16-розрядний груповий суматор ( $k = 4$ ) з послідовним трактом поширення обхідного і міжрозрядного переносів в групах на основі мікросхем ИМ2.
14. Побудуйте тракт обхідного переносу в 12-розрядному груповому суматорі на основі мікросхем ЛР3 і ЛН1.
15. При яких значеннях  $k$  довжина пробігу переносу  $L(k)$  приймає мінімальне значення? Обґрунтуйте відповідь за допомогою обчислень.
16. Доведіть формулу ( 1.70 ).
17. Поясніть принцип функціонування суматора на рис. 1.42,б.

## 1.8. Математичні засади і функціональні схеми групових суматорів з обхідним переносом між групами і паралельним розрядним переносом в групах

Принцип побудови групового суматора з паралельним переносом в групах і обхідним послідовним поширенням переносу між групами наведено на рис. 1.43 [ 1 ].

В цьому суматорі за допомогою схем паралельного переносу ( СПП ) виконана реалізація паралельного переносу в кожний розряд суматора в межах групи, а схеми обхідного переносу забезпечують формування обхідного переносу в кожну групу. З рис. 1.43 витікає, що значення групового переносу  $e_5^r$  залежить від  $e_1$ ,  $e_9^r$  – від  $e_5^r$  і т.д. Таким чином, в суматорі реалізовано послідовне розповсюдження групового переносу між групами.

В такому груповому суматорі для забезпечення найбільшої швидкодії генерація розрядних переносів в групах і групового обхідного переносу ( наприклад –  $e_2$ ,  $e_3$ ,  $e_4$  і  $e_5^r$  ) мусить відбуватися одночасно, тобто паралельно. Очевидно, що для цього всі розрядні сигнали переносу в групі слід формувати за одноступеневим принципом відносно вхідного переносу в групу. Наприклад, в наймолодшій групі формування сигналів переносу для цього необхідно виконувати за формулами:

$$e_2 = g_1 + p_1 e_1 ; \quad (1.71)$$

$$e_3 = g_2 + p_2 e_2 = g_2 + p_2 g_1 + p_2 p_1 e_1 ; \quad (1.72)$$

$$e_4 = g_3 + p_3 e_3 = g_3 + p_3 g_2 + p_3 p_2 g_1 + p_3 p_2 p_1 e_1 ; \quad (1.73)$$

$$\begin{aligned} e_5 = e_5^r &= g_4 + p_4 e_4 = \\ &= g_4 + p_4 g_3 + p_4 p_3 g_2 + p_4 p_3 p_2 g_1 + p_4 p_3 p_2 p_1 e_1 \end{aligned} \quad (1.74)$$

Для оцінки швидкодії такого 16-розрядного суматора, що складається з чотирьох груп (рис.1.43), припустимо, що затримка поширення вхідного сигналу в кожній одноступеневій схемі дорівнює  $\tau$ . Тоді в найгіршому випадку, коли перенос в суматорі пробігає всі розряди від наймолодшого до найстаршого, витрати часу в 16-розрядному суматорі на підсумовування найбільш «важких» операндів після одночасного формування підготовчих функцій складають

$$t_{SM}^{16} = 3t_{\text{сop}} + t_e + t_s = 3\tau + \tau + \tau = 5\tau,$$

де  $t_{\text{cop}}$ ,  $t_e$ ,  $t_s$  – відповідно затримка поширення вхідного сигналу в одноступеневих схемах формування міжгрупового обхідного переносу, розрядного переносу в групі та тракту формування розрядної суми в найстаршому розряді суматора ( $S_{16}$ ).

Очевидно, що в  $n$ -розрядному суматорі часові витрати після формування підготовчих функцій на додавання найбільш «важких» операндів будуть визначатися формулою:

$$t_{SM}^n = \left(\frac{n}{k} - 1\right)t_{\text{cop}} + t_e + t_s \quad (1.75)$$

де  $k$  – кількість розрядів в групі суматора.



## Контрольні завдання та запитання

1. Поясніть принцип побудови групового суматора з паралельним переносом в групах і обхідним послідовним поширенням переносу між групами.
2. Обґрунтуйте логічні співвідношення:
$$\overline{g_1 + p_1 e_1} = \overline{p_1} + \overline{g_1} \overline{e_1};$$
$$p_1 g_1 + p_1 e_1 = g_1 + p_1 e_1;$$
$$\overline{p_1} \overline{g_1} + \overline{g_1} \overline{e_1} = \overline{p_1} + \overline{g_1} \overline{e_1}.$$
3. Побудуйте логічну схему чотирирозрядної групи групового суматора з обхідним міжгруповим переносом і паралельним переносом в межах групи.
4. Побудуйте 9-розрядний груповий віднімач з обхідним сигналом позики і паралельним сигналом позики в 3-розрядній групі.
5. Як визначити швидкодію суматора з паралельними міжрозрядними переносами в групі і послідовним поширенням обхідного переносу між групами?
6. Які проблеми виникають в груповому суматорі при збільшенні кількості розрядів в групі?
7. Побудуйте схему обхідного переносу в базисі логічних елементів І – АБО - НІ.
8. Приведіть структурну схему 12-розрядного суматора з паралельним міжрозрядним переносом в межах групи і послідовним міжгруповим обхідним переносом.
9. Як визначити швидкодію суматора з паралельним міжрозрядним переносом і послідовним міжгруповим обхідним переносом?

### 1.9. Математичні засади і функціональні схеми групових суматорів з прискоренням міжгрупового переносу

Принцип побудови групового 16-розрядного суматора з прискоренням переносу між чотирирозрядними групами і паралельним формуванням внутрішнього групового переносу наведено на рис. 1.44 [ 1 ]. Особливістю логічної структури суматора є наявність схеми прискорення ( СПР ) наскрізного переносу між окремими чотирирозрядними групами 16-розрядного суматора.

На рис. 1.44 використовуються такі скорочення:

СПП – схема паралельного переносу в групі;

СПР – схема прискорення переносу між групами;

$P_{ij}$ ,  $G_{ij}$  - групові підготовчі функції в групі  $ij$ .

В кожній чотирирозрядній групі такого суматора внутрішні групові розрядні переноси формуються за одноступеневими відносно вхідного переносу в групу  $e_1$  логічними виразами ( 1.71 ) - ( 1.73 ), а вихідні переноси з кожної окремої групи – за логічними співвідношеннями, які функціонально еквівалентні формулі ( 1.74 ):

$$e_5 = G_{1/4} + P_{1/4}e_1 ; \quad (1.76)$$

$$e_9 = G_{5/8} + P_{5/8}e_5 ; \quad (1.77)$$

$$e_{13} = G_{9/13} + P_{9/13}e_9 , \quad (1.78)$$

$$G_{1/4} = g_4 + p_4g_3 + p_4p_3g_2 + p_4p_3p_2g_1 , \quad (1.79)$$

$$G_{5/8} = g_8 + p_8g_7 + p_8p_7g_6 + p_8p_7p_6g_5 , \quad (1.80)$$

$$G_{9/12} = g_{12} + p_{12}g_{11} + p_{12}p_{11}g_{10} + p_{12}p_{11}p_{10}g_9 \quad (1.81)$$

$$P_{1/4} = p_4p_3p_2p_1 , \quad (1.82)$$

$$P_{5/8} = p_8p_7p_6p_5 , \quad (1.83)$$

$$P_{9/12} = p_{12}p_{11}p_{10}p_9 \quad (1.84)$$

де  $P_{1/4}$ ,  $P_{5/8}$ ,  $P_{9/12}$  – відповідно умови розповсюдження (транзиту) вхідного переносу через групи 1/4, 5/8 і 9/12;

$G_{1/4}$ ,  $G_{5/8}$ ,  $G_{9/12}$  – відповідно сигнали генерації внутрішнього групового переносу з груп 1/4, 5/8 і 9/12.

Відповідно до рис. 1.44 кожна група розрядів суматора разом зі схемою паралельного переносу СПП групи складає структуру, яка далі буде називатися секцією суматора.

Групові підготовчі функції  $G_{ij}$  і  $P_{ij}$ , кожної секції суматора використовуються в схемі наскрізного прискореного переносу СПР(1/16) для формування змінних  $e_x$ ,  $e_y$  і  $e_z$  – вхідних переносів внутрішніх чотирирозрядних секцій суматора. При цьому для підвищення швидкодії суматора ( рис.1.44 ) сигнали переносу в СПР (1/16) формуються за одноступеневими ( відносно зовнішнього вхідного переносу суматора ) логічними виразами:

$$e_x = e_5^x = G_1 + P_1e_1 ; \quad (1.85)$$

$$e_y = e_9^y = G_2 + P_2e_5^x = G_2 + P_2G_1 + P_2P_1e_1 ; \quad (1.86)$$

$$e_z = e_{13}^z = G_3 + P_3 e_9^y = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 e_1, \quad (1.87)$$

де  $G_1 = G_{1/4}; G_2 = G_{5/8}; G_3 = G_{9/12}; P_1 = P_{1/4}; P_2 = P_{5/8}, P_3 = P_{9/12};$   
 $G_1, G_2, G_3, P_1, P_2, P_3$  – групові підготовчі функції окремих чотирирозрядних секцій суматора.

Очевидно, що при реалізації формул ( 1.85 ) - ( 1.87 ) в СПР(1/16) одноступеневими логічними схемами, вихідні переноси СПР(1/16)  $e_x, e_y$  і  $e_z$  після формування підготовчих функцій  $G1 - G3, P1 - P3$  на входах секцій будуть формуватися одночасно ( паралельно ).





Отже, застосування СПР(1/16) в груповому суматорі забезпечує певне зменшення часових витрат на підсумовування 16-розрядних чисел порівняно з послідовним розповсюдженням переносу між чотирирозрядними секціями (рис. 1.43).

Для підвищення швидкодії 64-розрядного суматора розглянуті 16-розрядні секції (рис. 1.44) за аналогічним принципом об'єднуються в суматорі чотиригруповою схемою прискорення переносу більш вищого рівня СПР(1/64) (рис. 1.45).

На рис. 1.45 використовуються такі позначення:

$P_{i/j}G_{i/j}$  – підготовчі функції 16-розрядних груп суматора;

$e_x, e_y, e_z$  – вхідні переноси у відповідну 16-розрядну групу суматора;

$e_{65}$  – вихідний перенос з найстаршого розряду суматора.

Для коректного функціонування СПР(1/64) вихідні переноси СПР(1/64)  $e_{17}^x(e_x)$ ,  $e_{33}^y(e_y)$  і  $e_{49}^z(e_z)$  мусять відповідати функціональним властивостям формувачів сигналів  $e_{17}$ ,  $e_{33}$  і  $e_{49}$  окремих 16-розрядних груп суматора (рис. 1.45). Тому, наприклад, перенос  $e_{17}^x$  (рис. 1.45), очевидно, необхідно будувати за логічним співвідношенням  $e_{17}$  (рис. 1.44):

$$e_{17}^x = e_{17} = G_{13/16} + P_{13/16}e_{13}^z,$$

де згідно з (1.87)

$$e_{13}^z = G_{9/12} + P_{9/12}G_{5/9} + P_{9/12}P_{5/8}G_{1/4} + P_{9/12}P_{5/8}P_{1/4}e_1.$$

Вхідним переносом в СПР(1/64) виступає зовнішній вхідний перенос  $e_1$  (рис. 1.45), тому фактично перенос  $e_{17}^x$  в СПР(1/64) мусить бути реалізовано без використання проміжного сигналу  $e_{13}^z$  за одноступеневою формулою відносно сигналу  $e_1$ :

$$e_{17}^x = G_{1/16} + P_{1/16}e_1; \quad (1.88)$$

$$G_{1/16} = G_{13/16} + P_{13/16}G_{9/12} + P_{13/16}P_{9/12}G_{5/8} + P_{13/16}P_{9/12}P_{5/8}G_{1/4}; \quad (1.89)$$

$$P_{1/16} = P_{13/16}P_{9/12}P_{5/8}P_{1/4}, \quad (1.90)$$

де  $G_{1/16}$  – сигнал генерації групового переносу з секції (1/16) 64-розрядного суматора;

$P_{1/16}$  – умова розповсюдження зовнішнього вхідного переносу  $e_1$  суматора (1/64) через секцію (1/16) суматора (рис. 1.45).

Отже, для забезпечення логічного об'єднання 16-розрядних секцій суматора з формуванням сигналу паралельного переносу між

чотирирозрядними секціями (рис. 1.44) в СПР(1/16) згідно з (1.88) - (1.90) необхідно формувати групові підготовчі функції  $G_{1/16}$  і  $P_{1/16}$ , які позначені як  $P_1$  і  $G_1$  (рис. 1.45).

За аналогічним принципом в СПР(1/64) виробляються групові переноси  $e_{33}^Y$  та  $e_{49}^Z$ .

В найгіршому випадку при підсумовуванні найбільш «важких» операндів формування суми в побудованому 64-розрядному суматорі відбувається наступним чином.

На першому етапі в схемах паралельного переносу СПП(1/4), СПП(5/8), СПП(9/12) і СПП(13/16) одночасно формуються підготовчі вхідні функції СПР(1/16), за якими в наступний момент формуються переноси  $e_5^X$ ,  $e_9^Y$ ,  $e_{13}^Z$ , а також паралельно вхідні підготовчі функції СПР(1/64):  $P_2, G_2, P_3, G_3, P_4, G_4$ .

Далі за цими сигналами в СПП(1/64) одночасно виробляються підготовчі функції  $P_{1/64}, G_{1/64}$  і вхідні переноси в секціях (17/32), (33/48) і (49/64), за якими в СПП чотирирозрядних секцій цих груп ((17/32), (33/48) і (49/64)) одночасно виробляються розрядні переноси в кожному розряді суматора.

Для підвищення швидкодії 256-розрядного суматора 64-розрядні секції з наскрізним переносом (рис.1.45) об'єднуються в суматорі як окремі 64-розрядні групи чотиригруповою схемою прискореного наскрізного переносу вищого рівня СПР(1/256).

Вихідні переноси СПР(1/256)  $e_{65}^X$ ,  $e_{129}^Y$ ,  $e_{193}^Z$  мусять відповідати функціональним властивостям формувачів сигналів  $e_{65}$ ,  $e_{129}$ ,  $e_{193}$  окремих 64-розрядних секцій суматора (рис. 1.45). Тому, наприклад, перенос  $e_{65}^X$  в СПР(1/256) необхідно будувати за логічним рівнянням переносу  $e_{65}$  64-розрядної секції СПР(1/64) (рис. 1.45):

$$e_{65}^X = e_{65} = G_{49/64} + P_{49/64} e_{49}^Z,$$

$$\text{де } e_{49}^Z = G_{33/48} + P_{33/48} G_{17/32} + P_{33/48} P_{17/32} G_{1/16} + P_{33/48} P_{17/32} P_{1/16} e_1.$$

Відносно вхідного переносу  $e_1$  (рис.1.45) остаточно можна отримати:

$$e_{65}^X = G_{1/64} + P_{1/64} e_1, \quad (1.91)$$

$$G_{1/64} = G_{49/64} + P_{49/64} G_{33/48} + P_{49/64} P_{33/48} G_{17/32} + P_{49/64} P_{33/48} P_{17/32} G_{1/16} \quad (1.92)$$

$$P_{1/64} = P_{49/64} P_{33/48} P_{17/32} P_{1/16} \quad (1.93)$$

де  $G_{1/64}$  – груповий перенос секції 1/64 (рис.1.45);

$P_{1/64}$  – умова розповсюдження (транзиту) вхідного переносу  $e_1$  через секцію 1/64 (рис. 1.45).

Таким чином, для об'єднання 64-розрядних секцій в 256-розрядний суматор чотиригруповою схемою СПР(1/256) в 64-розрядних суматорах (рис. 1.45) СПР(1/64) необхідно формувати підготовчі групові функції  $G_{1/64}$  і  $P_{1/64}$ , які позначені в схемі СПР(1/256) як  $P_1, G_1, P_2, G_2, P_3, G_3, P_4, G_4$  (рис. 1.46).

В свою чергу, в схемах прискорення переносу СПР(1/256) належить також формувати аналогічні групові підготовчі функції  $G_{1/256}$  і  $P_{1/256}$  для забезпечення побудови більш багаторозрядних суматорів з наскрізним груповим переносом.

Логічні вирази  $e_{129}^Y$  і  $e_{193}^Z$  в схемі прискорення переносу СПР(1/256) функціонально тотожні побудованим співвідношенням ( 1.91 ) - ( 1.93 ) для СПР(1/64).

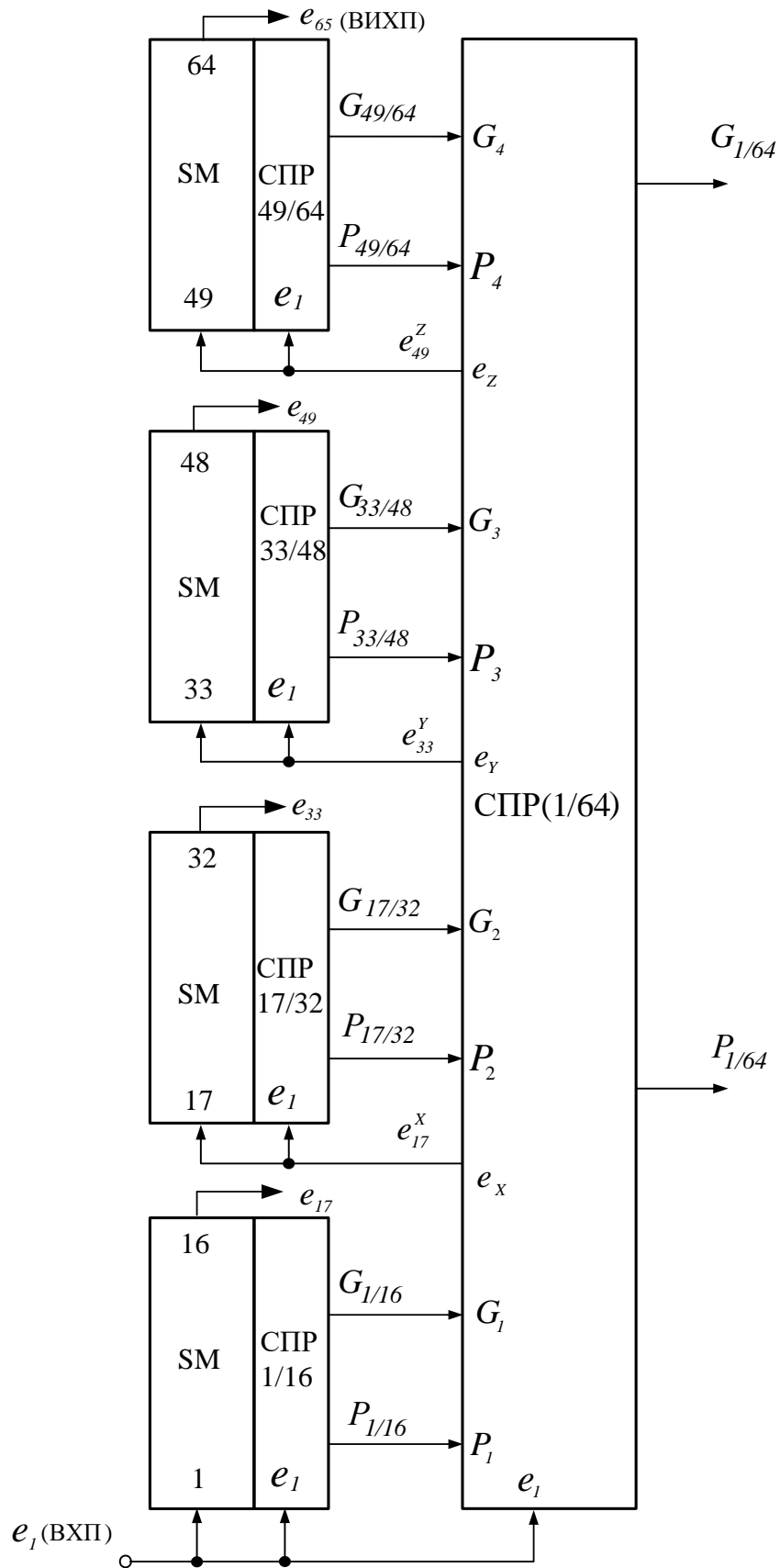


Рисунок 1.45 – Схема 64-розрядного групового суматора з прискоренням переносом між 16-розрядними групами

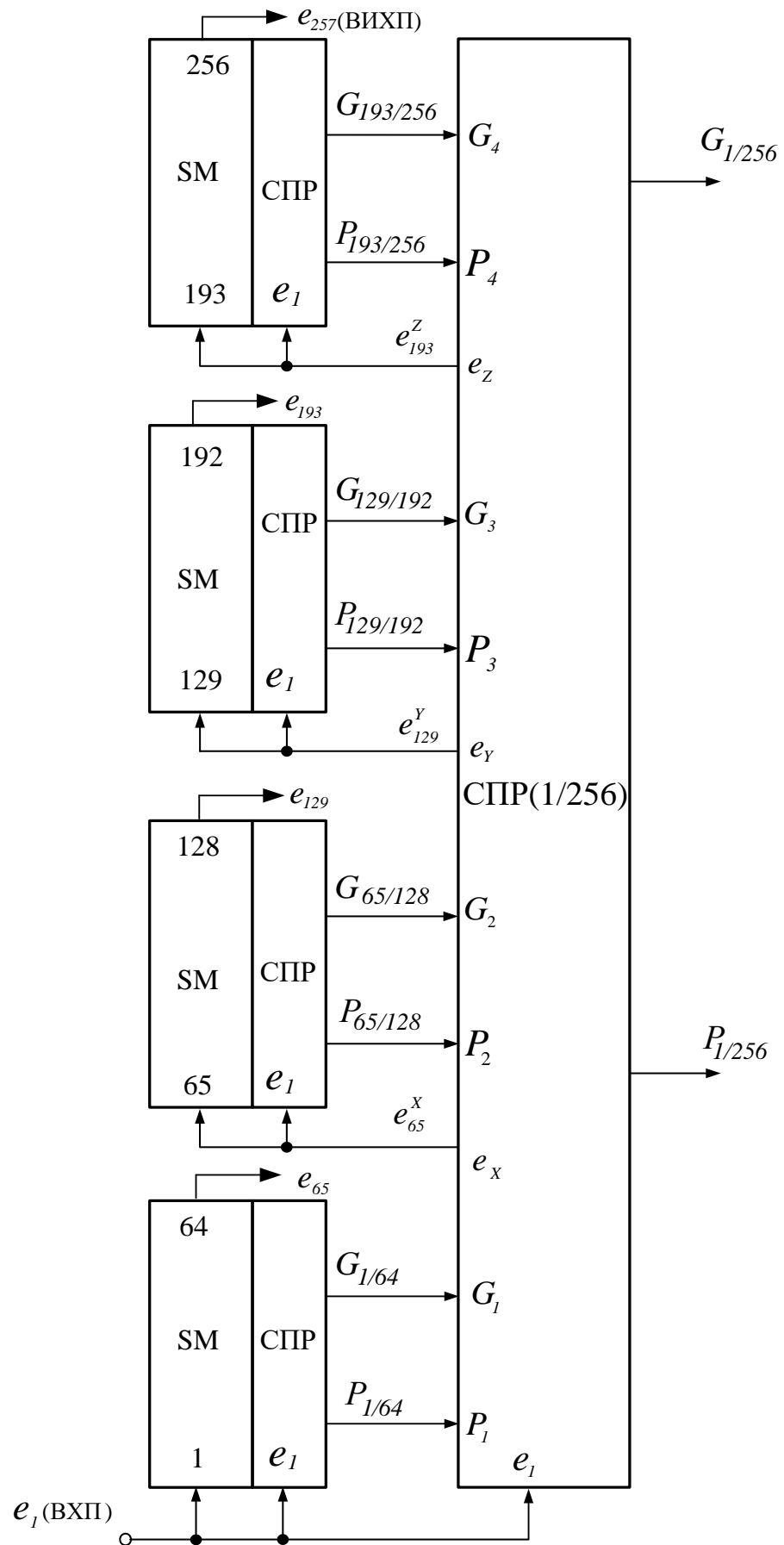


Рисунок 1.46 – Схема 256-розрядного групового суматора з прискоренням переносом між 64-розрядними групами

Таким чином, з проведеного дослідження випливає, що схеми прискореного переносу СПР(1/16), СПР(1/64) і СПР(1/256) в функціональному відношенні повністю тотожні і можуть бути застосовані на будь-якому рівні групового суматора з наскрізним переносом між групами суматора.

В чотиригрупових схемах прискореного переносу зазвичай використовуються позначки сигналів, які наведені на рис.1.47.

При використанні цих ідентифікаторів і з урахуванням отриманих вище функціональних залежностей логічні вирази СПР(1/4) набувають вигляд:

$$G_{1/4} = G_4 + P_4 G_3 + P_4 P_3 G_2 + P_4 P_3 P_2 G_1 ; \quad (1.94)$$

$$P_{1/4} = P_4 P_3 P_2 P_1 ; \quad (1.95)$$

$$e_x = G_1 + P_1 e_1 ; \quad (1.96)$$

$$e_y = G_2 + P_2 G_1 + P_2 P_1 e_1 \quad (1.97)$$

$$e_z = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 e_1. \quad (1.98)$$

Аналогічним чином можна побудувати логічні вирази схеми прискорення переносу СПР з, наприклад, тригруповим коефіцієнтом об'єднання, а також секції СПР з поширенням сигналу відсутності переносу (непереносу)  $\bar{e}_i$  і формуванням вихідних сигналів інверсної полярності, тобто  $\bar{e}_x$ ,  $\bar{e}_y$  і  $\bar{e}_z$ .

### Контрольні завдання та запитання

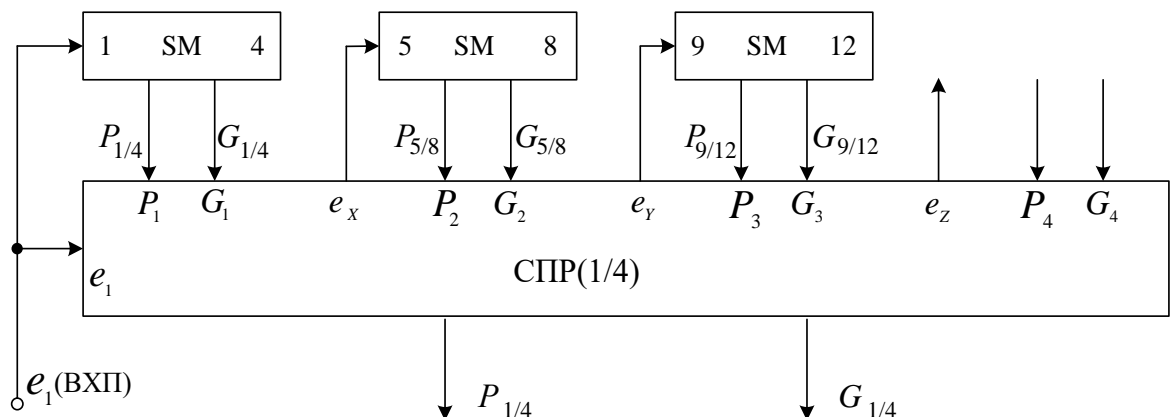
1. Обґрунтувати логічні співвідношення:

$$G_1 + P_1 e_1 = \overline{\overline{P_1 + \overline{G_1 e_1}}}$$

$$\overline{G_2 + P_2 G_1 + P_2 P_1 e_1} = \overline{P_2 + \overline{G_2 P_1} + \overline{G_2 G_1 e_1}}$$

$$\overline{G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 e_1} = \overline{P_3 + \overline{G_3 P_2} + \overline{G_3 G_2 P_1} + \overline{G_3 G_2 G_1 e_1}}$$

2. Доповнити схему СПР(1/4) співвідношеннями для формування коректних вихідних функцій  $P_{1/4}$  і  $G_{1/4}$ :



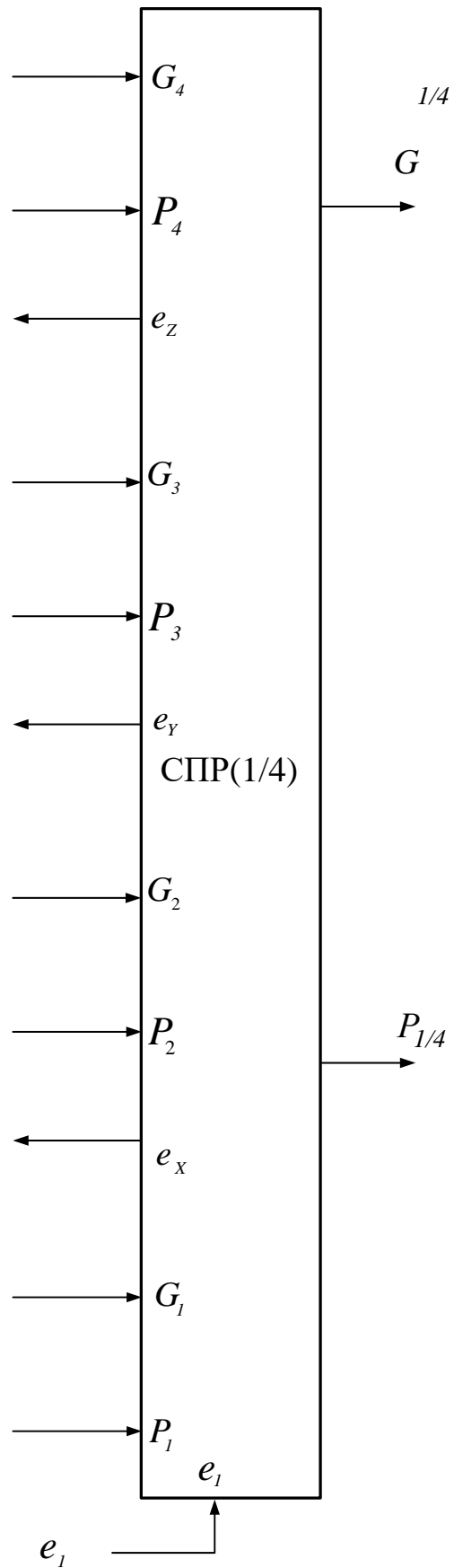
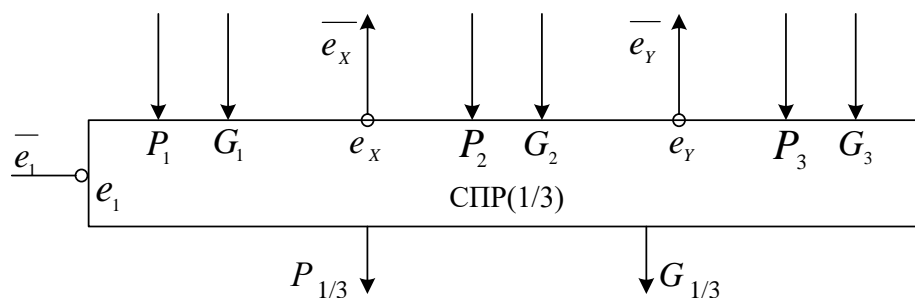


Рисунок 1.47 – Умовне графічне позначення схеми прискореного переносу з чотиригруповим коефіцієнтом об'єднання



3. Побудуйте груповий 12-розрядний суматор з наскрізним переносом між трирозрядними групами на основі мікросхем K155.
4. Поясніть принцип побудови і функціонування групового суматора з прискоренням переносу між групами і паралельним формуванням внутрішнього групового переносу.
5. Доведіть логічні вирази, за допомогою яких формуються сигнали паралельного переносу.
6. Як формується підготовча функція генерації групового переносу  $G$  з секції суматора?
7. Як формується підготовча функція розповсюдження вхідного переносу через секції суматора?
8. Поясніть, як отримано формулу (1.90)?
9. Як використовуються схеми прискорення переносу СПР для збільшення розрядності групового суматора при зберіганні високої швидкодії?
10. Визначте швидкодію групового суматора з наскрізним переносом між трирозрядними групами з заданою кількістю розрядів.
11. Побудуйте логічні співвідношення СПР(1/3) наступного типу



### 1.10. Моделювання функціональних схем та визначення властивостей арифметичних пристроїв

Для моделювання схем арифметичних пристроїв використаємо засоби системи схемотехнічного аналізу цифрових приладів MicroCap [ 7 ].

Схема моделювання канонічного суматора на основі дешифратора з прямими виходами ( рис. 1.2 ) в середовищі MicroCap наведена на рис. 1.48.

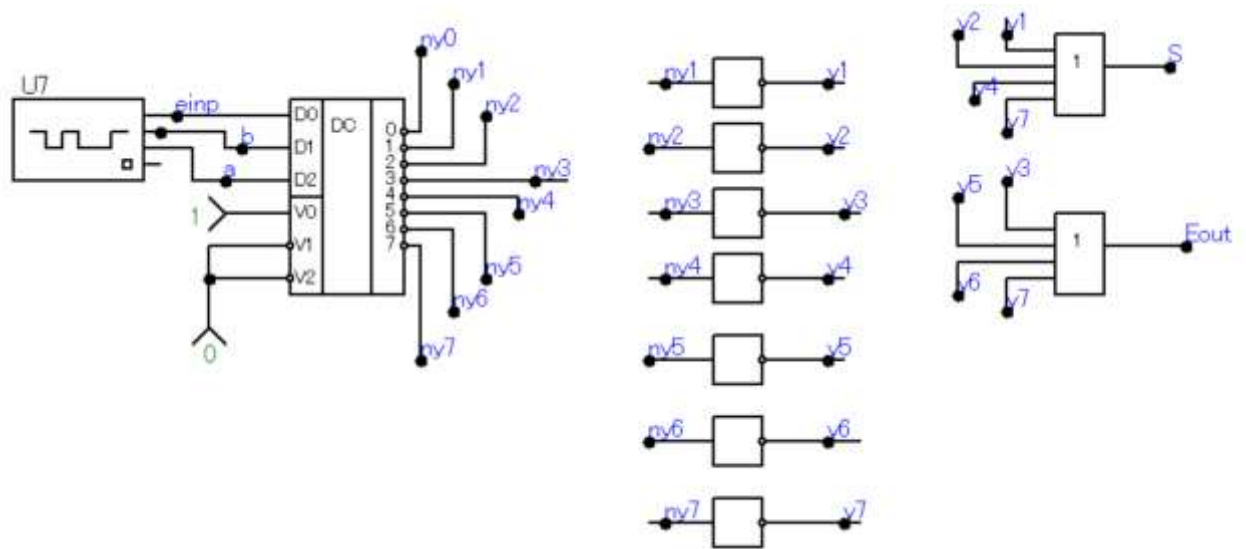


Рисунок 1.48 – Схема моделювання канонічного суматора на основі дешифратора з прямими виходами

Результати моделювання експериментів додавання змінних  $a, b$  і  $e$  в суматорі наведені на рис 1.49. На часових діаграмах модельних експериментів використовуються такі скорочення:

- $d(a), d(b), d(einp)$  – часові діаграми відповідно доданків  $a, b$  і вхідного переносу  $einp$ ;
- $d(S), d(Eout)$  – часові діаграми відповідно суми і вихідного переносу суматора.

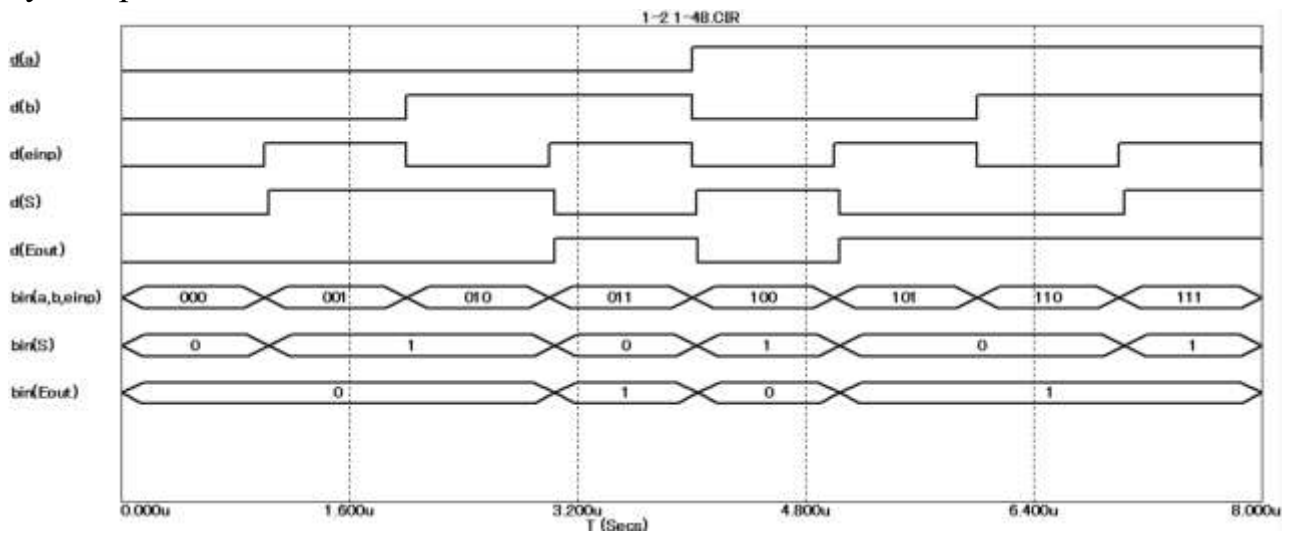


Рисунок 1.49 – Результати моделювання канонічного суматора на базі дешифратора з прямими виходами

Для спрощення аналізу результатів моделювання операцій додавання двійкових чисел в суматорі набори вхідних даних моделі  $a, b, einp$  і вихідних функцій  $S, Eout$  на часових діаграмах показані з використанням вбудованої функції  $bin()$  системи MicroCap. Аналіз отриманих результатів модельних

досліджень (рис.1.49) показує, що функціональна схема канонічного суматора на основі дешифратора з прямими виходами адекватно відображує таблицю істинності операцій додавання двійкових чисел (табл. 1.2).

Таким чином, результати моделювання підтверджують достовірність і коректність теоретично побудованої структури суматора (рис. 1.2).

На рис.1.50 наведена схема моделювання суматора на основі дешифратора з інверсними виходами, в якому вирази ( 1.2 ) і ( 1.3 ) реалізовані за правилами:

$$S = \overline{a}b\overline{e}V \overline{a}b\overline{e}V \overline{a}b\overline{e}V \overline{a}b\overline{e}V = \overline{a}b\overline{e}V \overline{a}b\overline{e}V \overline{a}b\overline{e}V \overline{a}b\overline{e}V;$$

$$E = a\overline{b}\overline{e}V a\overline{b}\overline{e}V a\overline{b}\overline{e}V a\overline{b}\overline{e}V = a\overline{b}\overline{e}V a\overline{b}\overline{e}V a\overline{b}\overline{e}V a\overline{b}\overline{e}V.$$

В результаті моделювання визначено, що часові діаграми модифікованого таким чином канонічного суматора тотожні результатам моделювання канонічного суматора на основі дешифратора з прямими виходами (рис. 1.48), наведених н рис. 1.49.

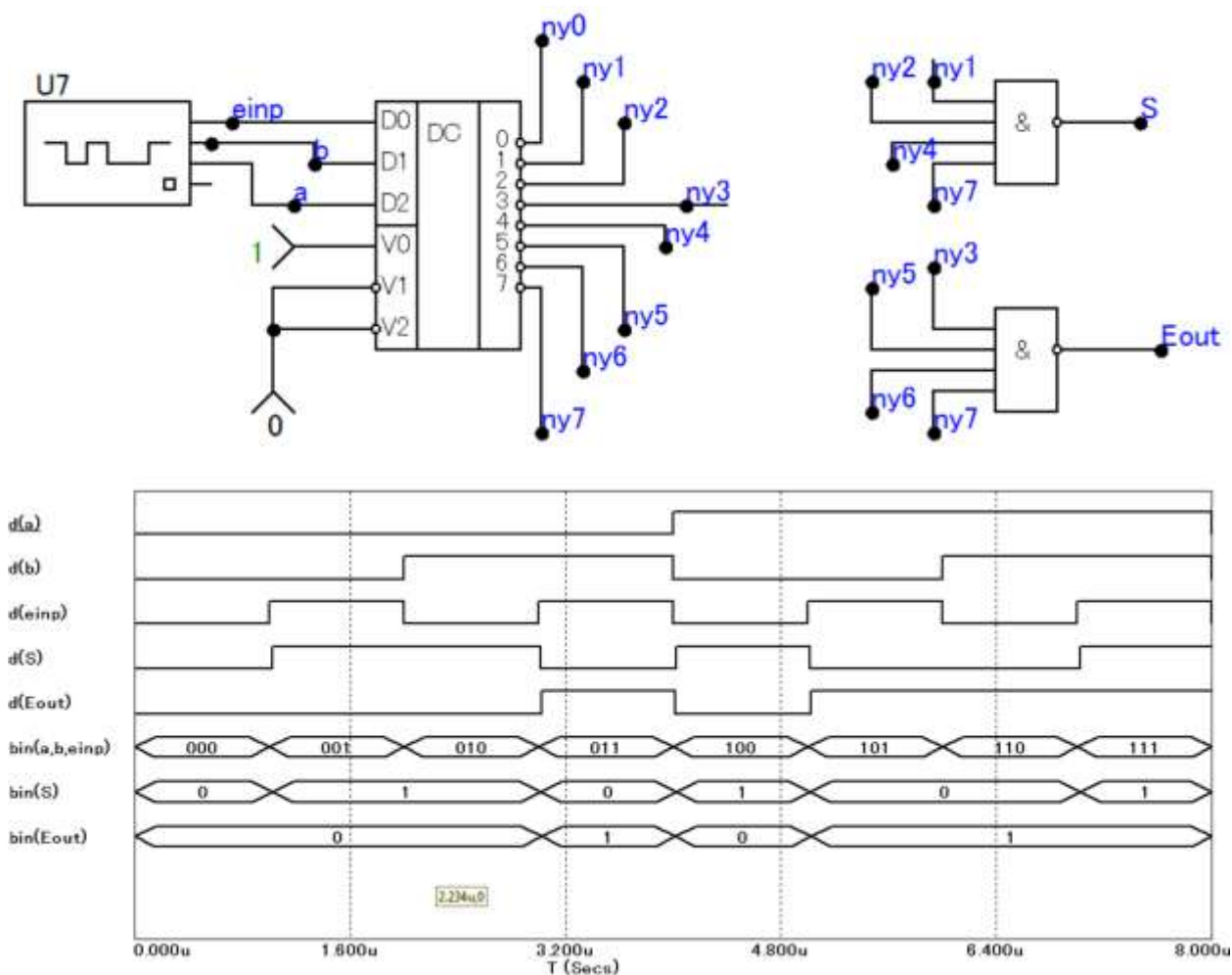


Рисунок 1.50 – Схема моделювання і часові діаграми канонічного суматора на основі дешифратора з інверсними виходами

Схема моделювання канонічного суматора в базисі І-АБО-НІ (рис. 1.7) наведена на рис. 1.51, а результати моделювання суматора – на рис. 1.52.

На кожному кроці моделювання операцій додавання двійкових змінних в моделі суматора (рис. 1.7) на часових діаграмах кодів суми і переносу адекватно відображають правила двійкової арифметики.

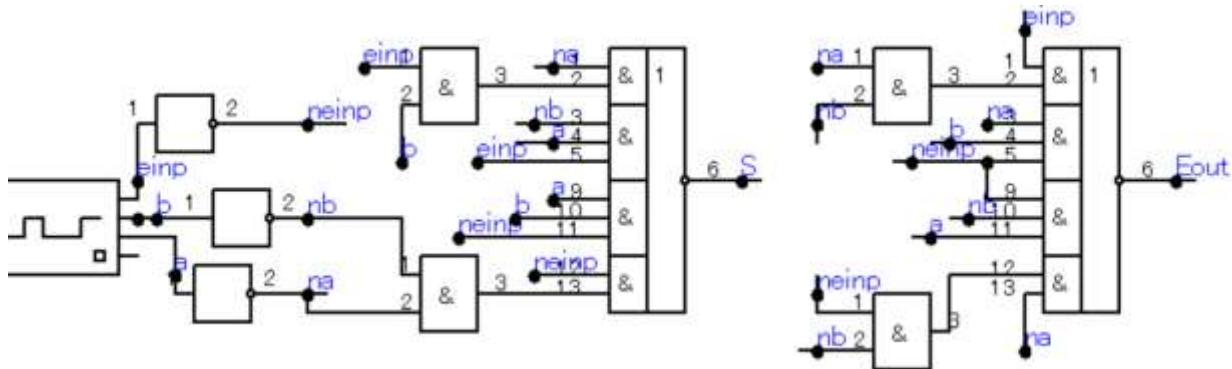


Рисунок 1.51 – Схема моделювання канонічного суматора в базисі І-АБО-НІ

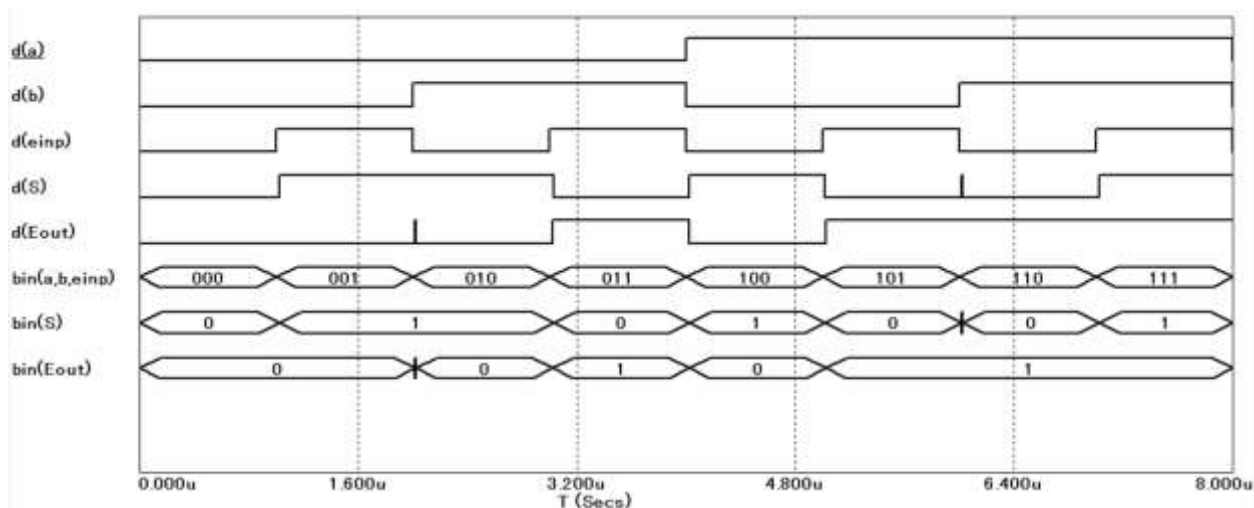


Рисунок 1.52 – Результати моделювання канонічного суматора в базисі І-АБО-НІ

Схема моделювання канонічного мінімального суматора (рис. 1.12) наведена на рис. 1.53, а часові діаграми моделі – на рис. 1.54.

При всіх комбінаціях вхідних даних в моделі схеми мінімального суматора вихідні функції суматора тотожні теоретичним значенням суми і переносу.

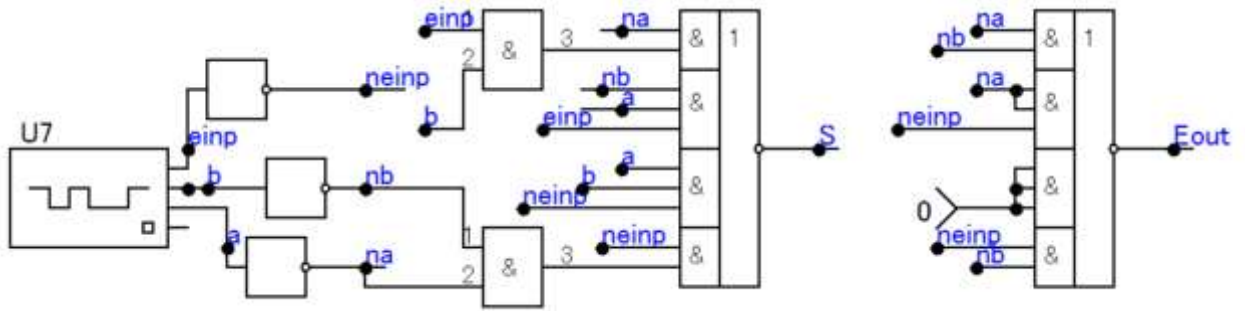


Рисунок 1.53 – Схема моделювання функціональної структури мінімального суматора (рис. 1.12)

Схеми моделювання модифікованих мінімальних суматорів на рис. 1.13 і 1.14 показані відповідно на рис. 1.55 і 1.56.

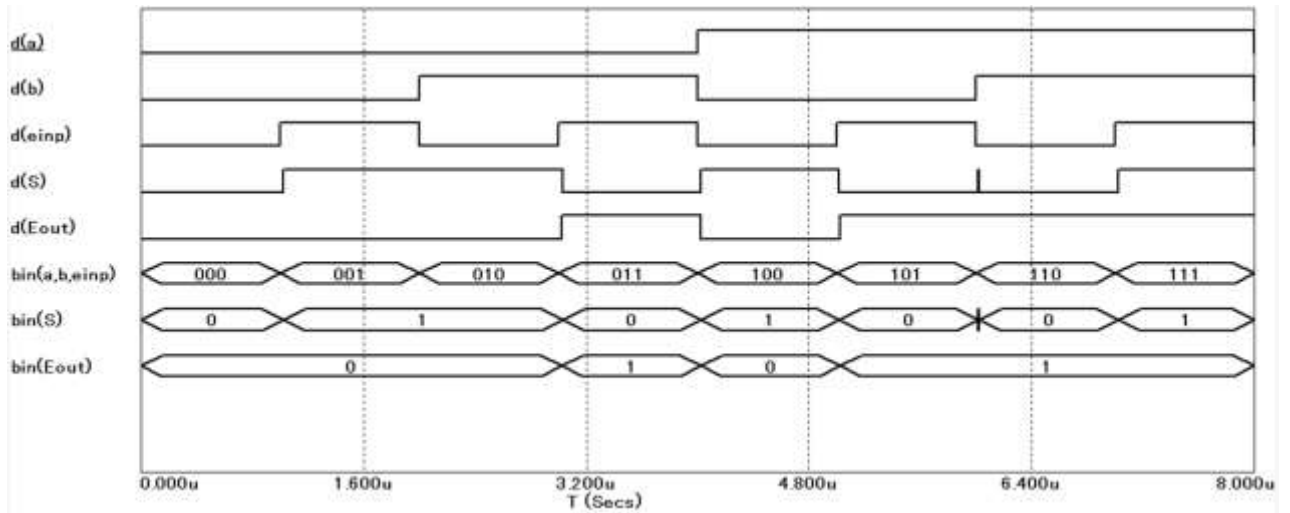
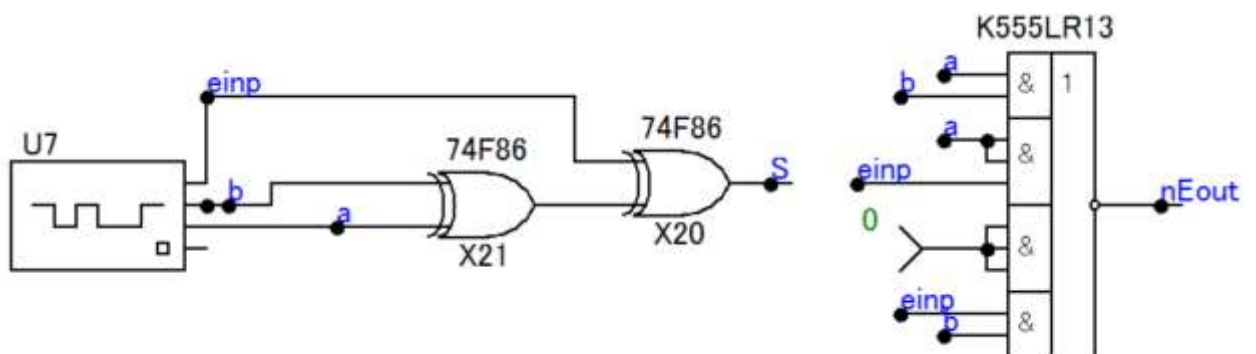


Рисунок 1.54 – Часові діаграми моделі мінімального суматора (рис. 1.12)

Аналіз часових діаграм моделі суматора ( $e \rightarrow \bar{E}$ ) (рис. 1.55) і суматора ( $\bar{e} \rightarrow E$ ) (рис. 1.56) показує, що властивості суматорів відповідають теоретично визначеним характеристикам.



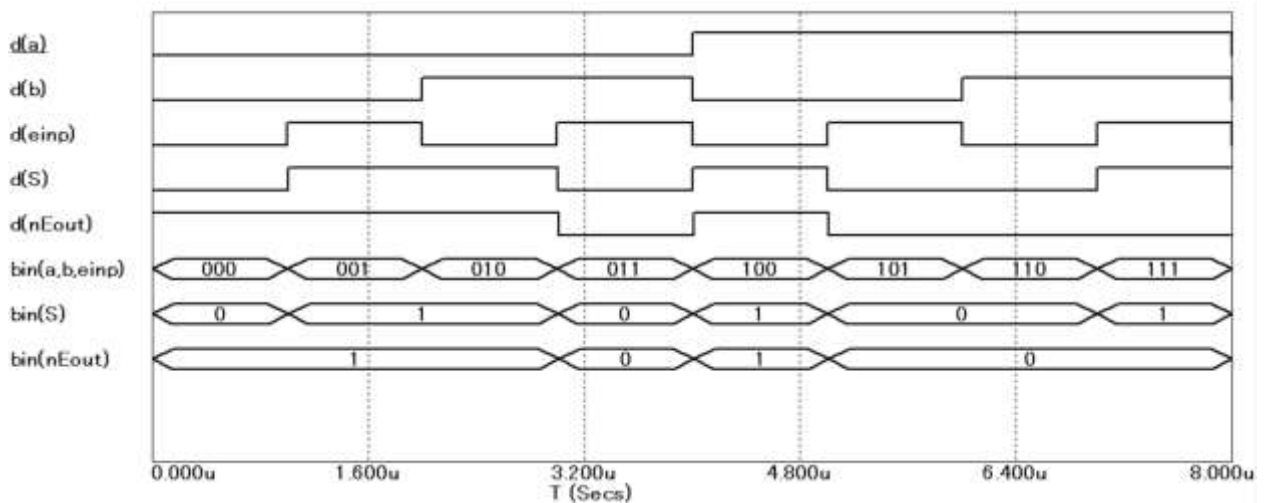
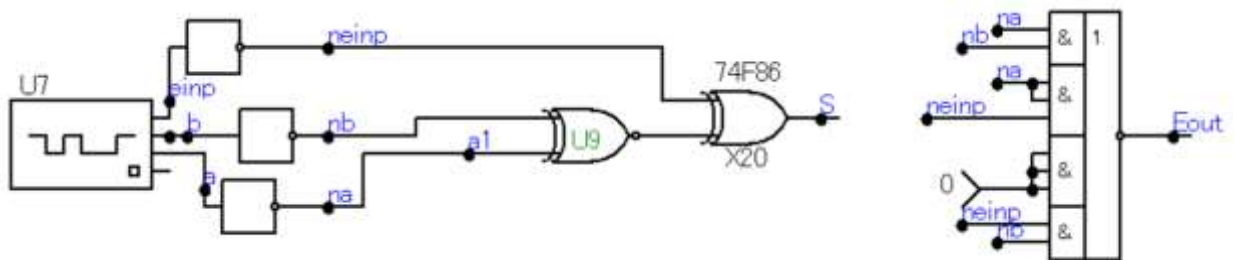


Рисунок 1.55 – Схема моделювання і часові діаграми мінімального суматора з трактом розповсюдження переносу ( $e \rightarrow \bar{E}$ )

На рис. 1.57 наведена схема моделювання чотирирозрядного суматора (рис. 1.15) з черезрозрядною інверсією сигналів переносу ( $e_1 \rightarrow \bar{e}_2 \rightarrow e_3 \rightarrow \bar{e}_4$ ), побудованого на основі мінімальних суматорів з розрядною інверсією розповсюдження сигналів переносу на основі мінімальних суматорів (1.15) - (1.16) і (1.17) - (1.18).

Часові діаграми моделі суматора наведені на рис. 1.58. Результати моделювання на часових діаграмах представлені як в двійковому, так і в десятковому форматі. На кожному кроці моделювання при додаванні чотирирозрядних невід’ємних чисел сума на основних виходах суматора і вихідний перенос відповідають теоретично визначеній повній сумі доданків, що підтверджує коректність теоретично побудованої структури багаторозрядного суматора на основі однорозрядних суматорів з черезрозрядною інверсією сигналів переносу.



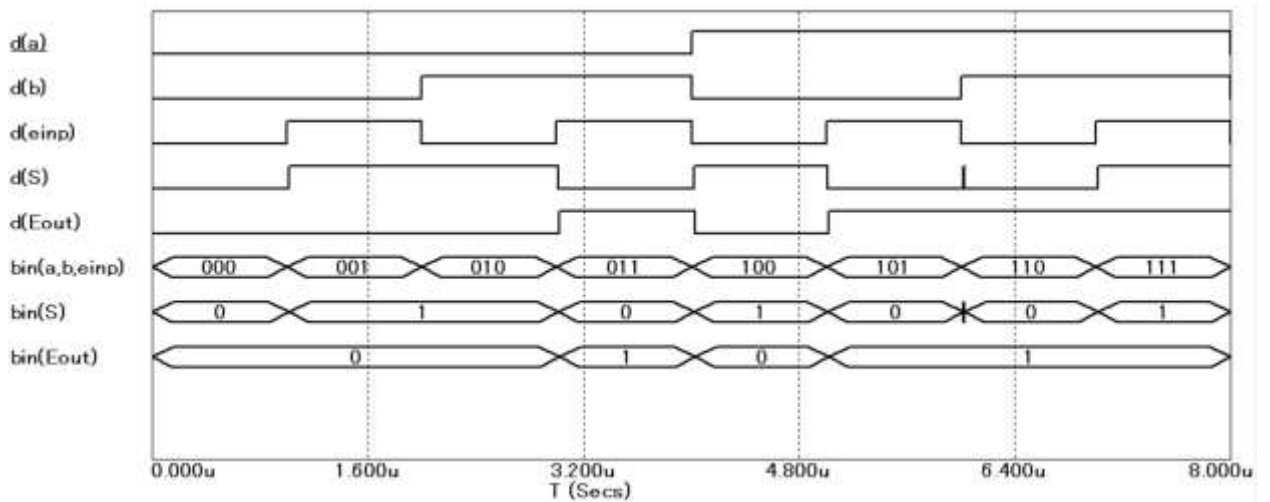
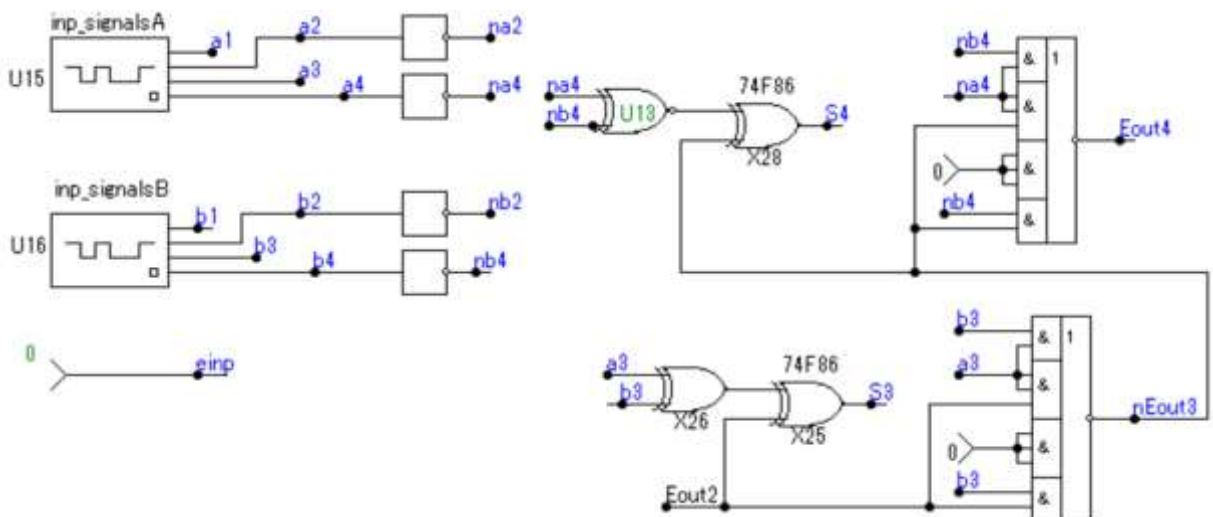


Рисунок 1.56 – Схема моделювання і часові діаграми мінімального суматора з трактом розповсюдження переносу ( $\bar{e} \rightarrow E$ )

На рис. 1.59 приведені часові діаграми чотирирозрядної секції суматора при підсумовуванні чисел  $A=1111$  та  $B=0001$ , при надходженні яких в суматорі перенос розповсюджується послідовно через всі розряди.

В силу цього на часовій діаграмі моделі суматора спостерігається поступове формування коректних станів змінних суматора (сигналів суми і переносу) по мірі розповсюдження наскрізного переносу в суматорі. З часових діаграм випливає, що максимальний час затримки при розповсюдженні переносу через всі розряди (часовий зсув між моментами спрацьовування вхідних сигналів і моментом переключення стану вихідного переносу зі старшого розряду) складає 49нс (на рис. 1.59 відзначено виносками).





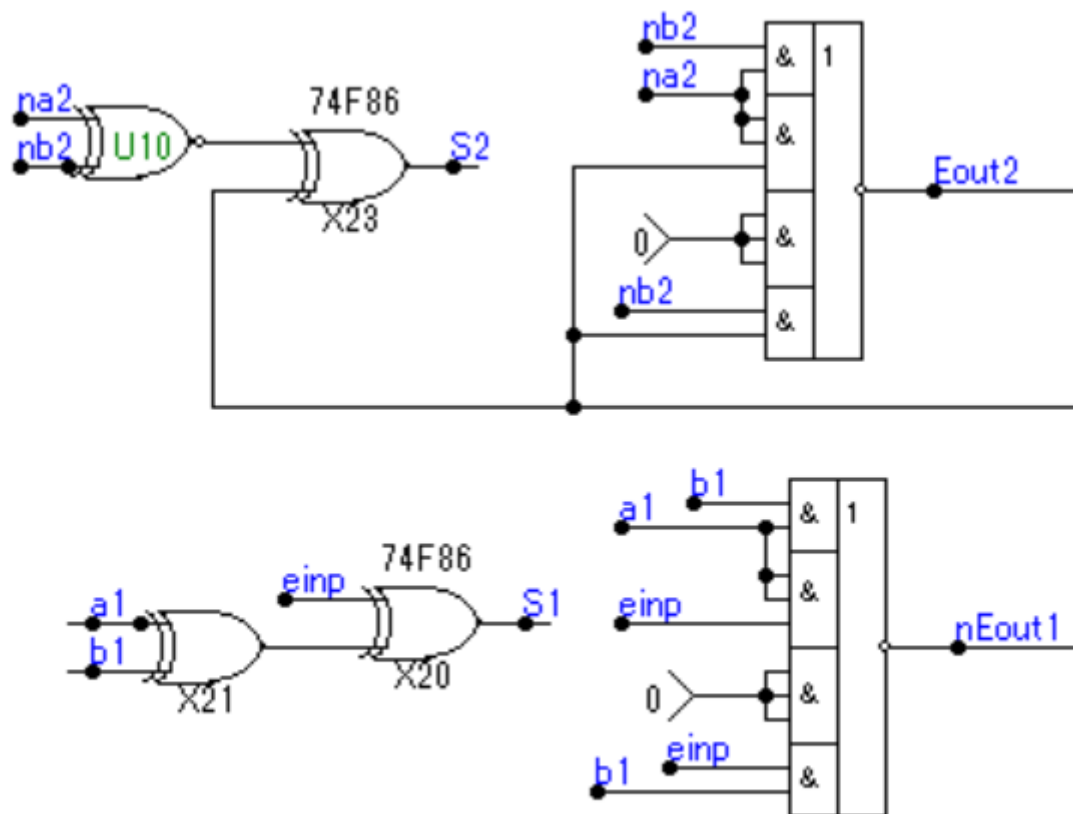


Рисунок 1.57 – Схема моделювання чотирирозрядного суматора з черезрозрядною інверсією переносу на основі мінімальних суматорів з розрядною інверсією сигналів переносу (рис. 1.55 і 1.56)

На рис. 1.60 наведена схема моделювання розширеного мінімального суматора (рис. 1.17) з інверсією сигналу переносу ( $e \rightarrow \bar{E}$ ) та результати моделювання операцій додавання двійкових змінних  $a$ ,  $b$  і  $e$ .

Схема моделювання розширеного мінімального суматора (рис. 1.18) з трактом розповсюдження переносу ( $\bar{e} \rightarrow E$ ) і часові діаграми його роботи наведені на рис. 1.61. Відзначимо, що стани вихідних функцій суматора відповідають теоретичним значенням функцій.

На рис. 1.62 показані часові діаграми в десятковому форматі і схема моделювання чотирирозрядного двійкового суматора з черезрозрядною інверсією переносу ( $e_1 \rightarrow \bar{e}_2 \rightarrow e_3 \rightarrow \bar{e}_4$ ), побудованого на основі розширених мінімальних суматорів (1.20) - (1.21).

Для визначення максимального часу затримки розповсюдження вихідного переносу на основних виходах суматора сформовані доданки  $A = 1111$  та  $B = 0001$ , при яких перенос розповсюджується послідовно через всі розряди.



В силу цього на часовій діаграмі спостерігається поступове формування коректних станів суми і переносу. З часової діаграми випливає, що максимальний час затримки вихідного переносу ( часовий зсув між моментами подачі вхідних доданків  $A = 1111$  та  $B = 0001$  і моментом формування переносу зі старшого розряду ) складає 49 нс ( на рис. 1.63 відзначено виносками ).

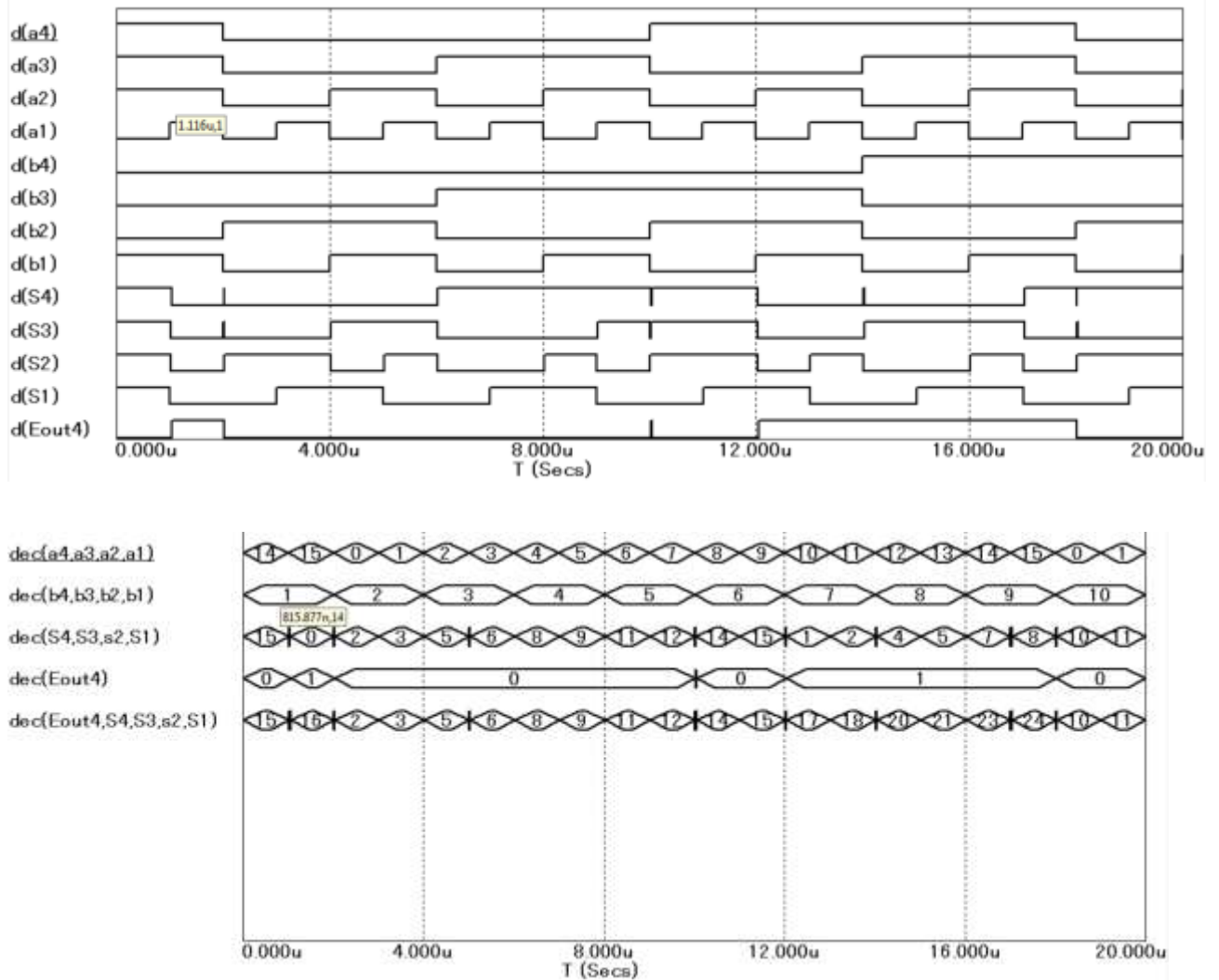


Рисунок 1.58 – Часові діаграми чотирирозрядного суматора з черезрозрядною інверсією переносу

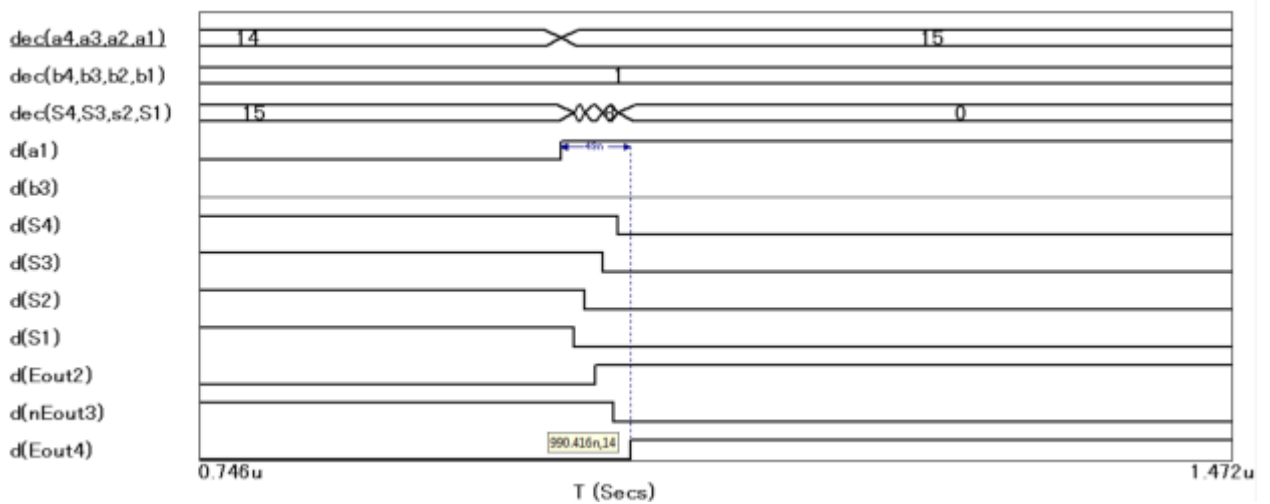


Рисунок 1.59 – Часова діаграма розповсюдження вихідного переносу в чотирирозрядному суматорі

Схема моделювання і результати дослідження поширеного композиційного канонічного суматора (1.24) - (1.25) приведені на рис.1.64.

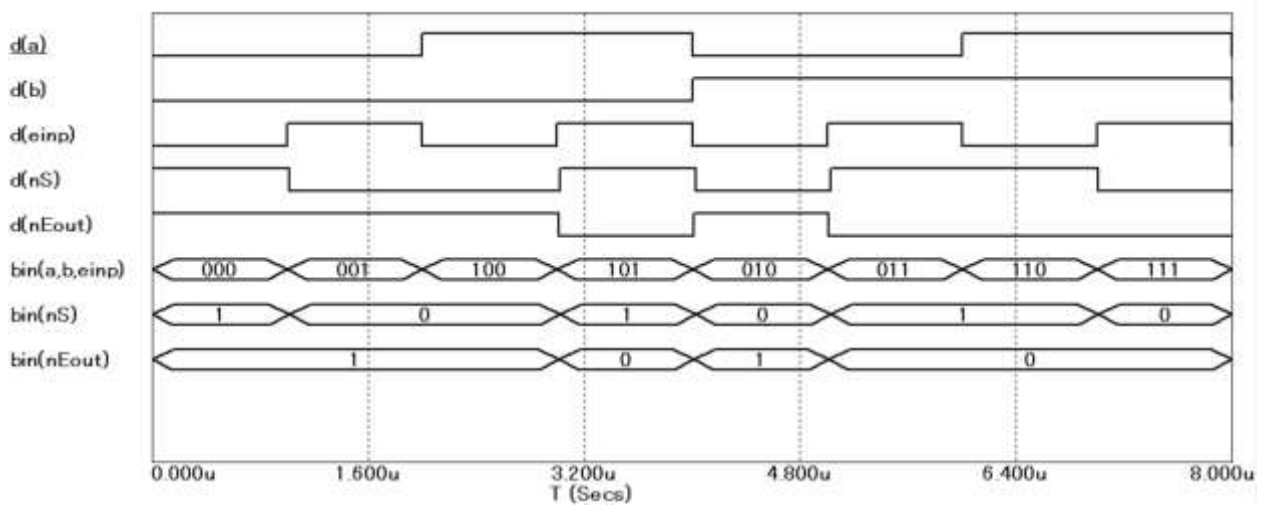
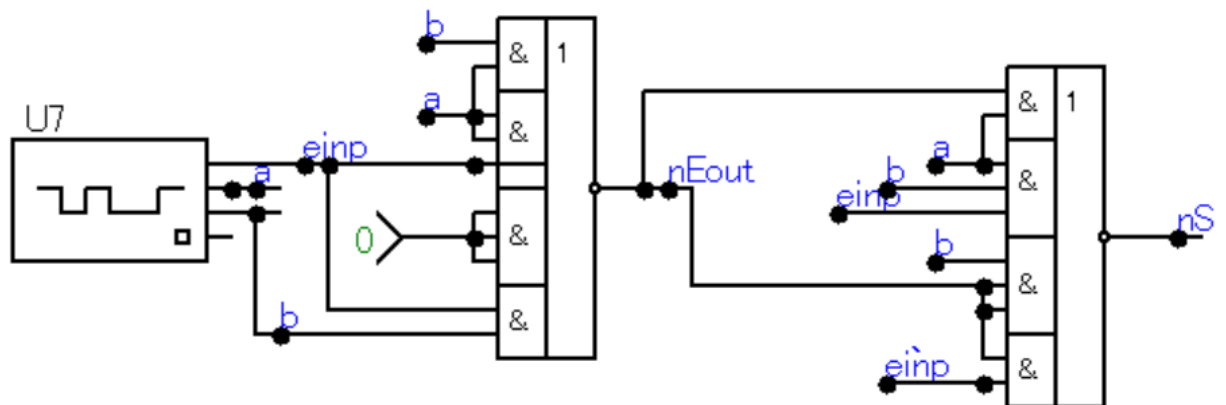


Рисунок 1.60 – Схема моделювання і часові діаграми розширеного мінімального суматора з трактом розповсюдження переносу ( $e \rightarrow \bar{E}$ )

Аналіз часових діаграм моделі суматора показує, що логічні вирази (1.24) - (1.25) адекватно описують арифметичні операції додавання вхідних змінних в композиційному суматорі при всіх комбінаціях двійкових доданків  $a$ ,  $b$  і  $e$ .

Схема моделювання і результати дослідження властивостей композиційного мінімального суматора, побудованого з використанням підготовчих функцій розповсюдження ( $p$ ) і генерації ( $g$ ) переносу наведені на рис. 1.65.

На рис. 1.66 приведені результати дослідження і схема моделювання композиційного мінімального суматора, в якому підготовчі функції використовуються як для формування сигналу переносу, так і для формування суми.

Результати моделювання логічної схеми композиційного мінімального двійкового суматора (рис. 1.24), побудованого відповідно до логічних виразів (1.31), (1.32) і (1.33) з транзитом сигналу вхідного непереносу  $\bar{e}$  та генерацією розрядного сигналу непереносу ( $\bar{p}g$ ), наведені на рис. 1.67.

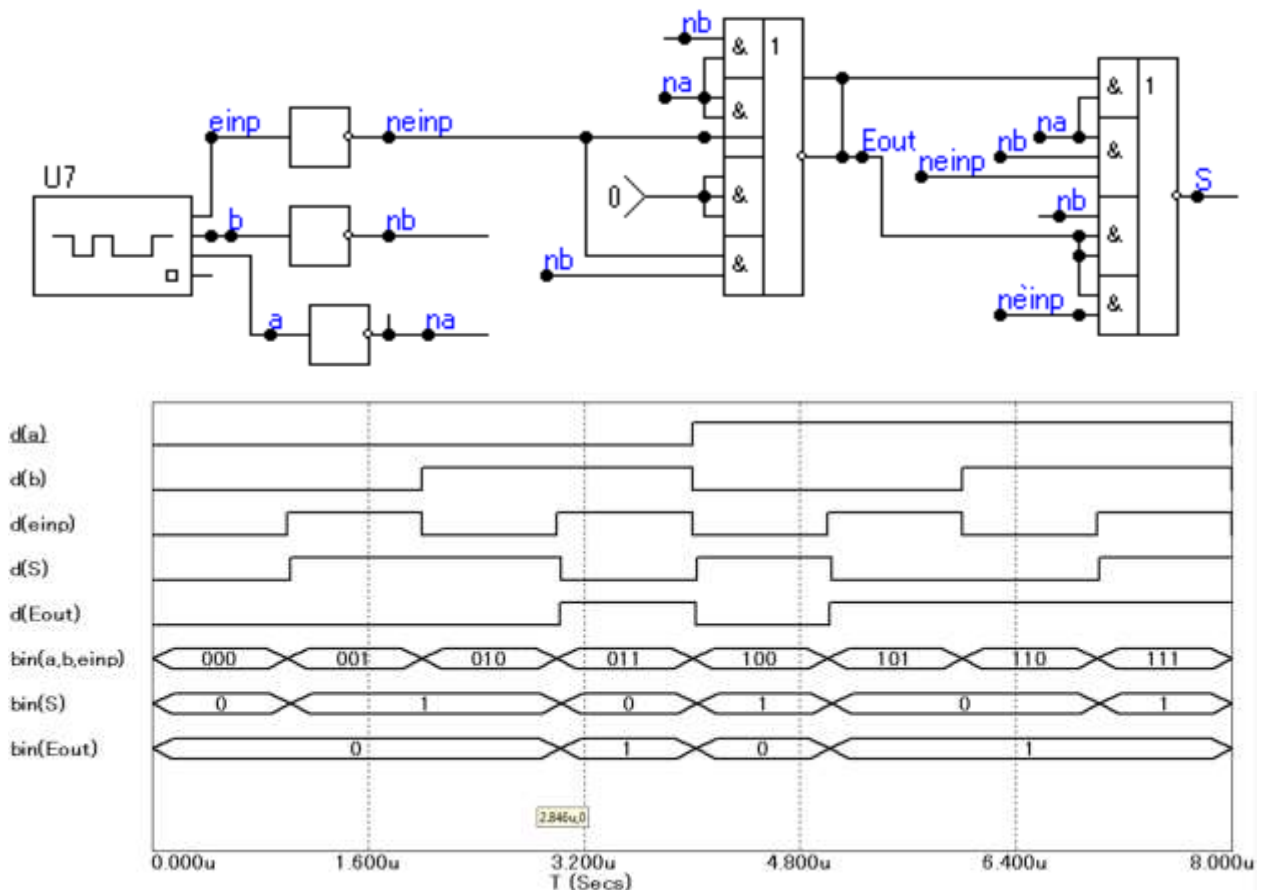


Рисунок 1.61 – Схема моделювання і часові діаграми розширеного мінімального суматора з трактом розповсюдження переносу ( $\bar{e} \rightarrow E$ )

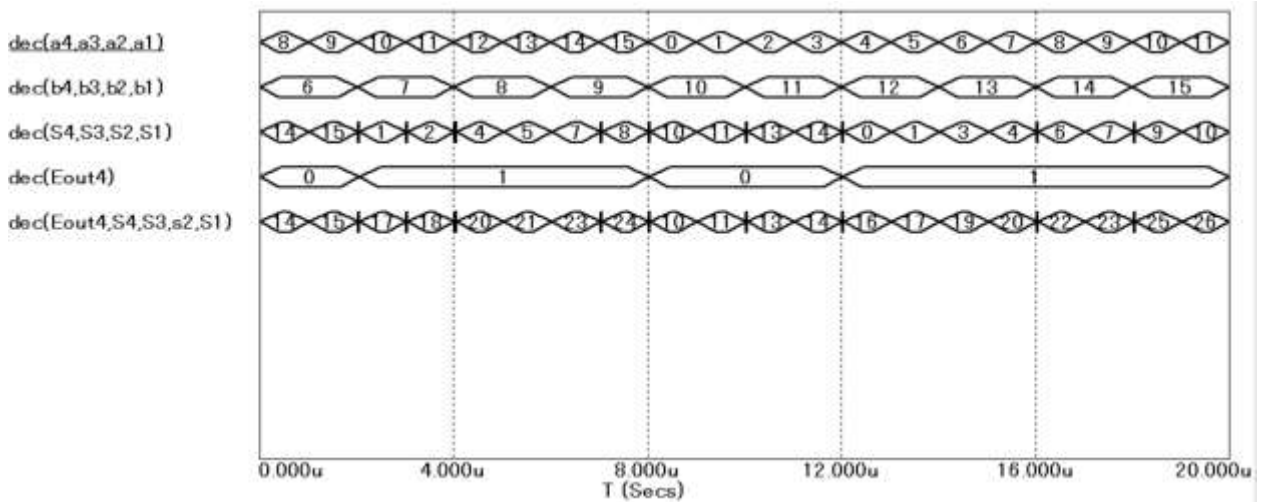
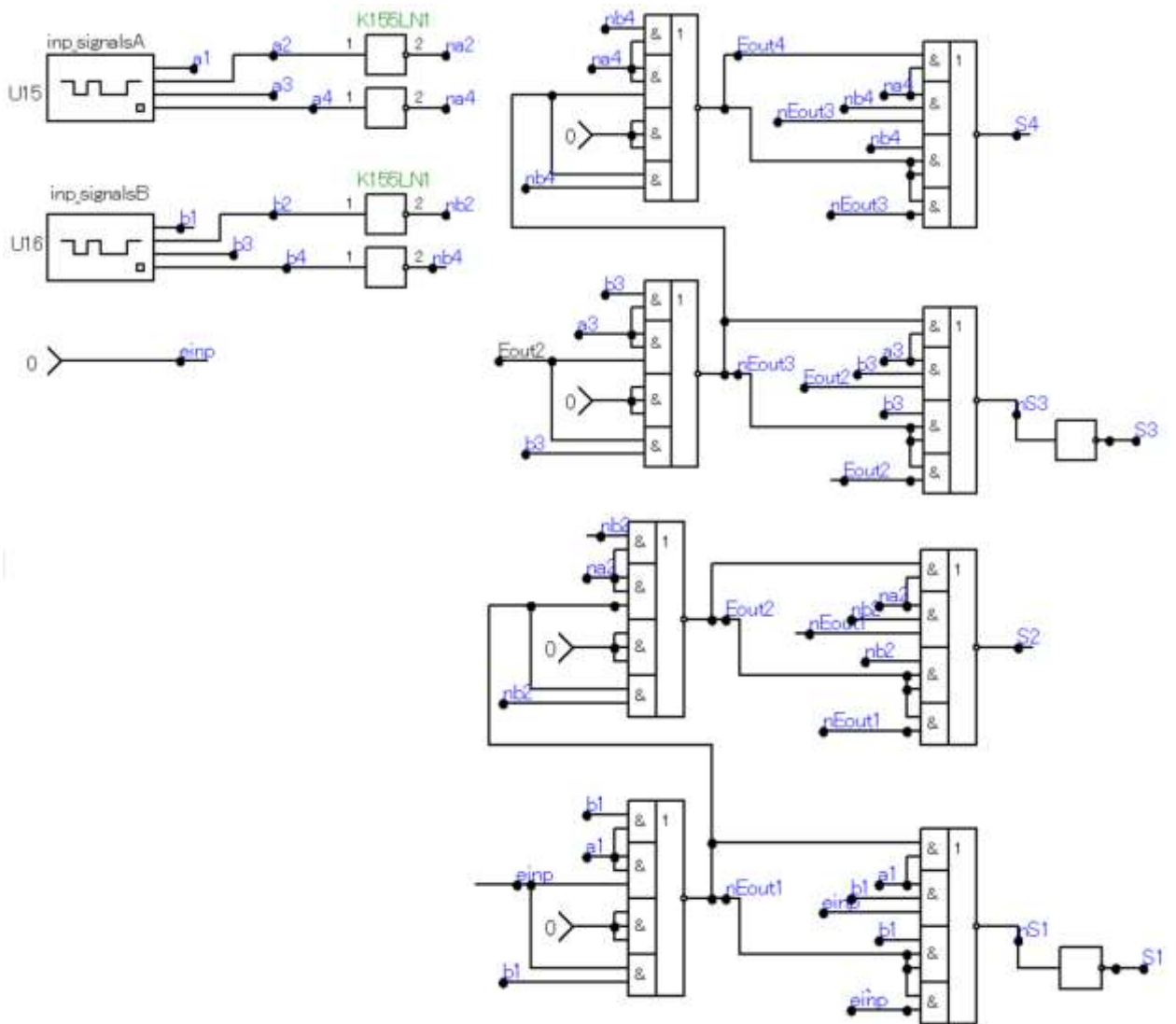


Рисунок 1.62 – Схема і результати моделювання чотирирозрядного суматора з черезрозрядною інверсією переносу, побудованого на основі розширених мінімальних суматорів з розрядною інверсією сигналів переносу

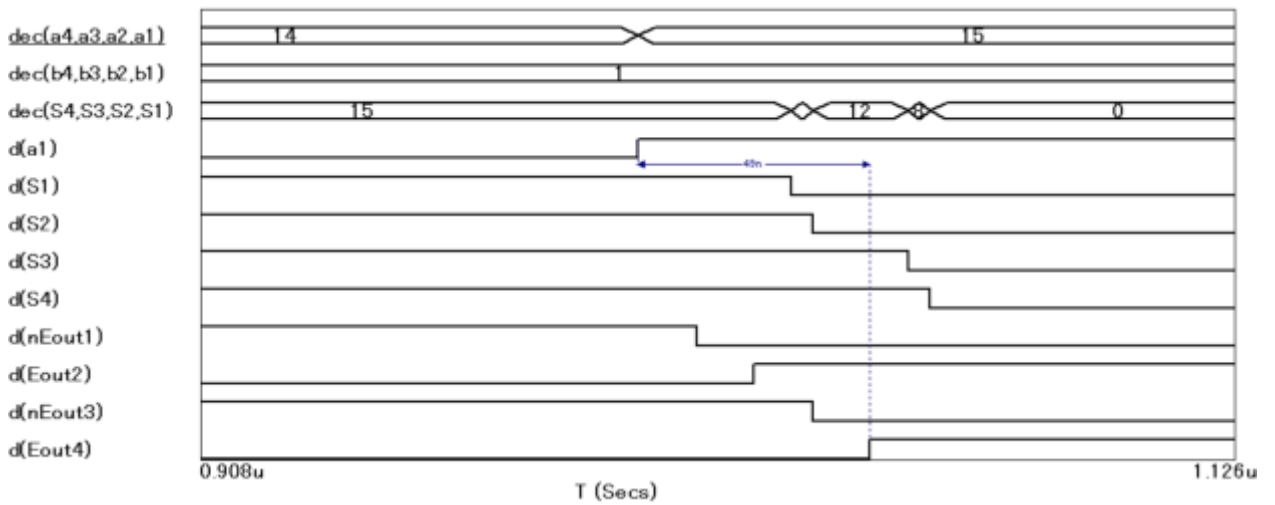


Рисунок 1.63 – Часова діаграма розповсюдження переносу в чотирирозрядному суматорі з черезрозрядною інверсією переносу (рис. 1.62)

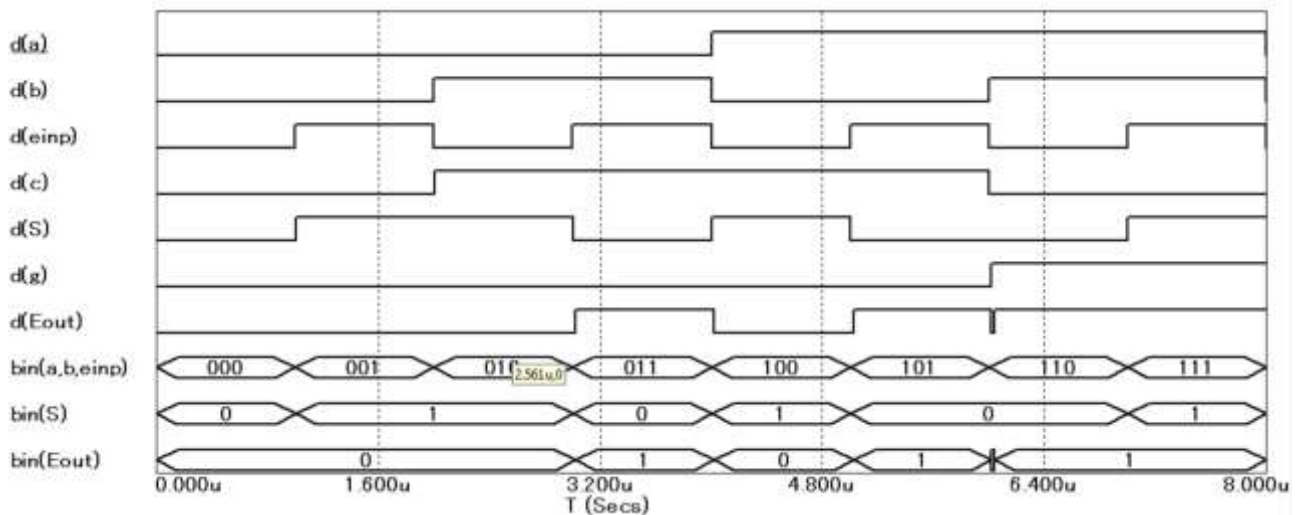
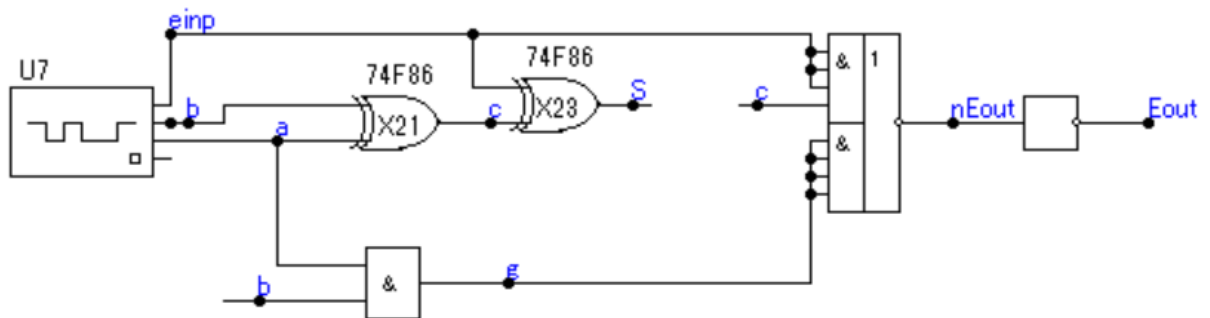


Рисунок 1.64 – Схема моделювання і результат дослідження функціональної схеми композиційного канонічного суматора

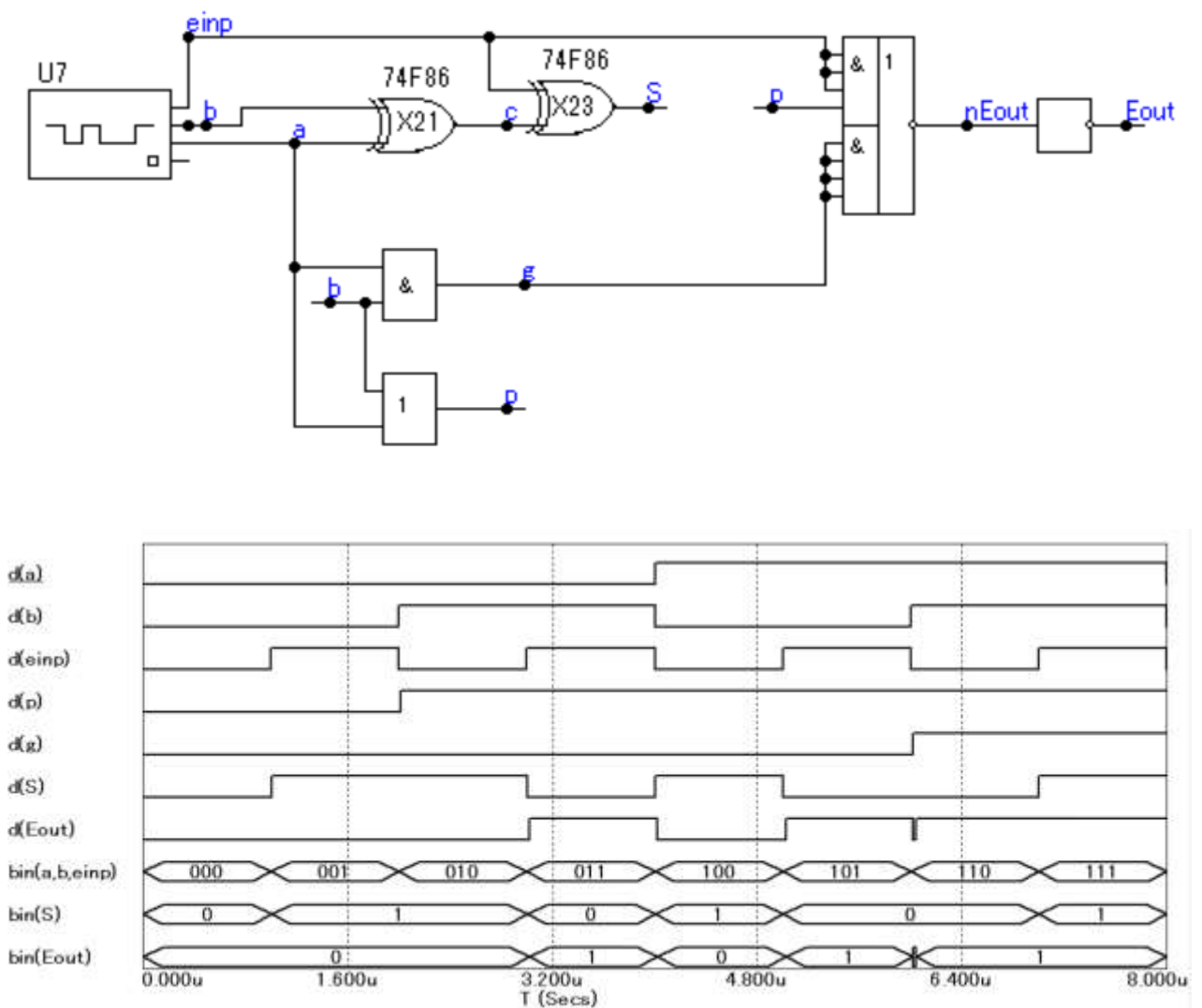


Рисунок 1.65 – Схема моделювання і результати дослідження функцій композиційного мінімального суматора

На рис. 1.68 приведені схема моделювання і результати дослідження операції канонічного віднімача, побудованого в базисі І-АБО-НІ.

На рис. 1.69 приведені схема моделювання і часові в десятковій формі розширеного мінімального віднімача з інверсією вихідної позики ( $m \rightarrow \bar{M}$ ).

Результати моделювання логічної схеми віднімача з формуванням тракту розповсюдження позики ( $\bar{m} \rightarrow M$ ), представлені на рис. 1.70.

Досліджені віднімачі (рис. 1.69 і 1.70) сумісно і узгоджено звичайно використовуються для створення багаторозрядних віднімачів з черезрозрядною інверсією сигналів позики.

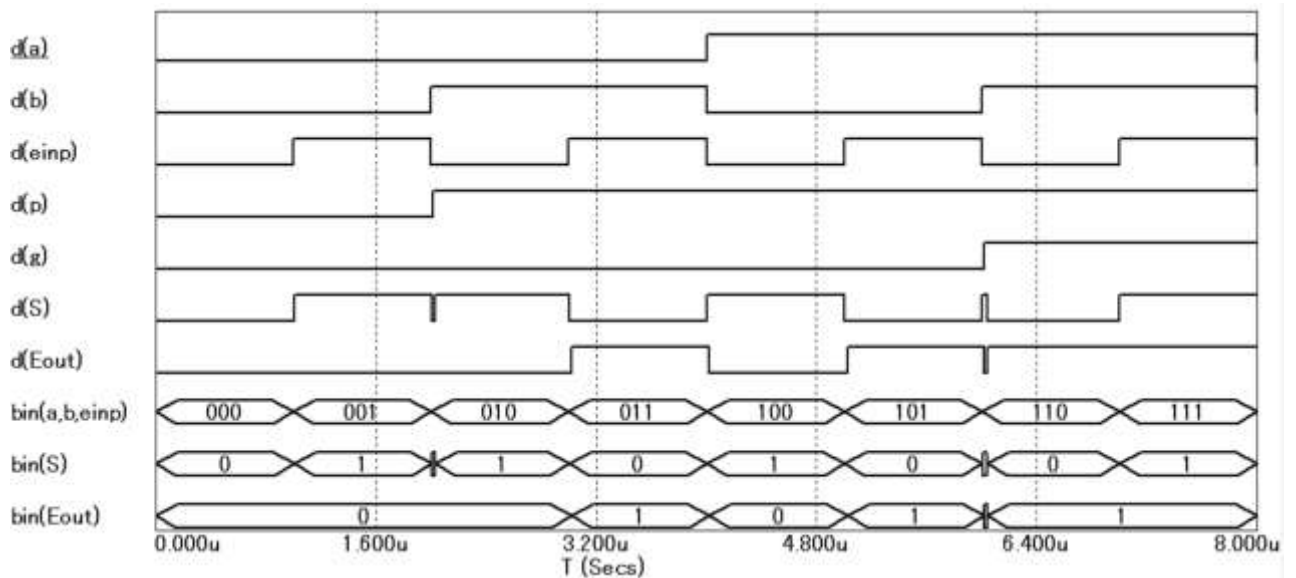
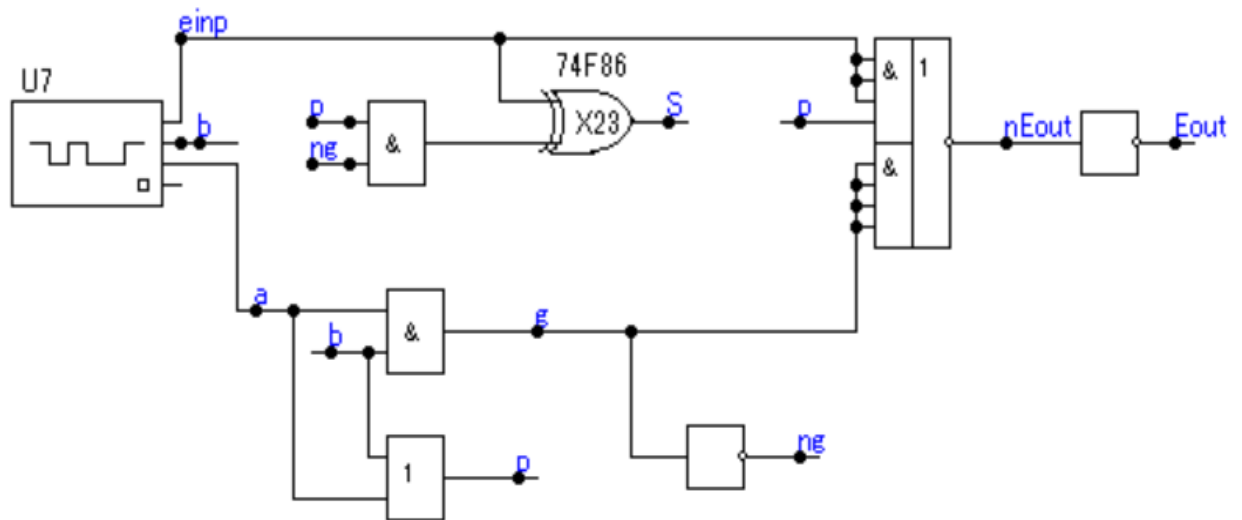


Рисунок 1.66 – Схема моделювання і результати дослідження композиційного мінімального суматора з використанням підготовчих функцій для формування суми

Схема моделювання композиційного мінімального віднімача ( $m \rightarrow (\overline{M})$ ), побудованого з використання підготовчих функцій, наведена на рис. 1.71. Ця схема може бути використана для організації віднімачів з черезрозрядною інверсією вихідної позики. Результати моделювання такого віднімача приведено на рис. 1.72.

На рис.1.73 приведена схема моделювання і часові діаграми композиційного мінімального віднімача ( $\overline{m} \rightarrow M$ ) на основі підготовчих функцій.

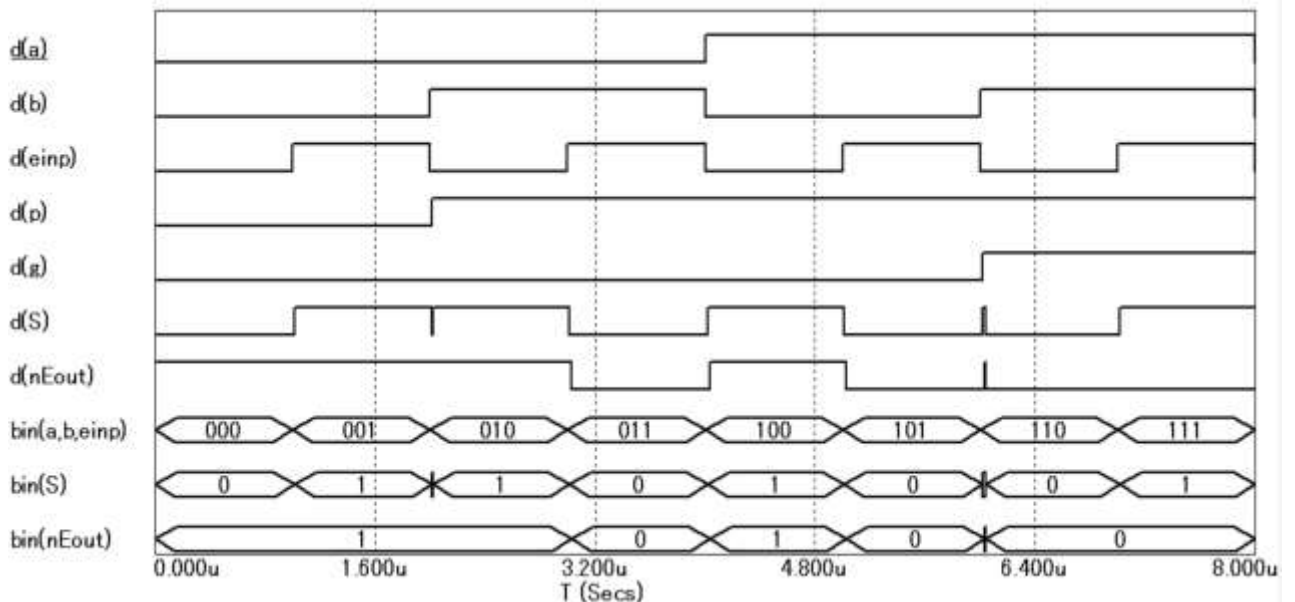
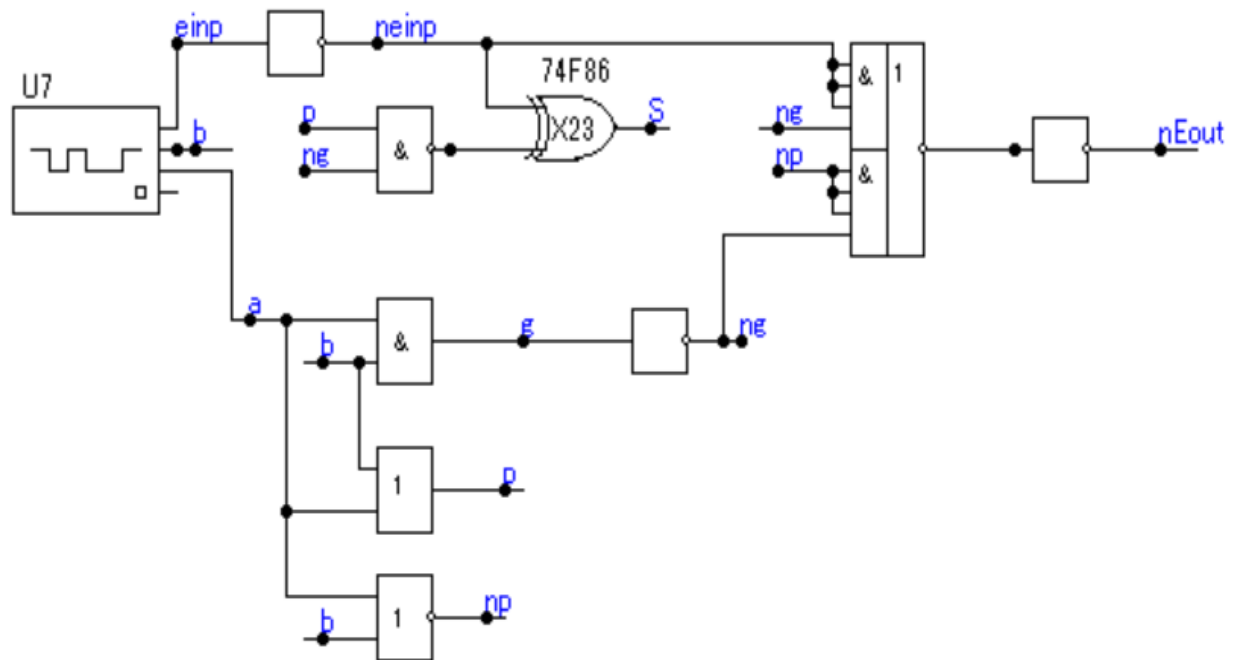


Рисунок 1.67 – Схема моделювання і часові діаграми композиційного мінімального суматора з розповсюдженням сигналу непереносу



На рис. 1.74 наведена схема моделювання чотирирозрядного двійкового віднімача з черезрозрядною інверсією сигналів позики ( $m_1 \rightarrow \overline{m_2} \rightarrow m_3 \rightarrow \overline{m_4}$ ) на основі однорозрядних піднімачів (рис. 1.72 і 1.73). Крім того, на рис. 1.74 наведені результати моделювання операцій віднімання чотирирозрядних чисел, представлених в десятковому форматі.

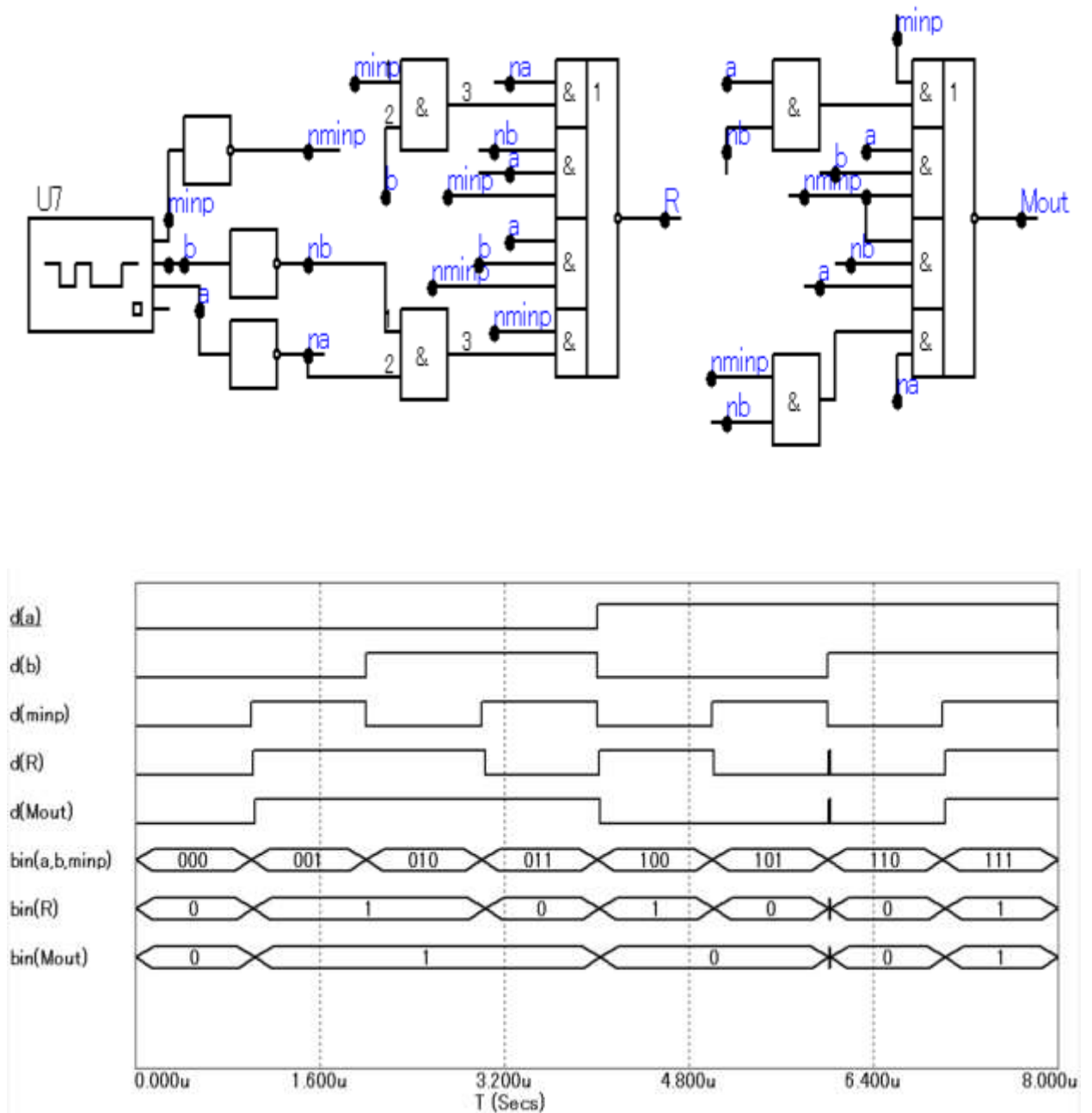


Рисунок 1.68 – Схема моделювання і часові діаграми канонічного віднімача

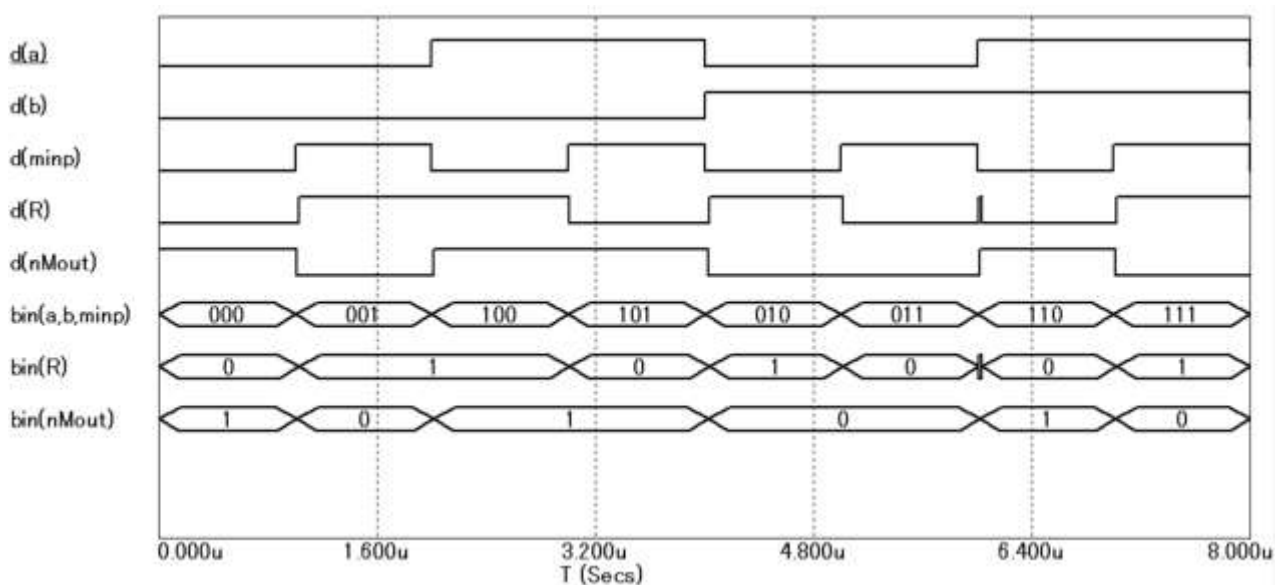
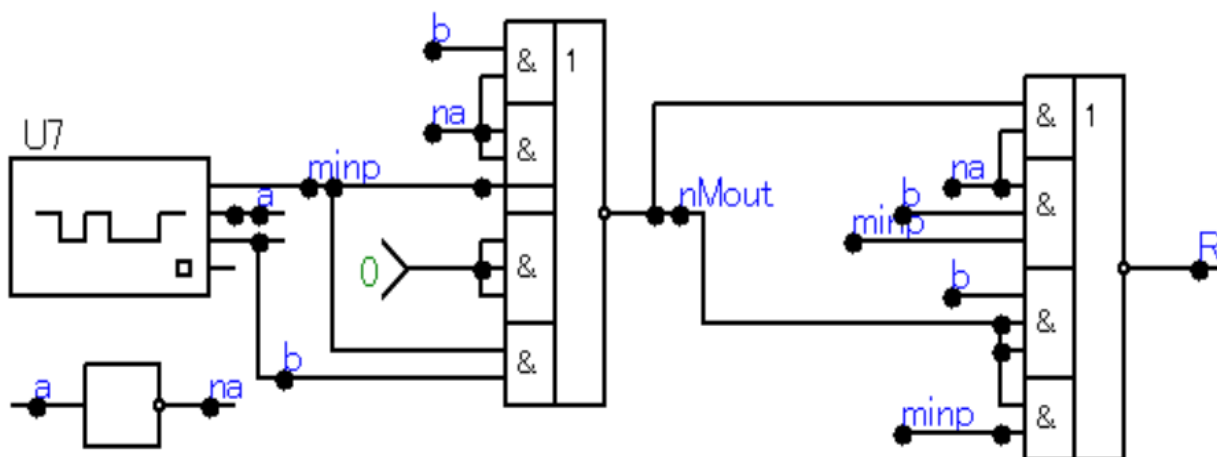


Рисунок 1.69 – Схема моделювання і часові діаграми розширеного мінімального віднімача з інверсією вихідної позики ( $m \rightarrow \bar{M}$ )

Для визначення максимального часу розповсюдження сигналу позики віднімача прийняті значення зменшуваного  $A = 0000$  і від’ємника  $B = 0001$ , при яких позика розповсюджується через всі розряди віднімача. На відповідній часовій діаграмі (рис. 1.75) можна спостерігати поступове формування коректних кодів різниці і позики по мірі спрацьовування логічних елементів віднімача.

З часової діаграми випливає, що значення часу розповсюдження позики (часовий зсув між моментом подачі вхідних даних і моментом формування коректного стану вихідної позики зі старшого розряду) при виконанні операції  $A - B = 0000 - 0001$  складає у віднімачі 78,5 нс (на рис. 1.75 відзначено виносками).

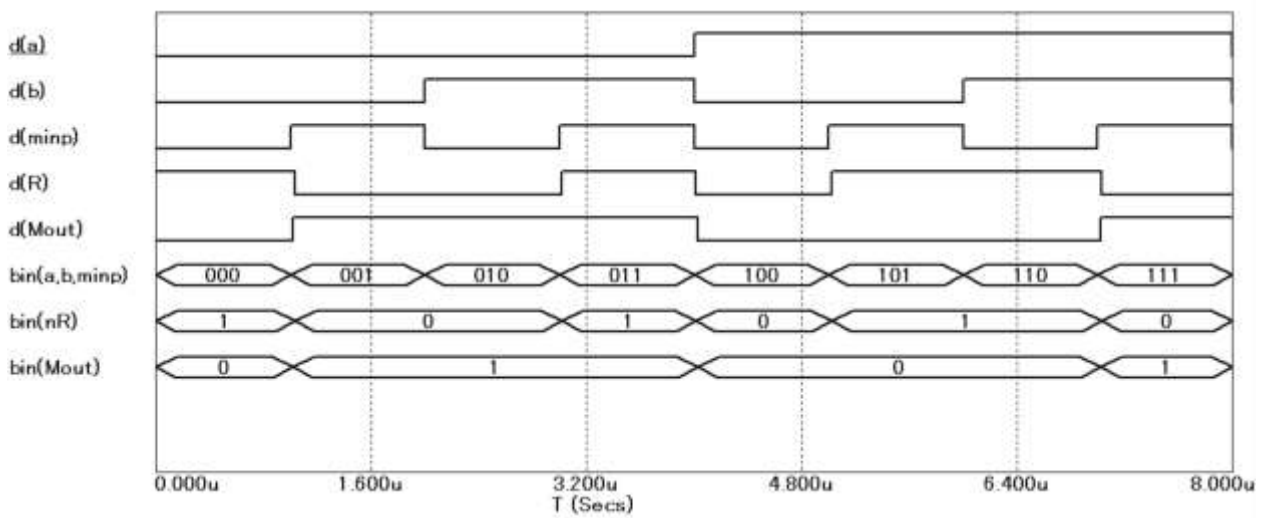
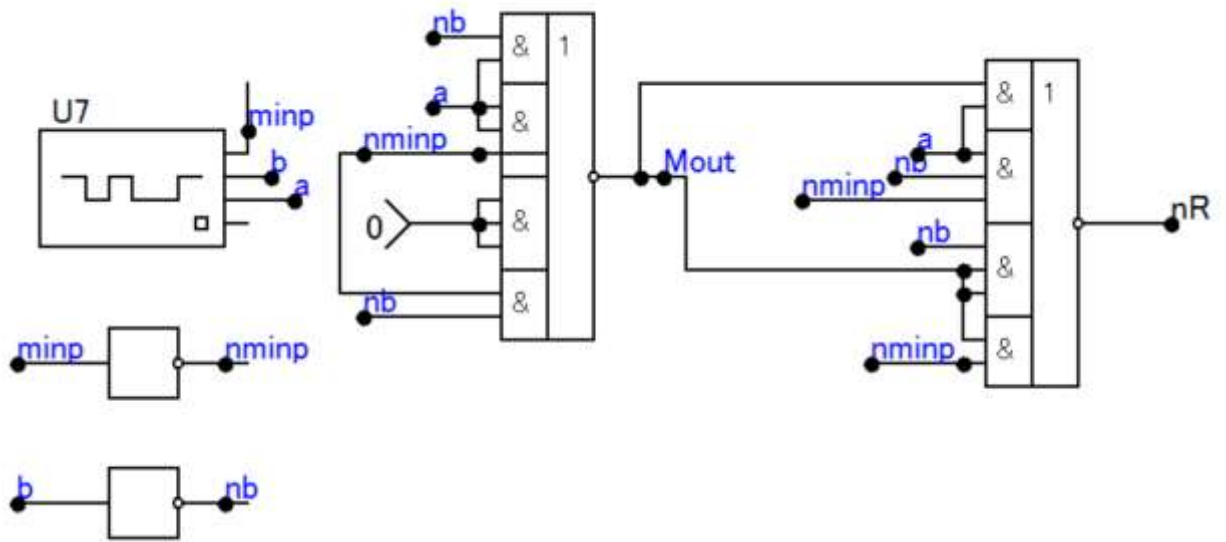


Рисунок 1.70 – Схема моделювання і часові діаграми розширеного мінімального віднімача з інверсією вихідної позики ( $\overline{m} \rightarrow M$ )

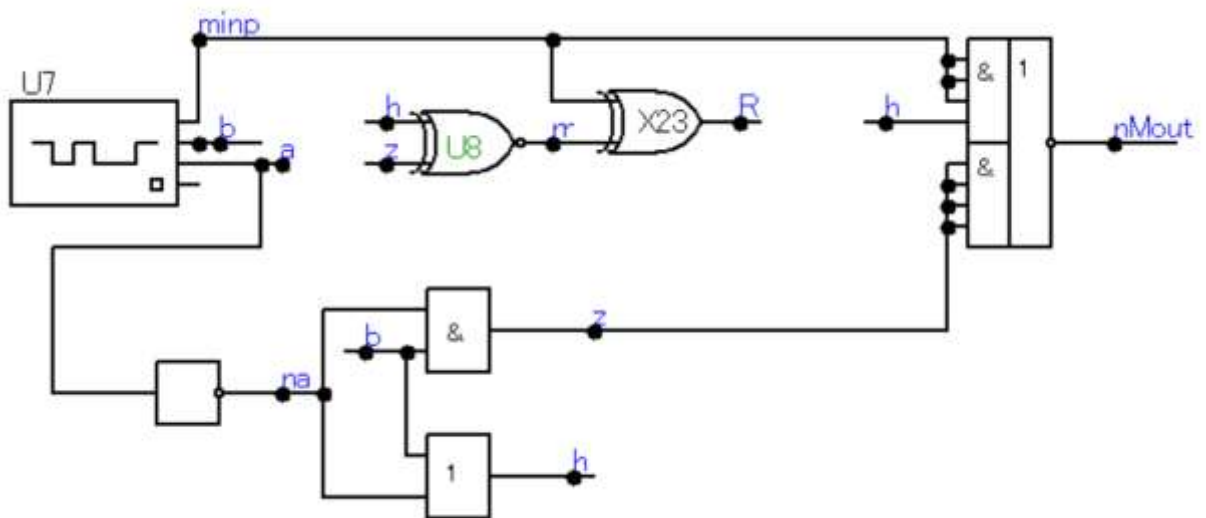


Рисунок 1.71 – Схема моделювання композиційного мінімального віднімача ( $m \rightarrow \overline{M}$ ) на основі підготовчих функцій

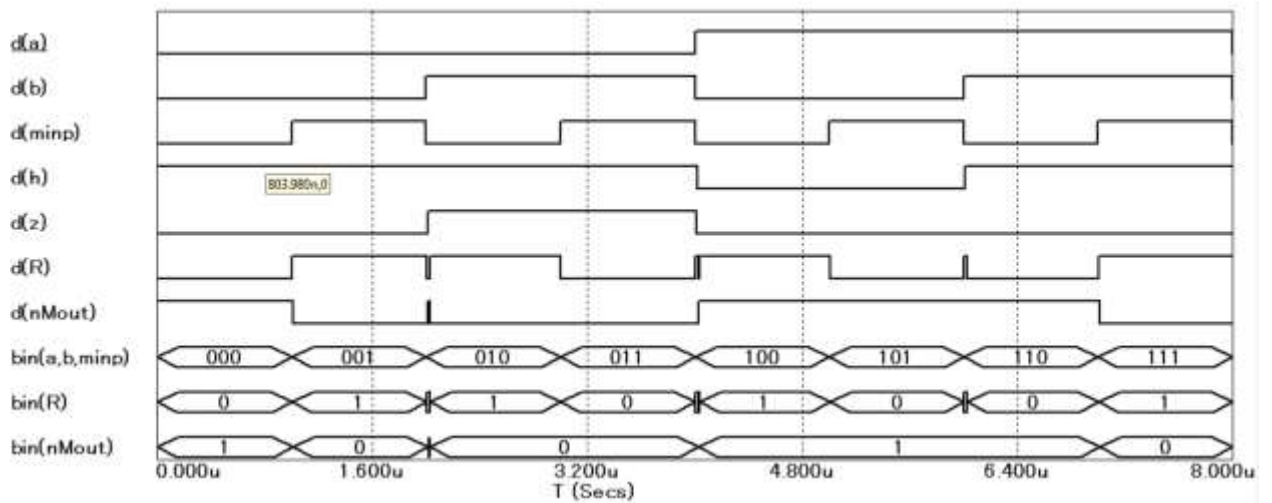


Рисунок 1.72 – Часові діаграми композиційного мінімального віднімача ( $m \rightarrow \bar{M}$ ) на основі підготовчих функцій (рис. 1.71)

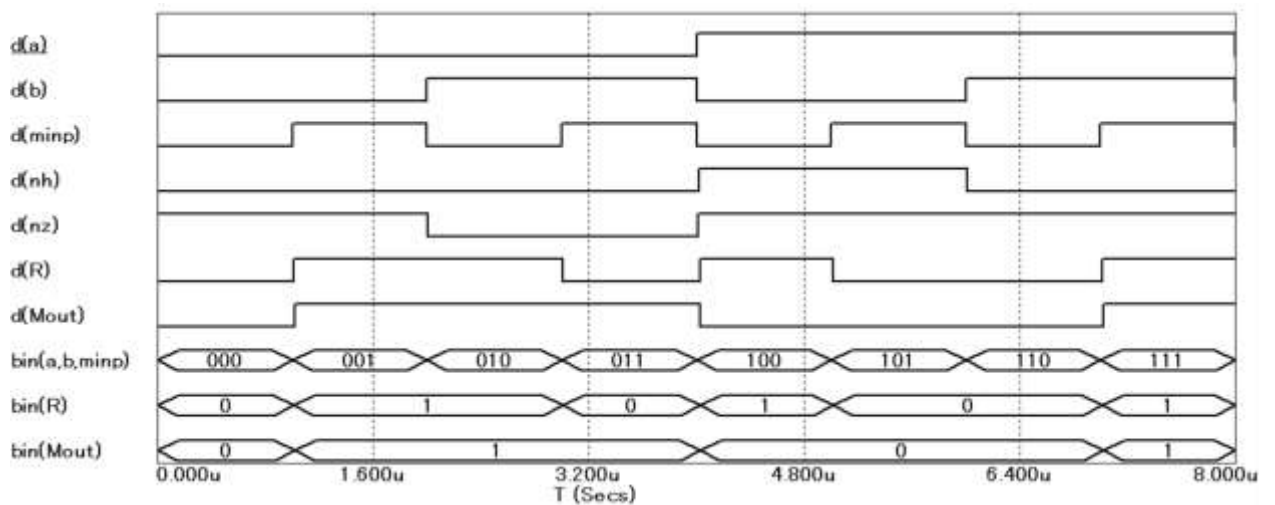
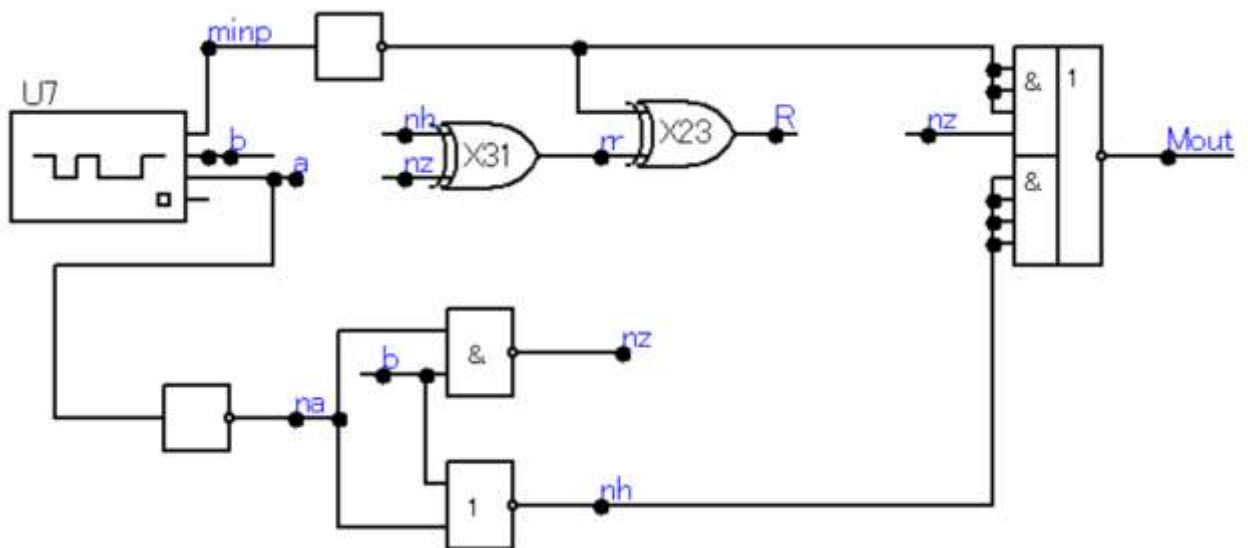


Рисунок 1.73 – Схема моделювання і часові діаграми мінімального віднімача ( $\bar{m} \rightarrow M$ ) з використанням підготовчих функцій

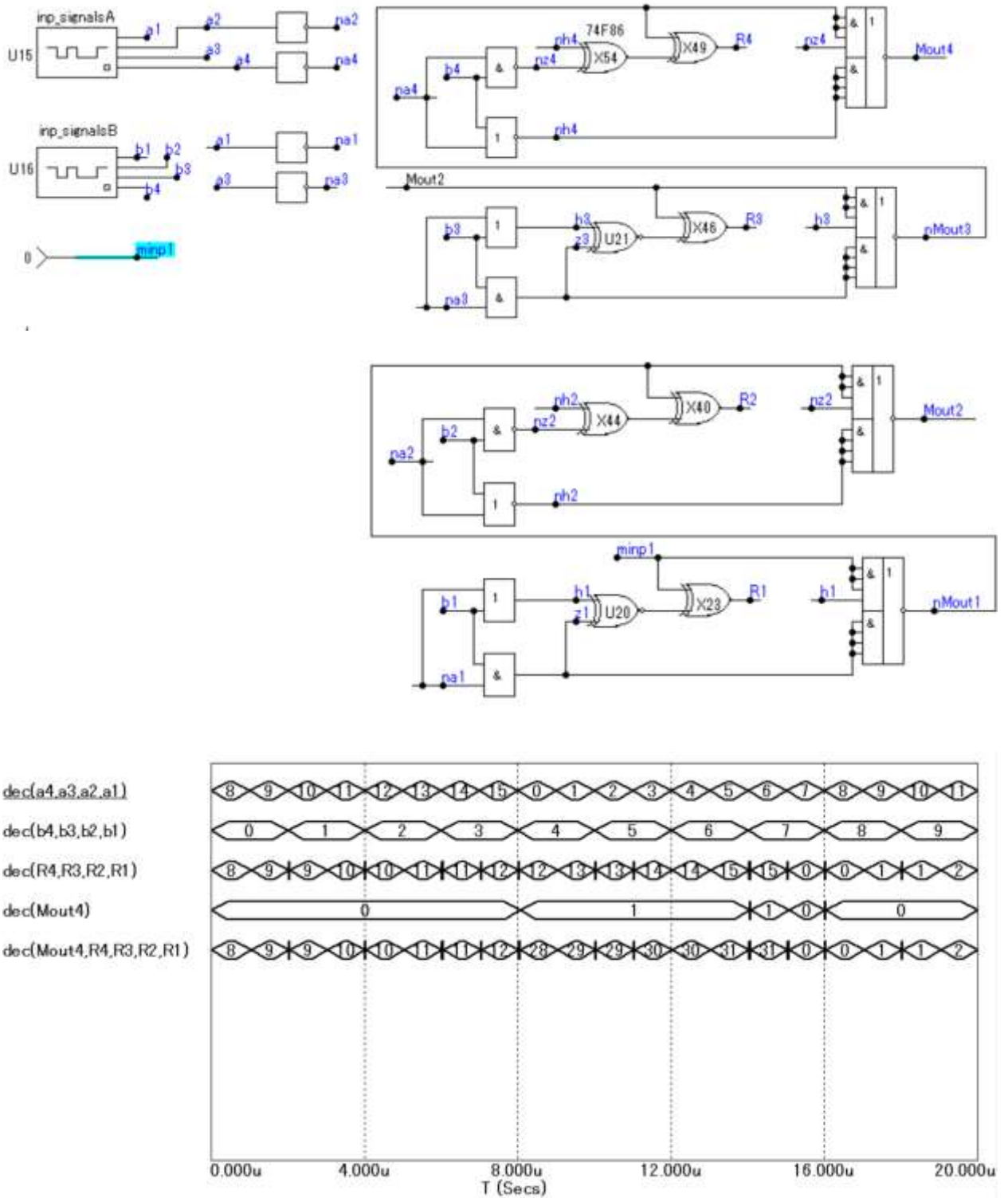


Рисунок 1.74 – Схема моделювання і часові діаграми чотирирозрядного віднімача на основі структури з черезрозрядною інверсією сигналів позики в сусідніх розрядах

Способи дослідження багаторозрядних пристроїв підвищеної швидкодії розглянуто на прикладі суматорів невід’ємних чисел.

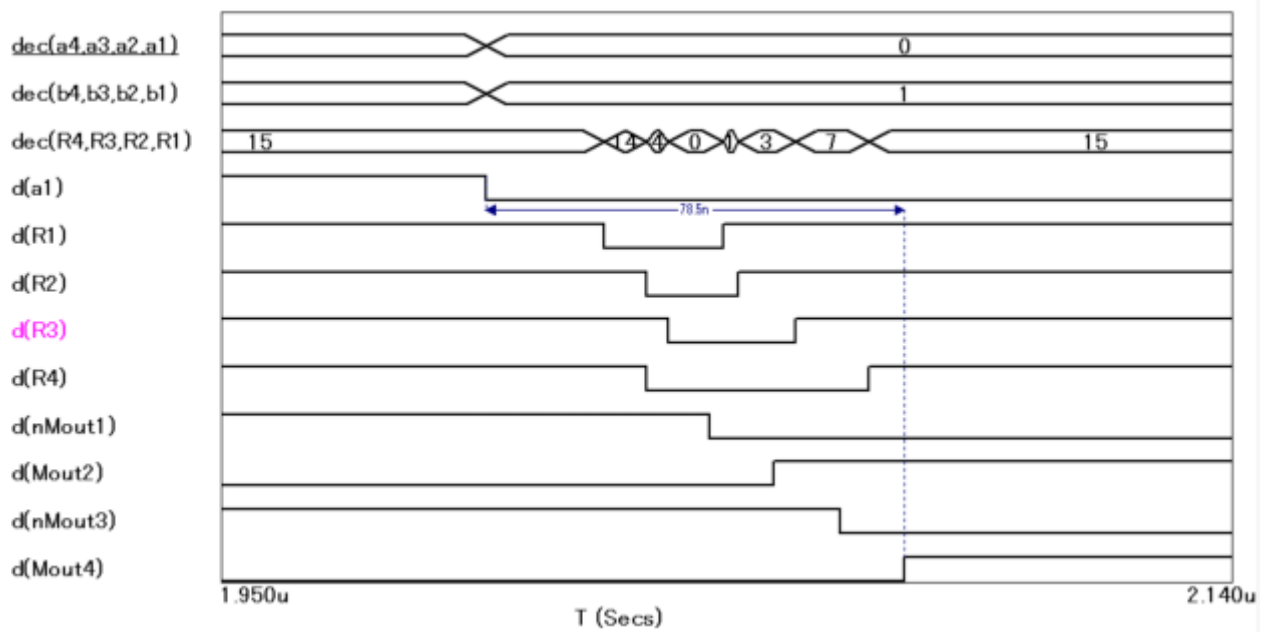


Рисунок 1.75 – Часова діаграма формування сигналу позики в чотирирозрядній схемі віднімача (рис. 1.74)

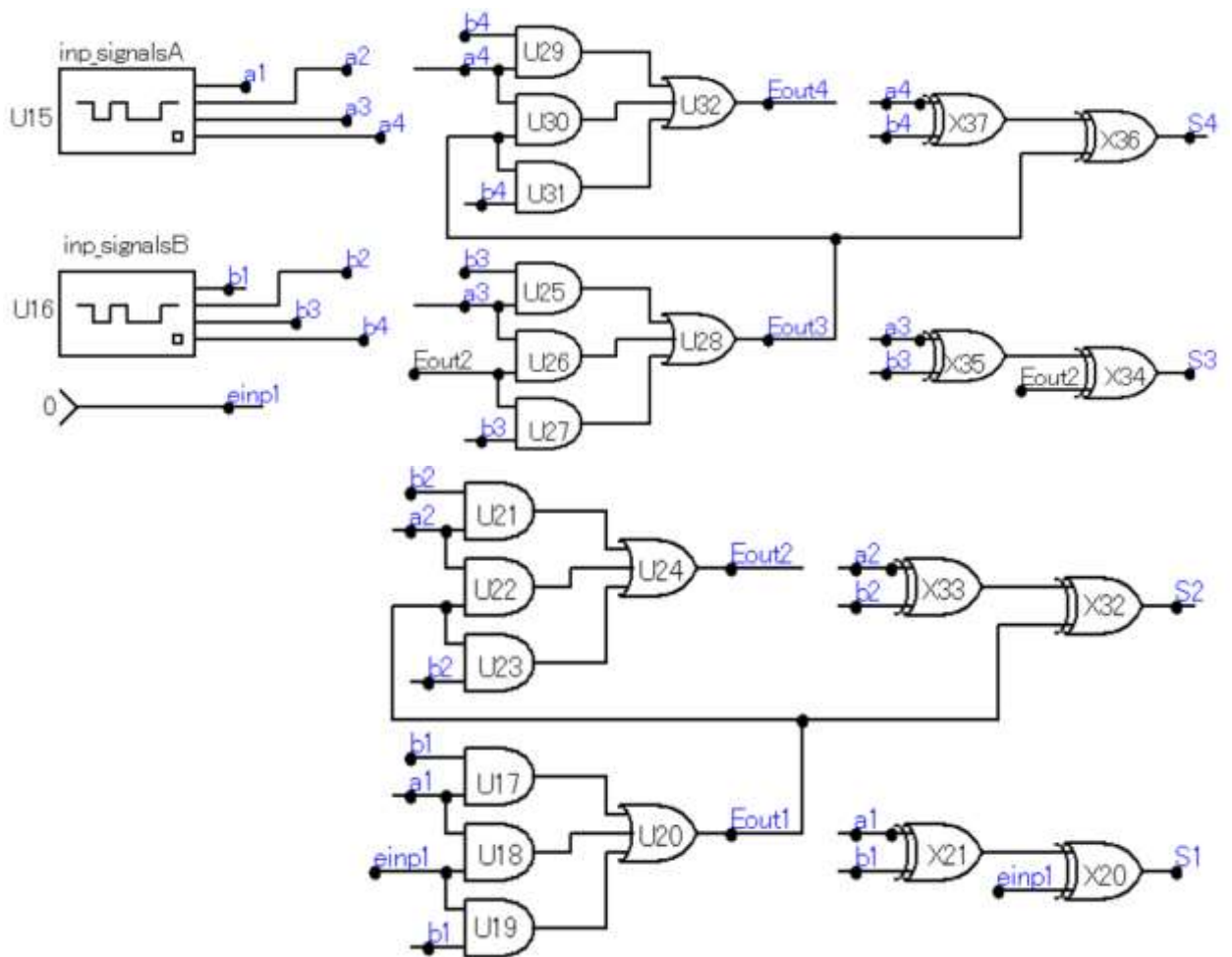


Рисунок 1.76 – Схема моделювання динаміки чотирирозрядного суматора з послідовним трактом розповсюдження переносу



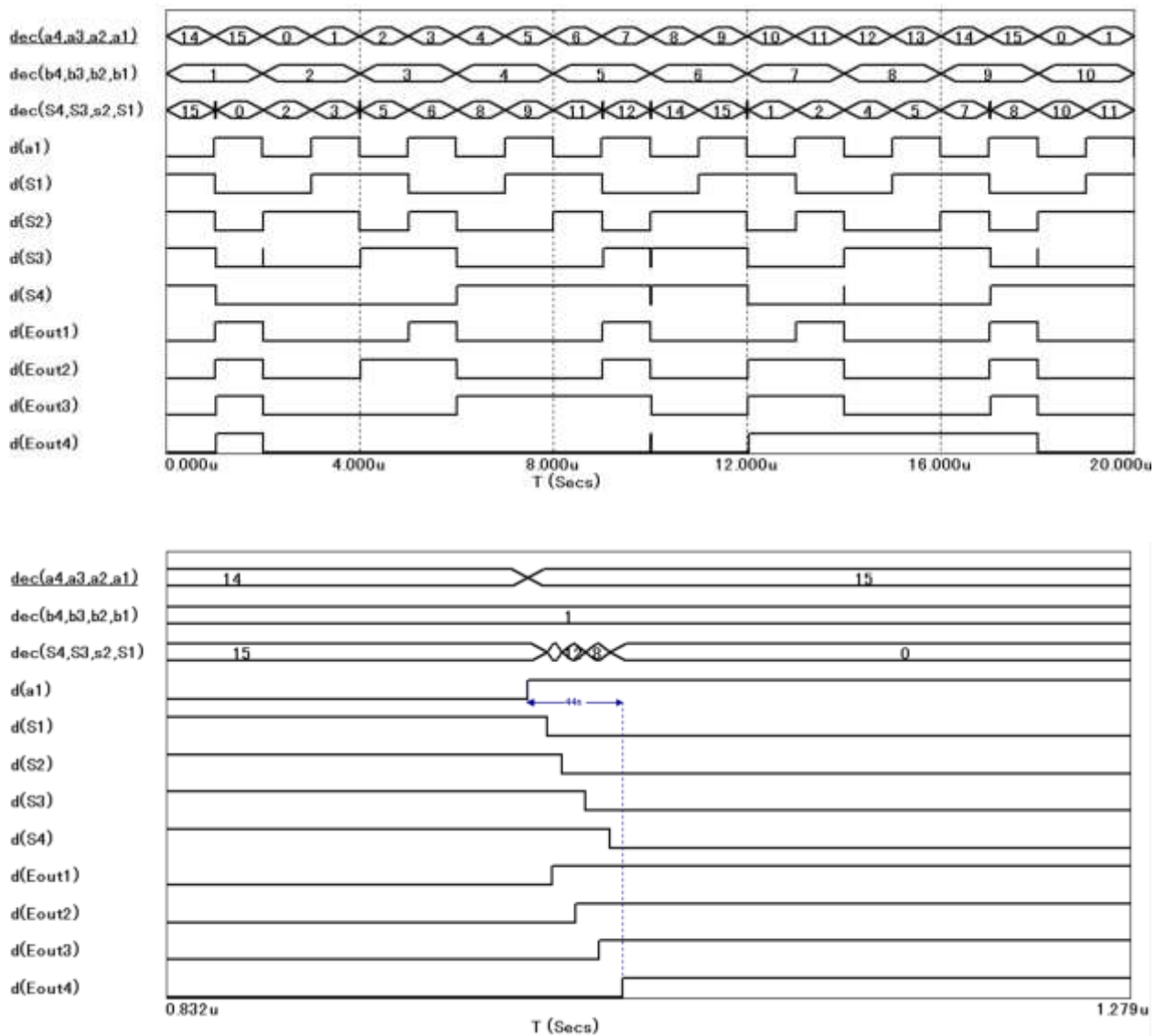


Рисунок 1.77 – Результати моделювання динаміки чотирирозрядного суматора з послідовним переносом (рис. 1.76)

Для відносної оцінки схем підвищеної швидкодії використаємо модель суматора з послідовним розповсюдженням переносу (рис. 1.76), побудованого згідно з рисунками 1.38 і 1.39.

При цьому в схемі суматора на рис. 1.39 використовуються логічні елементи І-АБО, які відсутні в складі інтегральних схем ТТЛ и, отже, в складі бібліотеки логічних елементів системи моделювання. Таким чином, в моделі суматора замість елементів І-АБО використовуються окремі логічні елементи І та АБО з бібліотеки елементів середовища MicroCap. Зазначимо, що штатне значення затримки елемента І-АБО в моделі суматора відображається нульовими затримками сигналів в елементах І та штатними затримками сигналів в елементах АБО.

Результати моделювання операції додавання чисел в чотирирозрядному суматорі з послідовним трактом розповсюдження переносу (рис.1.76) представлені на рис.1.77.

Для визначення максимального часу розповсюдження переносу в цьому суматорі використовуються доданки  $A=1111$  і  $B=0001$ , при яких перенос розповсюджується через всі розряди суматора. З часової діаграми додавання цих чисел випливає, що час затримки розповсюдження переносу в суматорі на рис. 1.76 складає 44 нс (рис. 1.77).

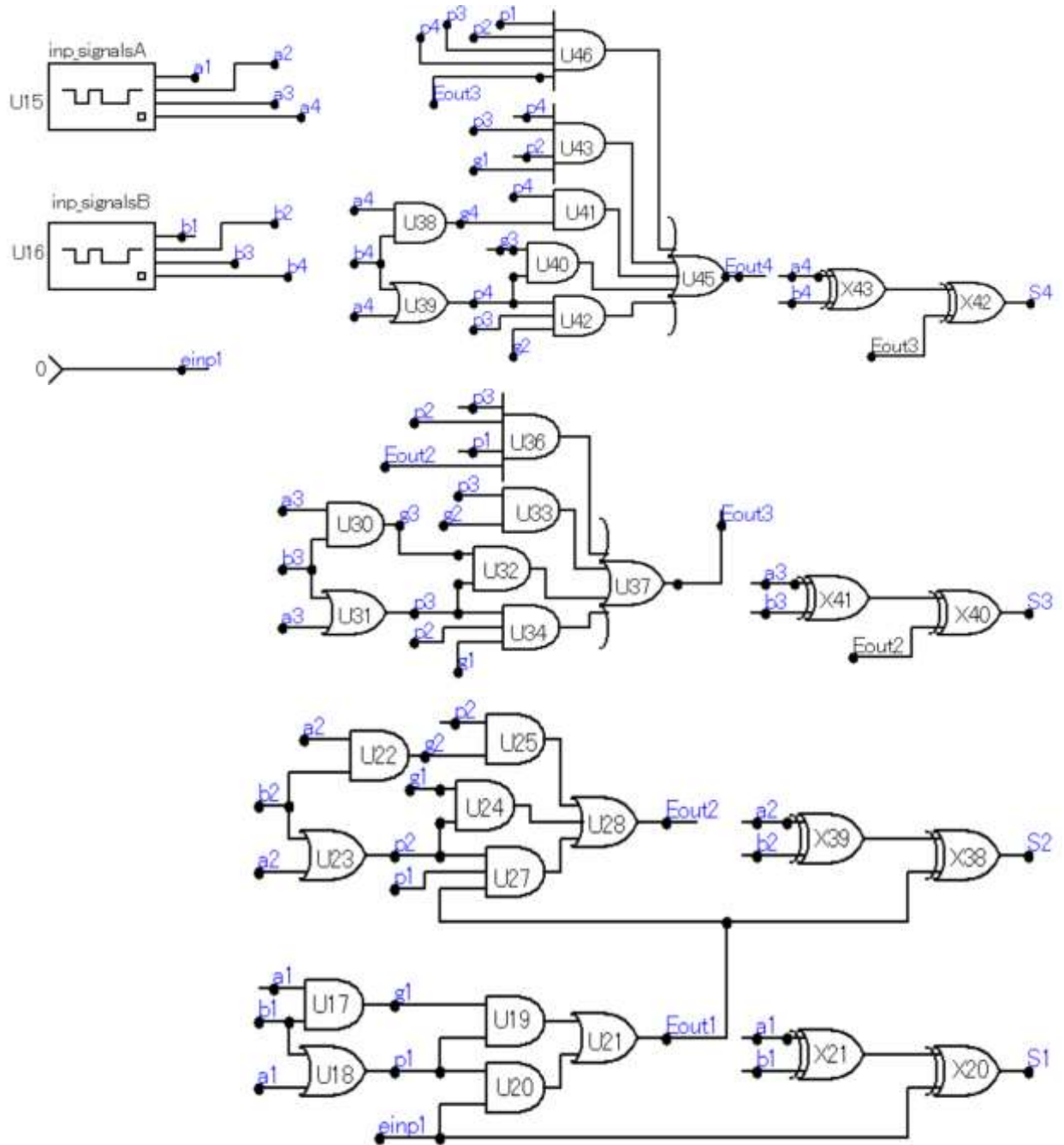


Рисунок 1.78 –Схема моделювання чотирирозрядного суматора з паралельним трактом розповсюдження переносу



Схема моделювання чотирирозрядного суматора з паралельним трактом розповсюдження переносу між розрядами відповідно до рис. 1.40,а і 1.40,б наведена на рис. 1.78. При цьому для порівняння часу розповсюдження переносу в схемі суматорів з послідовним (рис. 1.76) і паралельним (рис. 1.78) переносом використовуються однакові елементи: логічні елементи І з нульовою затримкою сигналів та логічні елементи АБО з номінальними затримками елементів ТТЛ.

Результати моделювання операції додавання чисел в чотирирозрядному суматорі з паралельним трактом розповсюдження переносу представлені на рис. 1.79.

При визначенні максимального часу розповсюдження переносу в суматорі використовуються доданки  $A = 1111$  та  $B = 0001$ , при яких перенос розповсюджується через всі розряди.

З часової діаграми випливає, що час формування переносу при розповсюдженні його через всі розряди пристрою складає 22 нс (рис. 1.80), тобто спостерігається прискорення формування розповсюдження переносу за рахунок організації в суматорі тракту паралельного переносу.

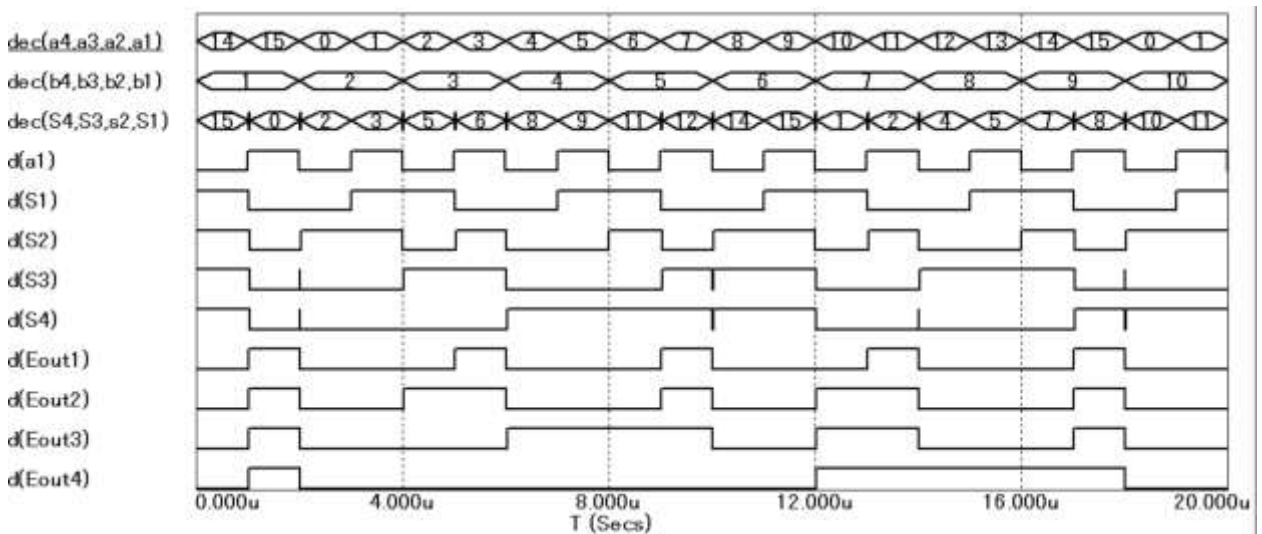


Рисунок 1.79 – Результати моделювання динаміки операції додавання чисел в чотирирозрядному суматорі з паралельним переносом (рис. 1.78)

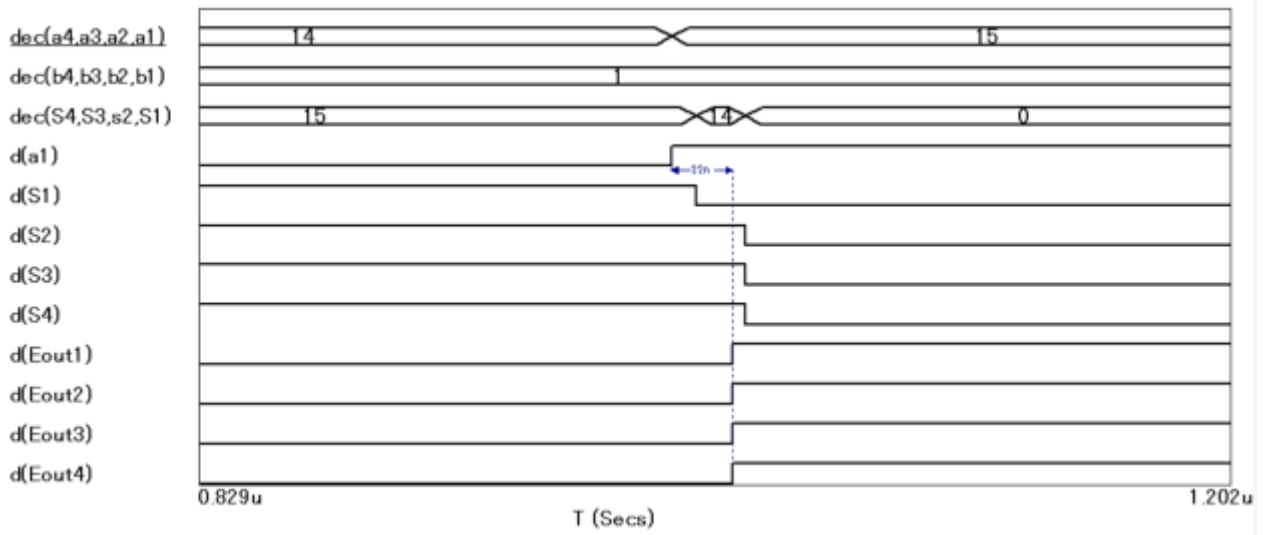


Рисунок 1.80 – Часова діаграма динаміки розповсюдження переносу в суматорі з паралельним переносом (рис. 1.78)

## **РОЗДІЛ 2. АЛГОРИТМИ ФУНКЦІОНУВАННЯ, СХЕМОТЕХНІКА І ЗАСТОСУВАННЯ ІНТЕГРАЛЬНИХ СХЕМ СУМАТОРІВ ТА АРИФМЕТИКО-ЛОГІЧНИХ ПРИСТРОЇВ**

На сучасному рівні розвитку засобів цифрової техніки найважливіше значення набуває проблема аналізу логіки, алгоритмів функціонування та зовнішнього інтерфейсу складних інтегральних схем з метою раціонального і коректного використання їх широких можливостей при розробці цифрових приладів та окремих вузлів обчислювальної техніки.

Інтегральні схеми арифметичних пристроїв є однією з найважливіших складових частин практично всіх приладів та вузлів цифрової техніки і являють собою в алгоритмічному та функціональному відношенні найбільш складними пристроями і вузлами великих інтегральних схем (ВІС) з програмованою логікою. В зв'язку з цим аналіз алгоритмів, функціональних, структурних схем і принципів використання арифметичних пристроїв в інтегральному виконанні займають важливе місце при підготовці фахівців з комп'ютерної інженерії.

В даному розділі з найрізноманітніших арифметичних суматорів в інтегральному виконанні розглядаються конкретні особливості виконання і застосування арифметичних операцій з використанням найбільш поширених інтегральних схем повних комбінаційних суматорів: однорозрядного К155ИМ1 ( SN7480 ), дворозрядного К155ИМ2 ( SN7482 ) і чотирирозрядного К155ИМ3 ( SN7483 ).

Особливості настроювання програмованих арифметико-логічних пристроїв в інтегральному виконанні та методи побудови надпаралельних арифметичних пристроїв розглянуті на прикладі застосування в приладах обчислювальної техніки інтегральних мікросхем К155ИП3 ( SN74181 ) і К155ИП4 ( SN74182 ).

### **2.1. Алгоритми функціонування, схемотехніка і застосування мікросхем К155ИМ1 (SN7480)**

Інтегральна схема К155ИМ1 ( SN7480 ) ( далі по тексту позначається, як ИМ1 ), являє собою повний багатоканальний однобітний двійковий комбінаційний суматор ( рис. 2.1 ), який застосовується для побудови пристроїв підсумовування-віднімання з паралельною або послідовною

обробкою вхідних операндів і послідовним пересиланням ознаки переносу в старші розряди суматора.

При використанні зазначеної мікросхеми ИМ1, враховуючи уніфіковані ідентифікатори розробника мікросхеми ИМ1, першим операндом визначимо вхід  $a$ , другим операндом – вхід  $b$  суматора. Поточні значення ознаки вхідного переносу мікросхеми ИМ1 визначимо як  $e$ .

Для кожної комбінації вхідних булевих операндів  $a$ ,  $b$ ,  $e$  на виходах інтегральної схеми ИМ1 формується результат у вигляді значень суми в парафазному коді, тобто формується пряме ( $S$ ) та інверсне ( $\bar{S}$ ) значення суми, та інверсного значення ознаки вихідного переносу в наступний розряд  $\bar{E}$  (рис. 2.1), активному стану якого відповідає низький рівень електричної напруги ( $L$ ).

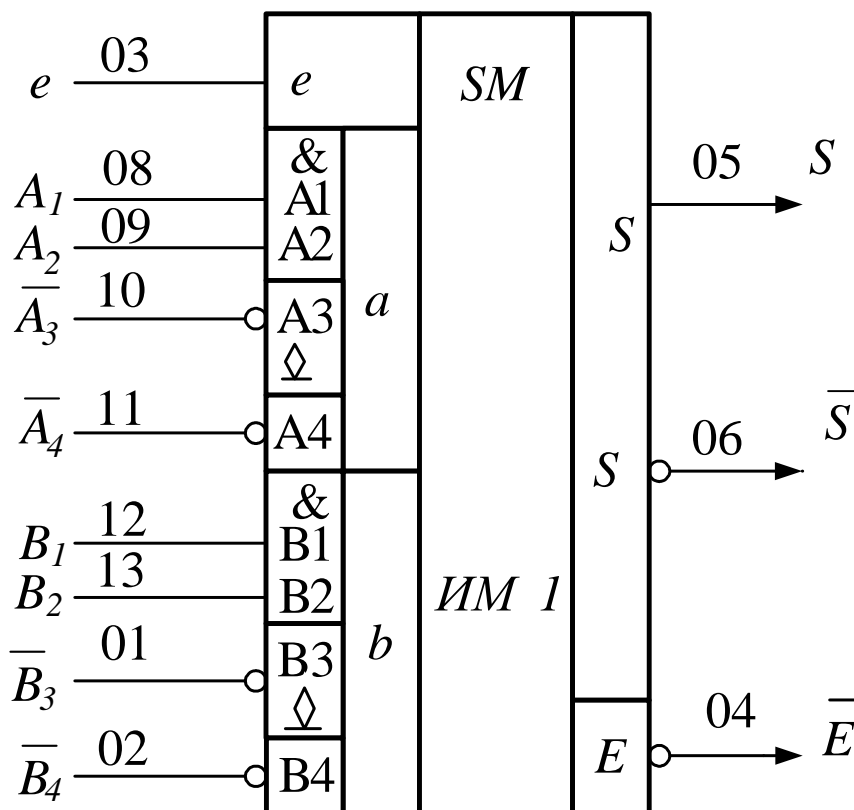


Рисунок 2.1 – Умовне графічне позначення однорозрядного багатоканального суматора К155ИМ1

На рис. 2.1 використовуються такі позначення виводів суматора;

$e$ ,  $a$ ,  $b$  – відповідно ознака вхідного переносу ( $e$ ), значення першого ( $a$ ) та другого ( $b$ ) доданків суматора;

$S$  ( $\bar{S}$ ),  $\bar{E}$  – відповідно сума та ознака інверсного вихідного переносу суматора;

$A1, A2, \overline{A3}, \overline{A4}, B1, B2, \overline{B3}, \overline{B4}$  – виводи вхідних комутаторів  $A$  і  $B$  мікросхеми ИМ1 для формування відповідно значення першого ( $a$ ) та другого ( $b$ ) операндів суматора;

$\overline{A3}, \overline{B3}$  – вхідні виводи комутаторів  $A$  і  $B$  мікросхеми ИМ1 для організації багатоканального суматора з використанням монтажною логіки.

З функціональної точки зору операція двійкового підсумовування інформаційних двозначних булевих сигналів  $a, b$  та  $e$  в інтегральній схемі ИМ1 виконується за допомогою звичайного однорозрядного суматора  $SM(a, b, e)$ , схема якого приведена на рис.2.2. Суматор побудований за мінімальною системою логічних виразів [ 1 ]:

$$\overline{S(a,b,e)} = \overline{a\overline{E} + b\overline{E} + e\overline{E} + abe}, \quad (2.1)$$

$$\overline{E(a,b,e)} = \overline{ab + ae + be}, \quad (2.2)$$

$$S(a,b,e) = \overline{\overline{S(a,b,e)}}. \quad (2.3)$$

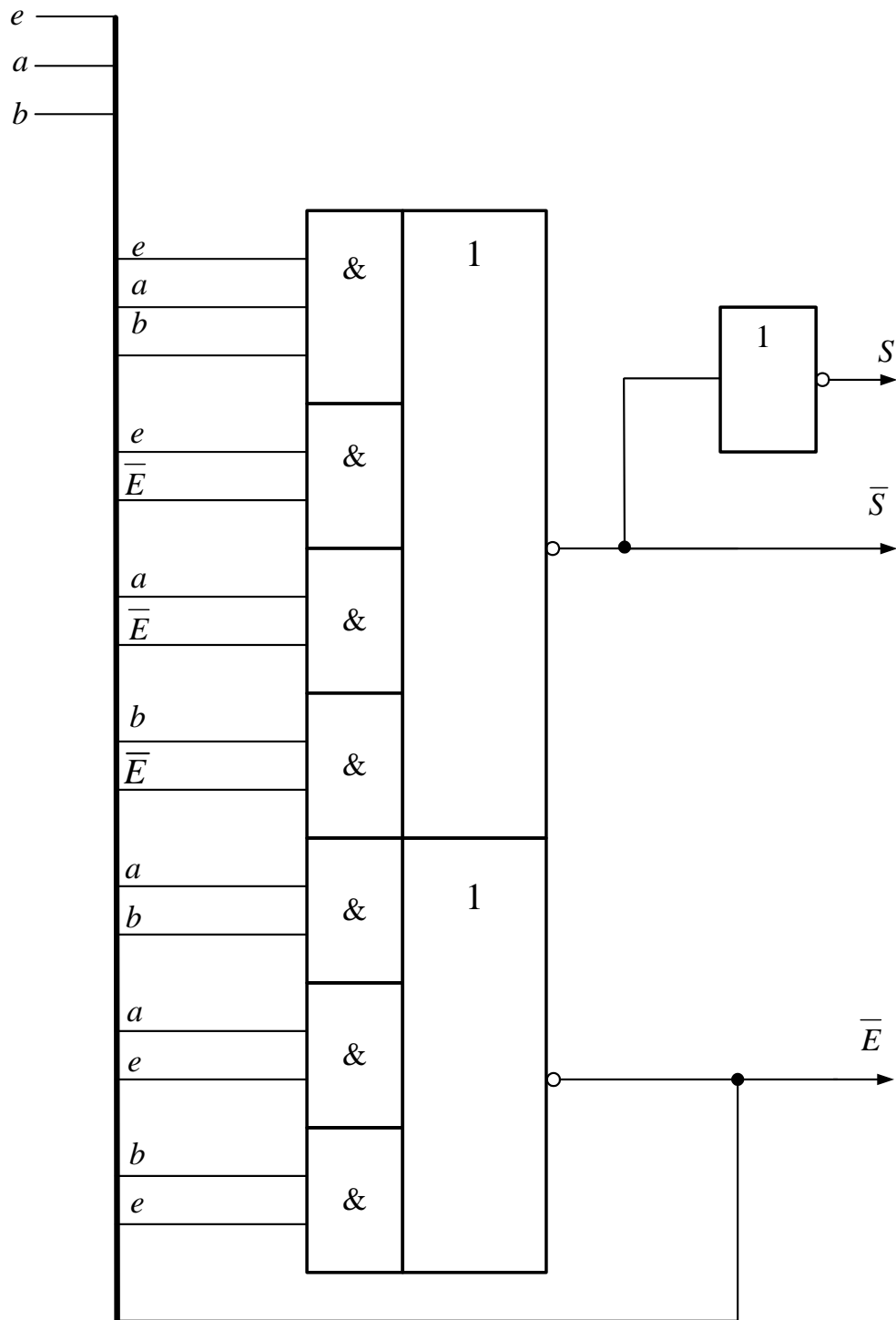


Рисунок 2.2 – Логічна схема суматора  $S(a,b,e)$  мікросхеми ИМ1

Функціональна схема суматора ИМ1 з врахуванням вхідних кіл представлена на рис. 2.3. Вхідні логічні елементи (1 - 6) мікросхеми утворюють комутатор  $A$ , який реалізований на базі елементів 1, 2, 3, і комутатор  $B$  – на базі елементів 4, 5, 6 відповідно на входах  $a$  і  $b$  двійкового суматора  $SM(a, b, e)$ . В залежності від способу застосування інтегральної схеми ИМ1 в кожному поточному режимі комутатори в загальному випадку

формують інформаційні вхідні сигнали  $a$  ( або  $b$  ) суматора  $SM(a, b, e)$  з трьох вхідних напрямків:  $A12$  ( $B12$ ),  $\overline{A3}$  ( $\overline{B3}$ ),  $\overline{A4}$  ( $\overline{B4}$ ).

Для побудови однорозрядного двійкового суматора без застосування зовнішніх додаткових інтегральних схем використовуються канали  $A12$ ,  $B12$ , або  $\overline{A4}$ ,  $\overline{B4}$  комутаторів.

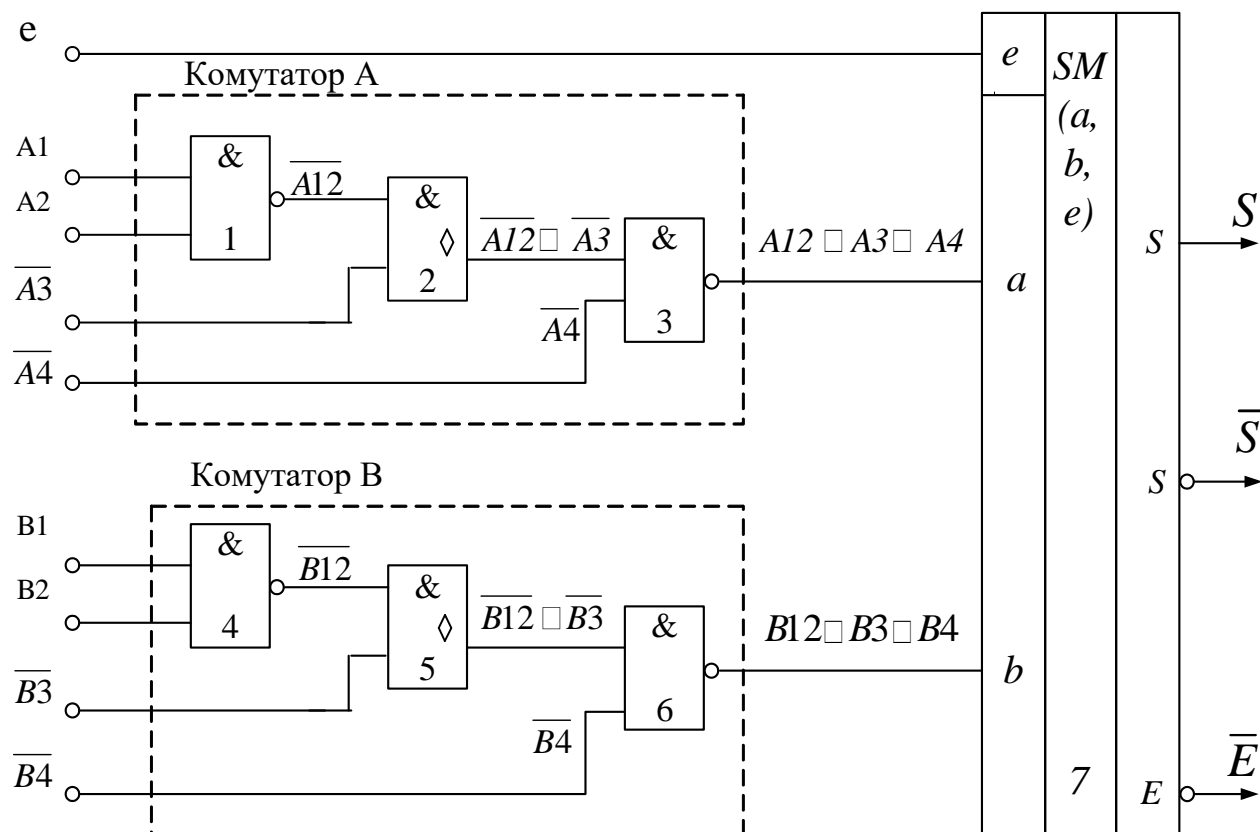


Рисунок 2.3 – Функціональна схема вхідних кіл комутаторів А ( елементи 1, 2, 3) та В (елементи 4, 5, 6) мікросхеми ІМ1

На рис. 2.3 логічні елементи 1 і 4 (І-НІ) є елементами з відкритим колектором відповідно комутаторів А і В. Об'єднання виходів елементів з відкритим колектором в один вузол використовується для організації монтажною логіки. Логічні елементи 2 і 5 є псевдоелементами монтажною логіки. Ці псевдоелементи реалізують в схемі монтажний логічний елемент І відповідно в комутаторах А і В. На виходах логічних елементів 3 і 6 формуються інформаційні сигнали на входах елементів, які безпосередньо реалізують функції суми і переносу суматора. З рис. 2.3 випливає, що на виходах комутаторів суматора формуються сигнали  $A12 \vee A3 \vee A4$  та  $B12 \vee B3 \vee B4$ .

На рис. 2.4 приведена логічна схема підсумовування вмісту  $k$ -того розряду, в якості яких, наприклад, можуть бути використані стани відповідних виходів регістрів  $P1$  і  $P2$ , та прямого значення вхідного переносу  $e_k$  в цей

розряд. Для організації підсумовування використовуються виводи комутаторів  $\overline{A4}$  та  $\overline{B4}$ .

Інверсні значення  $k$ -того розряду регістрів  $P1$  ( $P1-\bar{k}$ ) та  $P2$  ( $P2-\bar{k}$ ) в цьому випадку приєднуються відповідно до виводів  $\overline{A4}$  та  $\overline{B4}$ .

Очевидно, що при цьому інверсні значення  $k$ -того розряду регістрів  $P1$  та  $P2$  ( $P1-\bar{k}$  та  $P2-\bar{k}$ ) за допомогою елементів 3 і 6 (рис. 2.4, 2.5) формують вхідні доданки  $a$  і  $b$  двійкового суматора  $SM(a, b, e)$  ИМ1 в прямому коді, тобто у вигляді  $P1-k$  та  $P2-k$ .

Решта напрямків подачі вхідних сигналів комутатора  $A$  ( $A12, \overline{A3}$ ) і  $B$  ( $B12, \overline{B3}$ ) в цьому режимі відключаються. Для цього виводи  $A12$  та  $B12$  підключаються до загального виводу – землі (вхідні виводи елементів 1 і 4), а виводи  $\overline{A3}$  та  $\overline{B3}$  внутрішнього монтажного псевдоелемента I (вхідні виводи елементів 2 та 5) залишають вільними (*free input*), тобто не підключеними до джерела вхідних сигналів.

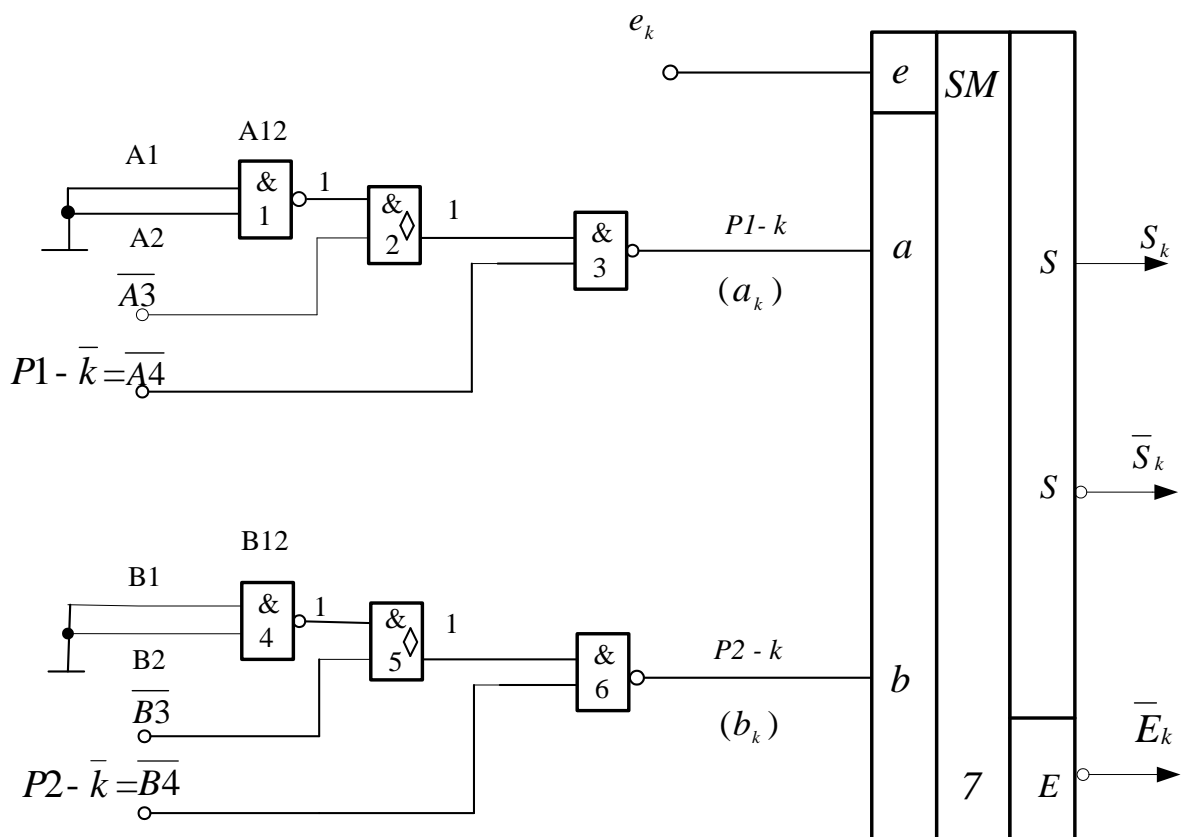


Рисунок 2.4 - Структурна схема мікросхеми ИМ1 ( без використання схем зовнішнього оточення ) для підсумовування  $k$ -тих розрядів регістрів  $P1$  ( $P1-k$ ) і  $P2$  ( $P2-k$ ) з використанням каналів  $\overline{A4}$  та  $\overline{B4}$  комутаторів  $A$  і  $B$

Підсумовування булевих змінних ( $P1-k$ ) і ( $P2-k$ ) виконується згідно з виразом  $[(P1-k) + (P2-k) + e_k] = 2E_k + S_k$ .



Другий типовий спосіб підсумовування вмісту  $k$ -того розряду регістрів  $P1, P2$  і прямого значення вхідного переносу  $e_k$  при побудові однорозрядного суматора без використання додаткових зовнішніх логічних елементів приведено на рис. 2.6, 2.7.

В цьому випадку інверсні інформаційні канали комутаторів  $\overline{A3}$  ( $\overline{B3}$ ) та  $\overline{A4}$  ( $\overline{B4}$ ) ИМ1 не використовуються, тобто вхідні виводи  $\overline{A3}$  ( $\overline{B3}$ ) залишають вільними, а виводи  $\overline{A4}$  ( $\overline{B4}$ ) приєднуються до сигналу високого рівня ( $H$ ), який формується за допомогою елементів І-НІ (логічні елементи 8-9), вхідні виводи яких в свою чергу підключаються до загального виводу.

Вхідні інформаційні булеві сигнали  $a$  і  $b$  суматора  $SM(a, b, e)$  (елемент 7) формуються в цьому випадку за допомогою логічних елементів 1-3 та 4-6 (рис. 2.6, 2.7), які сумісно утворюють необхідне значення зазначених розрядів регістрів  $P1$  і  $P2$  ( $(P1-k)$  та  $(P2-k)$ ) на інформаційних входах суматора  $SM(a, b, e)$ .

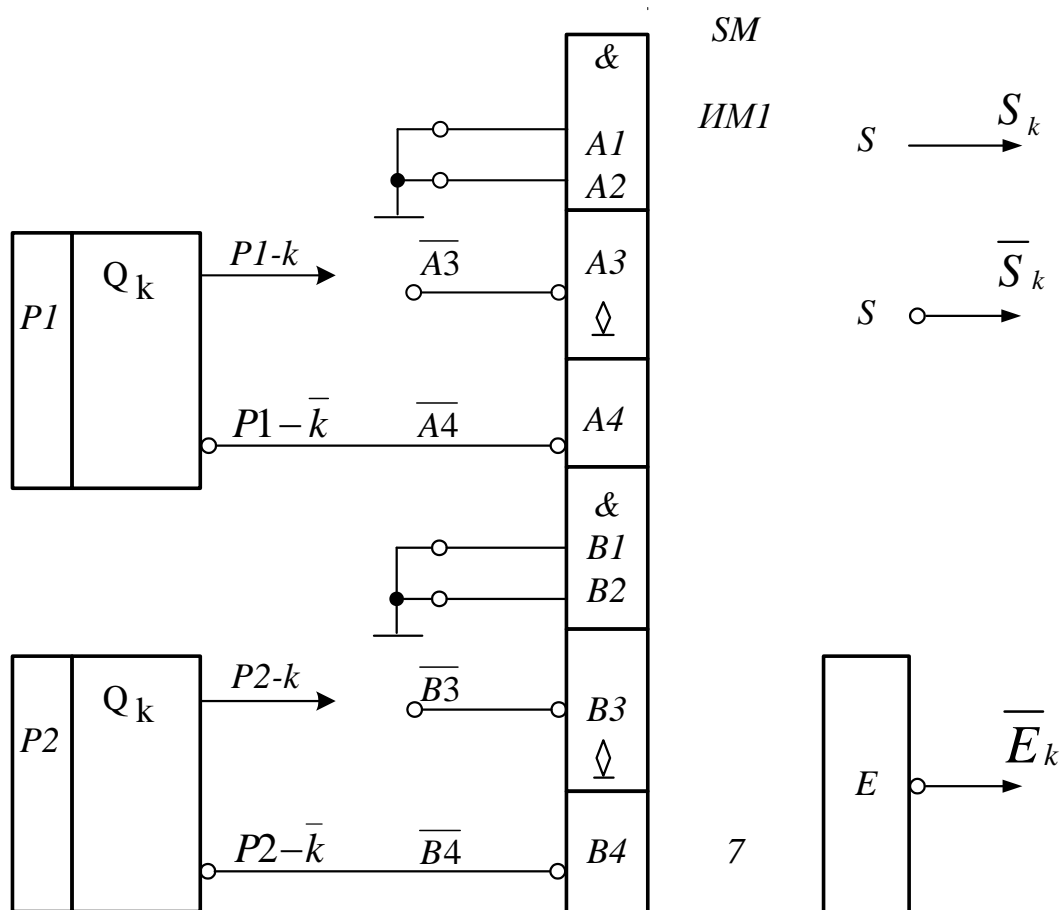


Рисунок 2.5 – Монтажна схема суматора ИМ1 (без використання схем зовнішнього оточення) для організації підсумовування  $k$ -того розряду регістрів  $P1(P1-k)$  і  $P2(P2-k)$  з використанням каналів  $\overline{A4}$  та  $\overline{B4}$  комутаторів  $A$  і  $B$  мікросхеми ИМ1

Структурна та монтажна схеми однорозрядного суматора на основі інтегральної схеми ИМ1 для підсумовування вмісту регістрів  $P1$  і  $P2$  з використанням зовнішніх інтегральних схем і каналів  $\overline{A3}$  та  $\overline{B3}$  наведена на рис. 2.8, 2.9.

Канали  $A12, B12, \overline{A4}$  та  $\overline{B4}$  в цьому випадку не використовуються (вхідні виводи  $A12$  та  $B12$  заземлюються, а виводи  $\overline{A4}$  та  $\overline{B4}$  підключаються до формувача одиниці).

Булеві операнди  $P1-k$  та  $P2-k$  підключаються до входів  $\overline{A3}$  та  $\overline{B3}$  суматора з застосуванням зовнішніх вентилів І-НІ (відповідно логічні елементи 10 та 11), в якості яких обов'язково необхідно використовувати логічні елементи з відкритим колектором.

В цьому випадку значення операндів ( $P1-k$  та  $P2-k$ ) в суматорі узгоджена з полярністю вхідного переносу  $e_k$  за рахунок двох послідовних логічних елементів (2-3 та 5-6), які активізують арифметичну дію підсумування  $k$ -того розряду  $P1$  та  $P2$ .

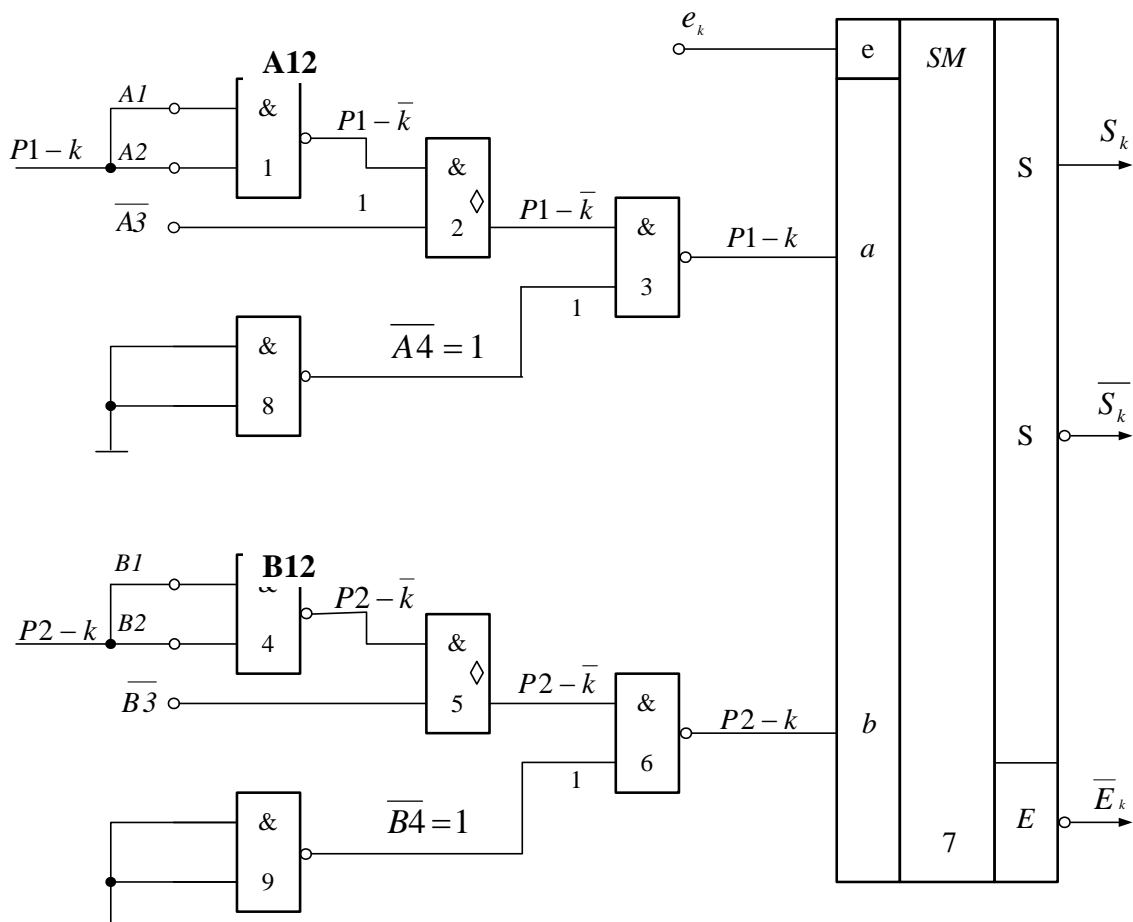


Рисунок 2.6 - Структурна схема (без використання схем зовнішнього оточення) для підсумовування  $k$ -того розряду регістрів  $P1(P1-k)$  і  $P2(P2-k)$  з використанням вхідних каналів  $A12$  і  $B12$  комутаторів  $A$  і  $B$  мікросхеми ИМ1

На рис. 2.10 приведена схема однорозрядного суматора на ,базі мікросхеми ИМ1 без застосування зовнішніх інтегральних схем для підсумовування вмісту регістрів  $P1$  та  $P2$  за допомогою каналів  $A12$  та  $B12$  при надходженні на вивід вхідного переносу інверсного значення ознаки переносу з молодшого розряду ( $\bar{e}_k$ ).

Очевидно, що для узгодження значення вхідного переносу з молодшого розряду і доданків  $P1-k$  та  $P2-k$  в такому суматорі вхідні канали  $A12$  та  $B12$  мікросхеми ИМ1 необхідно підключити до інверсного виводу регістрів  $P1$  та  $P2$ , тобто до  $P1-\bar{k}$  та  $P2-\bar{k}$  (рис. 2.10).

Підсумовування вмісту регістрів  $P1$  і  $P2$  в суматорі (рис.2.10) виконується згідно з виразом

$$2\bar{E}_k + \bar{S}_k = (P1 - \bar{k}) + (P2 - \bar{k}) + \bar{e}_k.$$

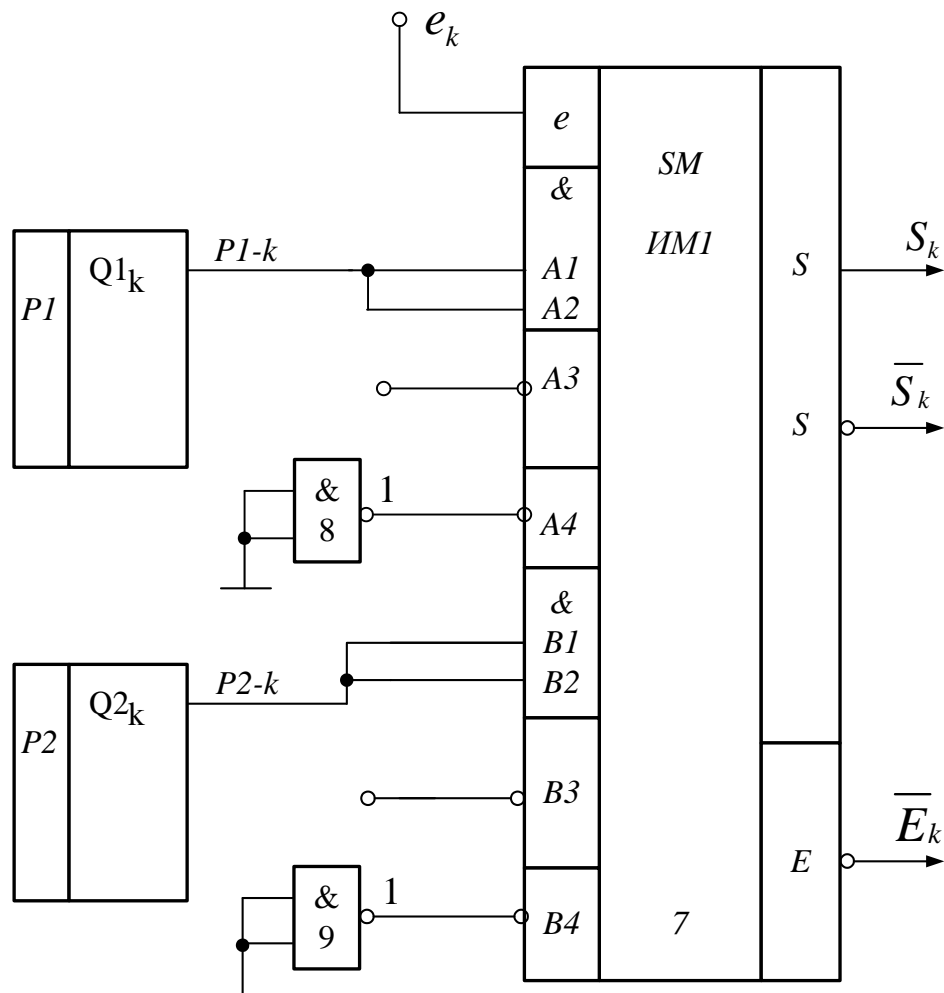


Рисунок 2.7 - Монтажна схема суматора на основі мікросхеми ИМ1 ( без використання схем зовнішнього оточення ) для підсумовування  $k$ -того розряду регістрів  $P1( P1-k )$  і  $P2( P2-k )$  з використанням каналів  $A12$  і  $B12$  комутаторів  $A$  і  $B$  мікросхеми ИМ1

При побудові суматора з використанням каналів  $\overline{A4}$  та  $\overline{B4}$  (рис .2.11 ) узгодження полярності інверсної ознаки вхідного переносу  $\overline{e_k}$  та вхідних доданків  $a$  і  $b$  буде відбуватися за умови подачі на входи  $\overline{A4}$  і  $\overline{B4}$  прямого вмісту значення  $k$ -того розряду регістрів  $P1$  та  $P2$  ( рис. 2.11 ). Далі ці сигнали інвертуються за допомогою логічних елементів 3 і 6, забезпечуючи узгодження вхідних сигналів.

Таким чином, для забезпечення виконання операції підсумовування при надходженні прямого значення ознаки вхідного переносу  $e$  та використанні входів  $\overline{A4}$  і  $\overline{B4}$  необхідно на входи суматора задавати інверсні значення доданків. Якщо ж для додавання використовуються входи  $A1, A2, B1, B2$ , то на входи суматора задаються прямі значення доданків. При використанні входів  $\overline{A3}$  і  $\overline{B3}$  необхідно додатково використовувати елементи з відкритим колектором, на входи яких задаються прямі значення доданків. При цьому при використанні будь-якої групи входів комутатора суматора на виході отримується інверсне значення вихідного переносу  $\overline{E}$ , тобто в суматорі реалізується тракт розповсюдження переносу  $e \rightarrow \overline{E}$ .

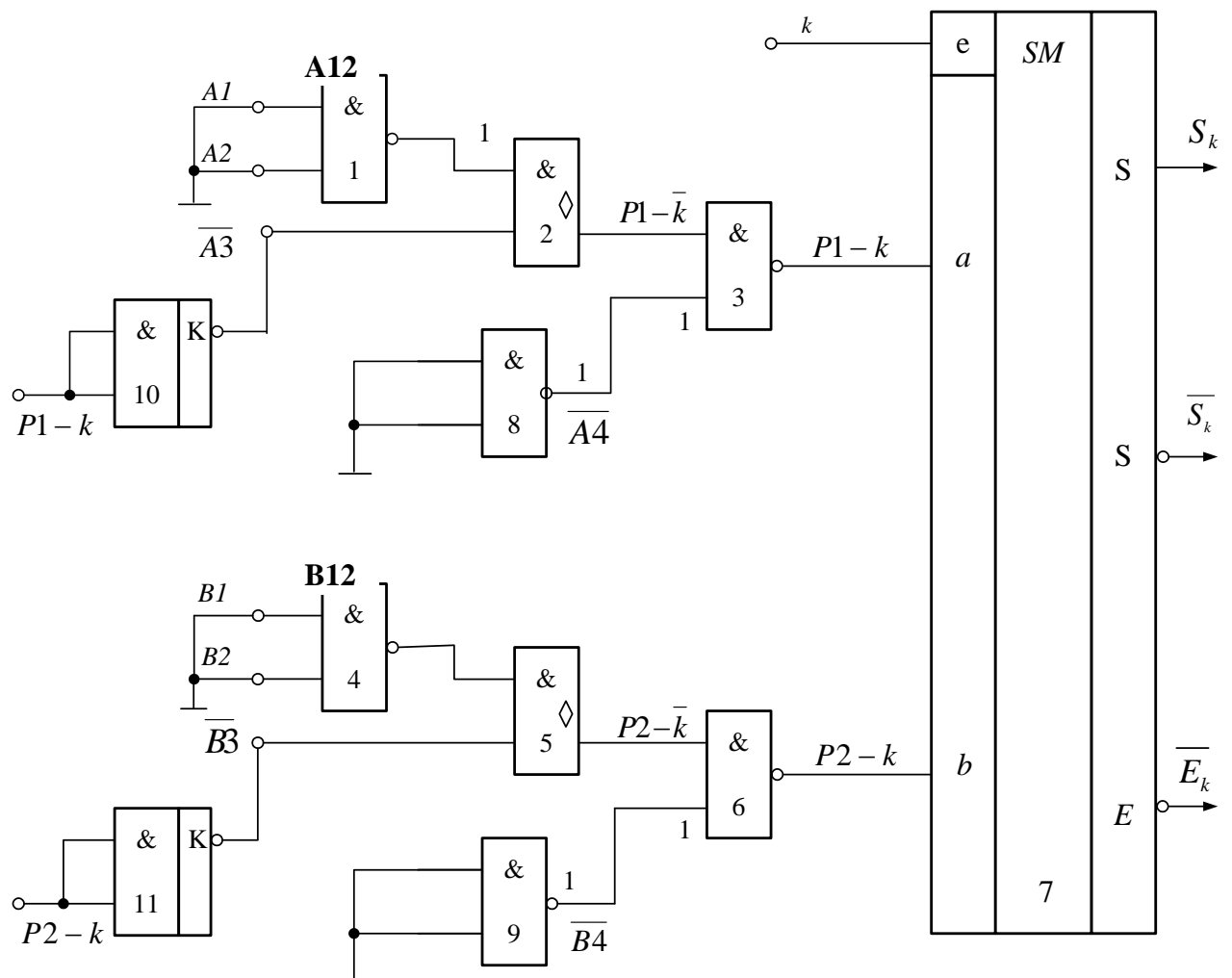


Рисунок 2.8 - Структурна схема однорозрядного суматора на основі мікросхеми ИМ1 з застосуванням схем зовнішнього оточення І-НІ з відкритим колектором для підсумовування  $k$ -того розряду регістрів  $P1( P1-k )$  і  $P2( P2-k )$  та використанням каналів  $\overline{A3}$  і  $\overline{B3}$  мікросхеми ИМ1

Очевидно, що при використанні властивості самоподвійності при інвертуванні вхідних сигналів можна отримати тракт розповсюдження переносу  $\bar{e} \rightarrow E$ , тобто реалізувати черезрозрядну інверсію розповсюдження переносу.

Для побудови багаторозрядних суматорів на базі мікросхеми ИМ1 без застосування додаткових інверторів в колі переносу використовують черезрозрядний поперемінний спосіб побудови каскадного суматора. В парних розрядах такого суматора ( 0, 2, 4, ... ) використовуються прямі вхідні канали  $A12$  та  $B12$  і прямі вихідні значення ознаки суми ( $S$ ), а в непарних розрядах ( 1, 3, 5, ... ) – інверсні вхідні канали  $\overline{A4}$  та  $\overline{B4}$  і інверсні значення ознаки суми ( $\bar{S}$ ).

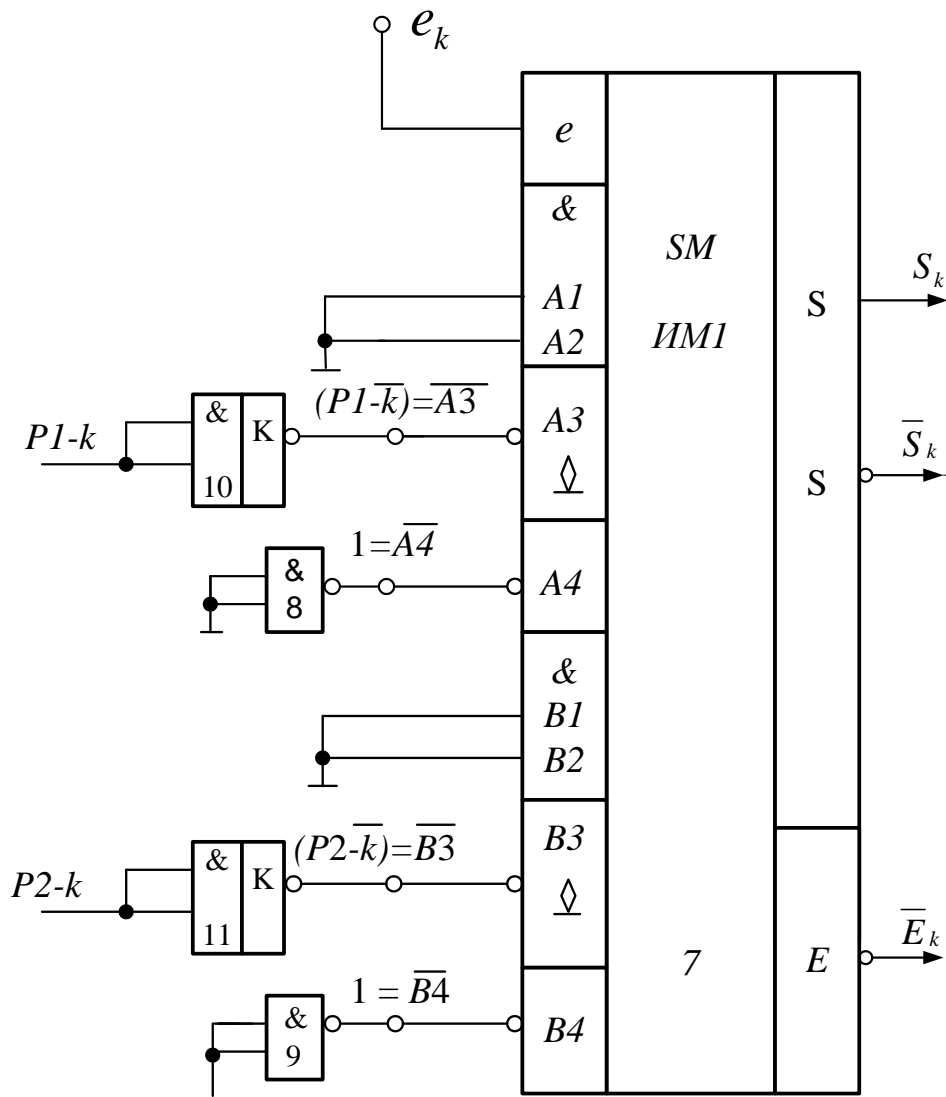


Рисунок 2.9 - Монтажна схема однорозрядного суматора на основі мікросхеми ИМ1 з використанням зовнішніх вентилів І-НІ з відкритим колектором для підсумовування  $k$ -того розряду регістрів  $P1( P1-k )$  і  $P2( P2-k )$

За цієї умови в якості активного рівня інверсної ознаки вихідного переносу ( $\bar{E}$ ) в парних розрядах використовується низький рівень напруги ( $L$ ), а в непарних розрядах активним значенням вихідного переносу буде високий рівень напруги ( $H$ ). В такому разі при виконанні операції підсумовування на виводі вхідного переносу молодшого каскаду і всіх парних розрядів багаторозрядного суматора формується пряме значення ознаки вхідного переносу, а в непарних розрядах – інверсне значення ознаки вхідного переносу. За цих умов для узгодження значення ( фази ) вхідних операндів  $a$  і  $b$  та переносу  $e$  в кожному каскаді парних розрядів необхідно застосувати канали  $A12$  та  $B12$  (рис. 2.7), а непарних розрядів – інверсні канали  $\bar{A4}$  та  $\bar{B4}$  комутаторів  $A$  і  $B$  (рис. 2.11).

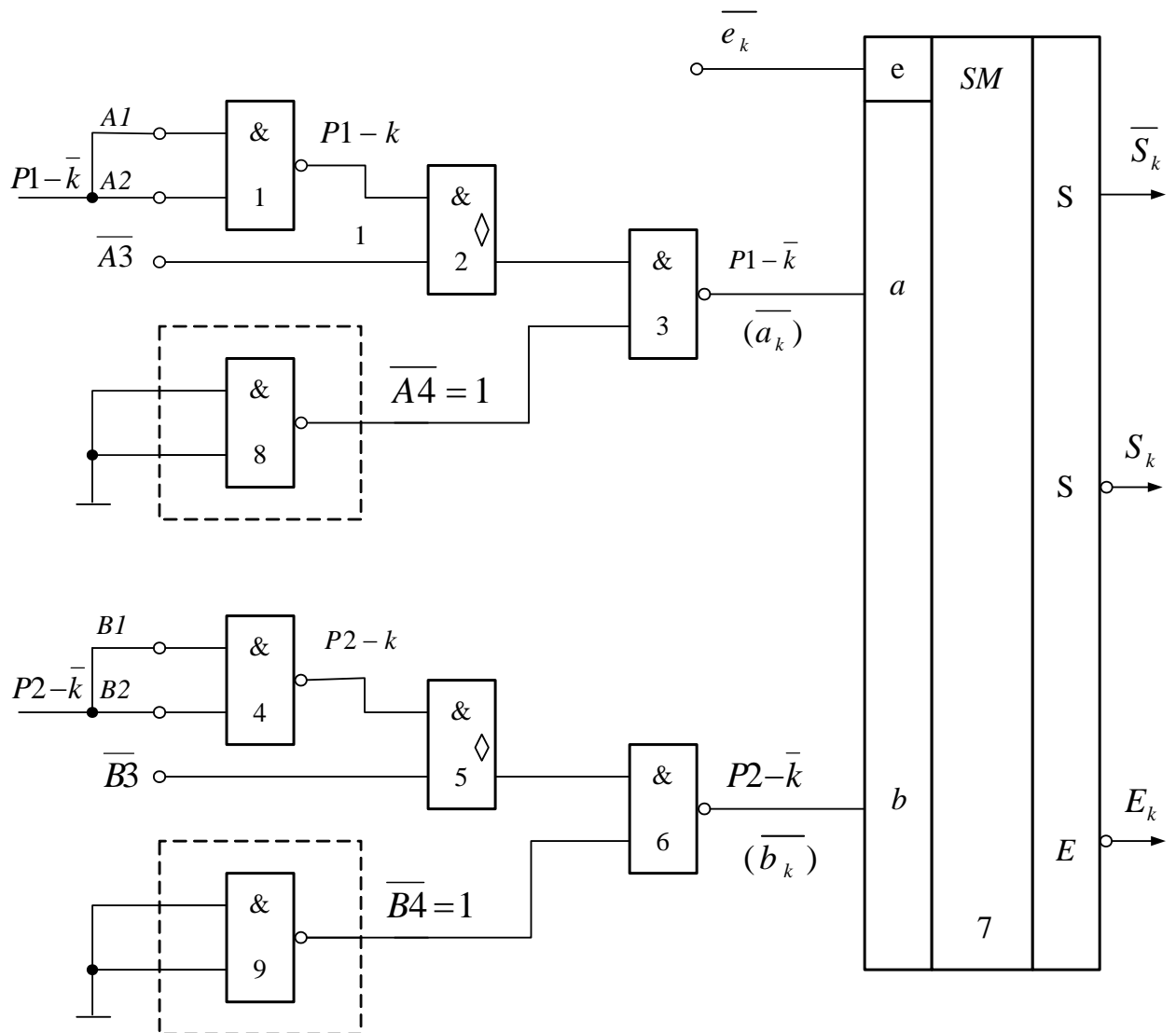


Рисунок 2.10 - Узагальнена структурна схема однорозрядного суматора на основі мікросхеми ИМ1 для підсумовування інверсного вхідного переносу ( $\bar{e}_k$ ) та інверсних доданків ( $\bar{a}_k$  і  $\bar{b}_k$ ) з використанням каналів  $A12$  і  $B12$  комутаторів  $A$  і  $B$  мікросхеми ИМ1

Схема чотирирозрядного суматора, який побудовано за допомогою черезрозрядного принципу формування переносу, наведена на рис. 2.12.

В побудованому суматорі для підсумовування вмісту регістрів  $P1$  і  $P2$  до входу інтегральної схеми ИМ1 підключаються тільки прямі значення вмісту відповідних розрядів регістрів  $P1$  і  $P2$ .

На рис. 2.13 приведена схема чотирирозрядного суматора, в якому без використання логічних елементів зовнішнього оточення для виконання підсумовування вмісту двох регістрів ( $P1$  і  $P2$ ) задіяні тільки інверсні інформаційні канали комутатора  $\bar{A4}$  та  $\bar{B4}$  мікросхеми ИМ1. Для погодження фази значень вхідного переносу та доданків в кожному розряді цього

пристрою також застосовано принцип з черезрозрядною інверсією вмісту доданків  $P1$  і  $P2$ .

На рис. 2.14 - 2.16 приведені схеми з використанням комутаторів  $A$  і  $B$  мікросхеми ИМ1 для побудови керованого багатоканального суматора, в якому формування (програмування) першого операнду суматора здійснюється з використанням чотирьох джерел інформації ( регістри  $P1, P2, P3, P4$  ), а другого операнду – з використанням трьох інформаційних напрямків ( регістри  $P5, P6, P7$  ).

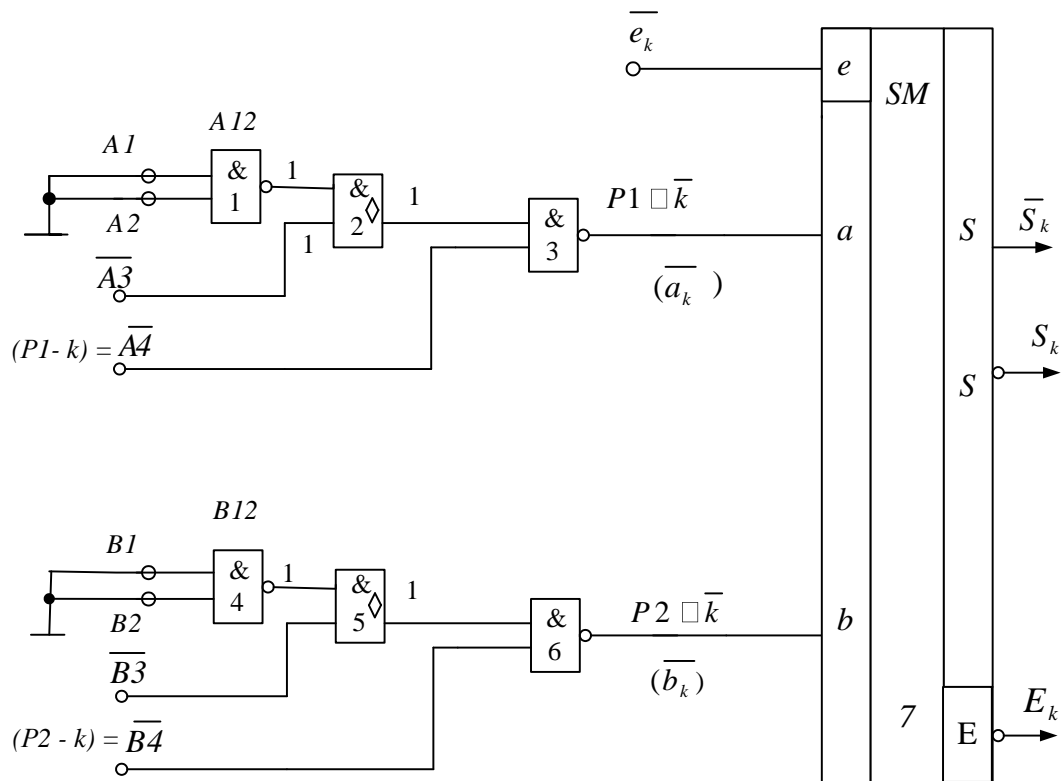


Рисунок 2.11 - Узагальнена структурна схема підсумовування інверсного стану вхідного переносу ( $\bar{e}_k$ ) та інверсних доданків ( $\bar{a}_k$  і  $\bar{b}_k$ ) з використанням вхідних каналів  $\bar{A4}$  та  $\bar{B4}$  комутаторів  $A$  і  $B$  мікросхеми ИМ1



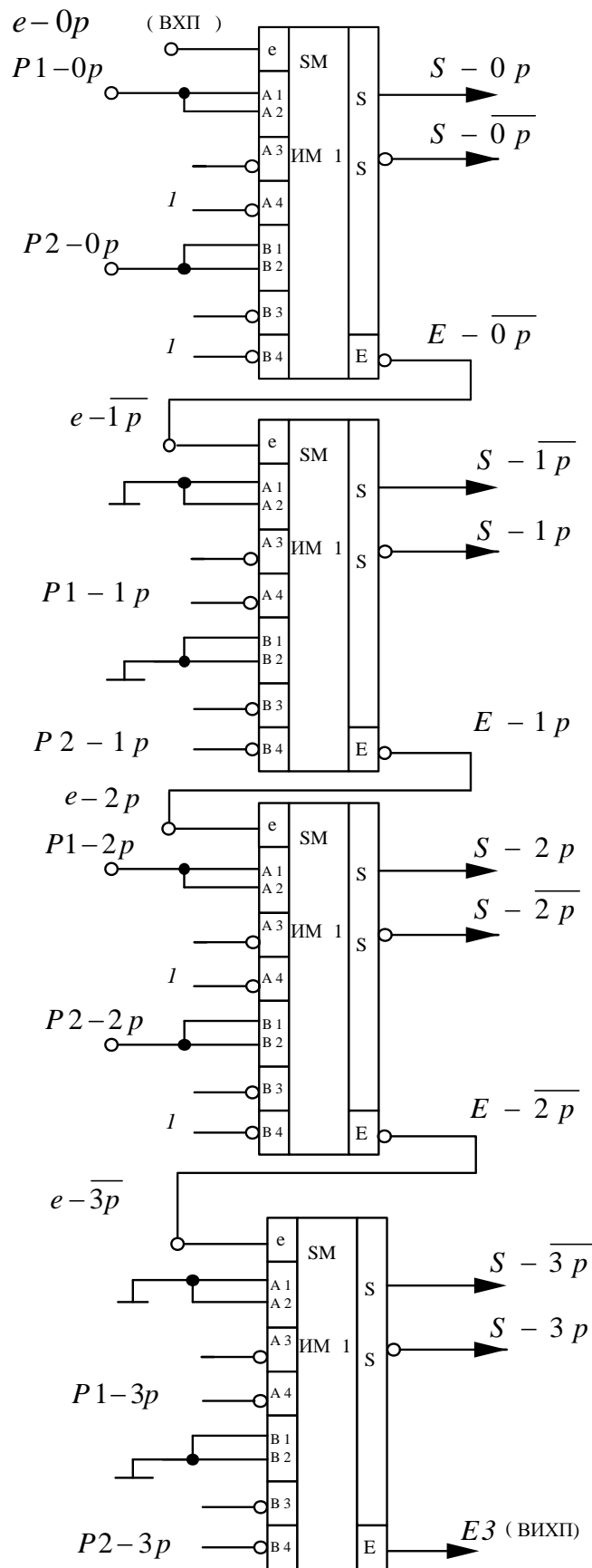


Рисунок 2.12 - Структурна схема 4-розрядного суматора на основі мікросхем ИМ1 з врахуванням черезрозрядної інверсії ознаки переносу та використання каналів  $A12, B12, \overline{A4}, \overline{B4}$  комутаторів мікросхеми ИМ1:

ВХП, ВИХП – відповідно вхідний і вихідний переноси суматора

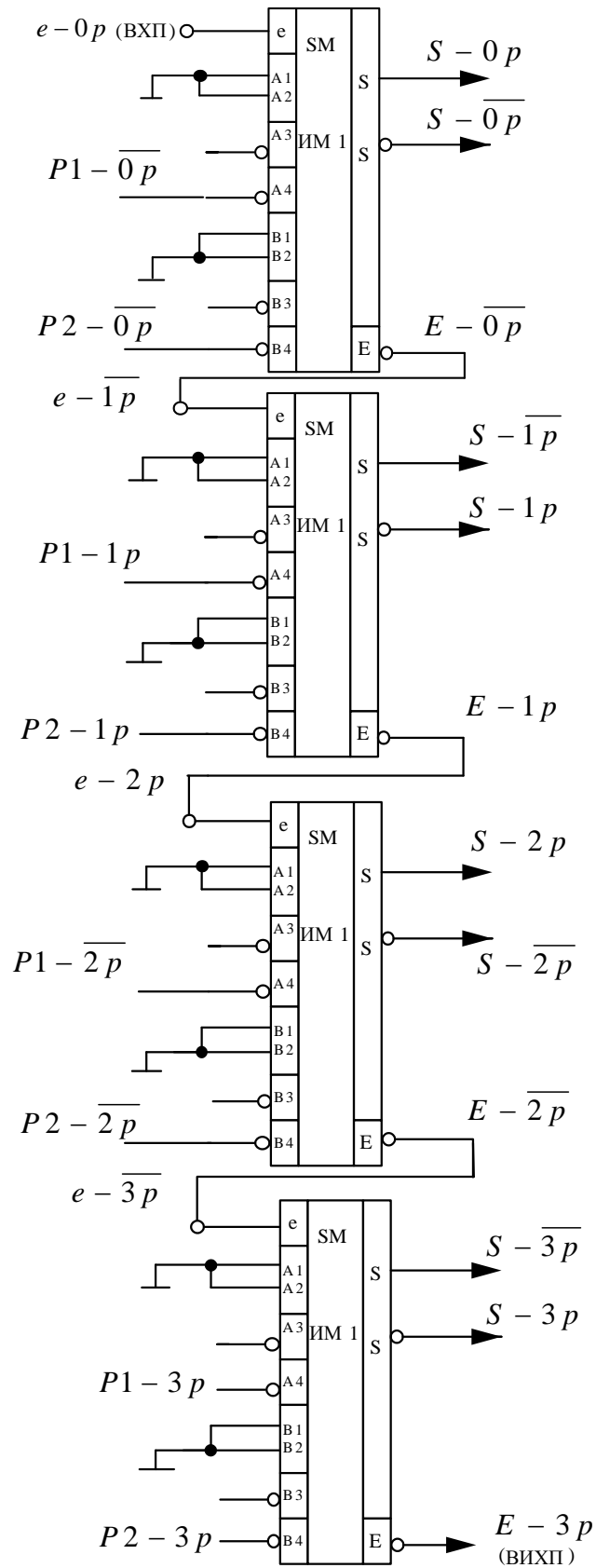


Рисунок 2.13 – Структурна схема чотирирозрядного суматора на основі мікросхеми ИМ1 з врахуванням черезрозрядної інверсії ознаки переносу в суматорі з використанням каналів  $\overline{A4}, \overline{B4}$  комутаторів А і В мікросхеми ИМ1



об'єднуватися в один вузол ) псевдоелемента 2 ИМ1 може бути доведений до 8. В такий же спосіб можливо також розширення кількості напрямків комутатора  $B$  мікросхеми ИМ1 з використанням каналу  $\overline{B3}$  ( коефіцієнт об'єднання псевдоелемента 5 також може сягати восьми ).

На рис. 2.14 логічні елементи 8, 9, 11 являють собою зовнішні елементи І-НІ з відкритим колектором для використання вмісту регістрів  $P2$  і  $P3$  та  $P6$  відповідно в якості як першого, так і другого доданків суматора  $SM(a, b, e)$ , а елементи 10 і 12 – стандартні зовнішні елементи І-НІ для використання вмісту регістрів  $P4$  і  $P7$  в якості доданків  $a_i$  і  $b_i$  суматора  $SM(a, b, e)$ .

Схема дворозрядного суматора з програмуванням першого операнду ИМ1 з чотирьох джерел інформації ( з вмісту регістрів  $P1, P2, P3, P4$  ), а другого – з вмісту трьох регістрів (  $P5, P6, P7$  ) наведена на рис. 2.17. За способом формування операндів в цьому суматорі схеми в парних ( 0, 2, 4 ... ) і непарних ( 1, 3, 5 ... ) розрядів суттєво відрізняються. В парних розрядах до входів суматора надходять прямі значення ознаки вхідного переносу (  $e_0, e_2$  ) та прямі значення розрядів окремих операндів (  $P1-0, P2-0, \dots$  ). В непарних розрядах ( 1, 3, 5 ... ) ознака вхідного переносу надходить в інверсному вигляді (  $e_1-\overline{1p} \dots$  ). В зв'язку з цим в непарних розрядах до комутаторів мікросхеми ИМ1 підключаються інверсні значення вмісту розрядів відповідних регістрів (  $P1-\overline{1p}, P2-\overline{1p}, \dots$  ).

На рис. 2.18 наведено логічна схема, яка реалізує віднімальний пристрій (без використання позики) на базі суматорів ИМ1. Фактично віднімання операндів (  $P1 - P2$  ) відбувається шляхом підсумовування прямого та інверсного значення вмісту регістрів, наприклад,  $P1$  та  $P2$ , з істинним значенням вхідного переносу, які формують на інформаційних виводах  $a, b$  і  $e$  суматора сигнали [ 2 ]:

$$\begin{array}{r} a(2/0) = a_2 \quad a_1 \quad a_0 \\ + \quad b(2/0) = \overline{b_2} \quad \overline{b_1} \quad \overline{b_0} \\ + \quad e(0) = \underline{\quad\quad\quad 1} \\ (E_2) S(2/0) = s_2 \quad s_1 \quad s_0 \end{array}$$

Зазначимо, що в цій схемі сума вхідних операндів суматора ИМ1( 2/0 ) в загальному випадку утворює код

$$\begin{aligned} E2S(2/0) &= C(3/0) = A(2/0) + \overline{B(2/0)} + 1 = \\ &= A(2/0) + 111 - B(2/0) + 1 = \\ &= 111 + [A(2/0) - B(2/0)] + 1 = \\ &= 2^3_{10} + [A(2/0) - B(2/0)], \end{aligned}$$

де  $[A(2/0) - B(2/0)]$  - різниця вхідних операндів суматора ИМ1(2/0).

Очевидно, що за додатної різниці операндів, тобто за умови  $A(2/0) \geq B(2/0)$  на виході суматора можна отримати суму  $S(3/0) \geq 2^3$ , тобто:

$$E2(e_3)=1;$$

$$S(2/0)=[A(2/0) - B(2/0)] = R(2/0),$$

де  $R(2/0)$  – значення додатної різниці вхідних операндів суматора.

В протилежному випадку, тобто за від'ємної різниці операндів ( $B(2/0) > A(2/0)$ ), сума вхідних операндів віднімача на основі суматора ИМ1(2/0) (рис.2.12) буде утворювати код:

$$\begin{aligned} C(3/0) &= 2^3_{10} - [B(2/0) - A(2/0)] = 2^3_{10} - R(2/0) + 1 = \\ &= 111 - R(2/0) + 1 = \overline{R(2/0)} + 1 < 2^3_{10}, \end{aligned}$$

де  $R(2/0)$  – модуль різниці операндів суматора ИМ1(2/0);

$\overline{R(2/0)}$  – зворотний код модуля різниці операндів.

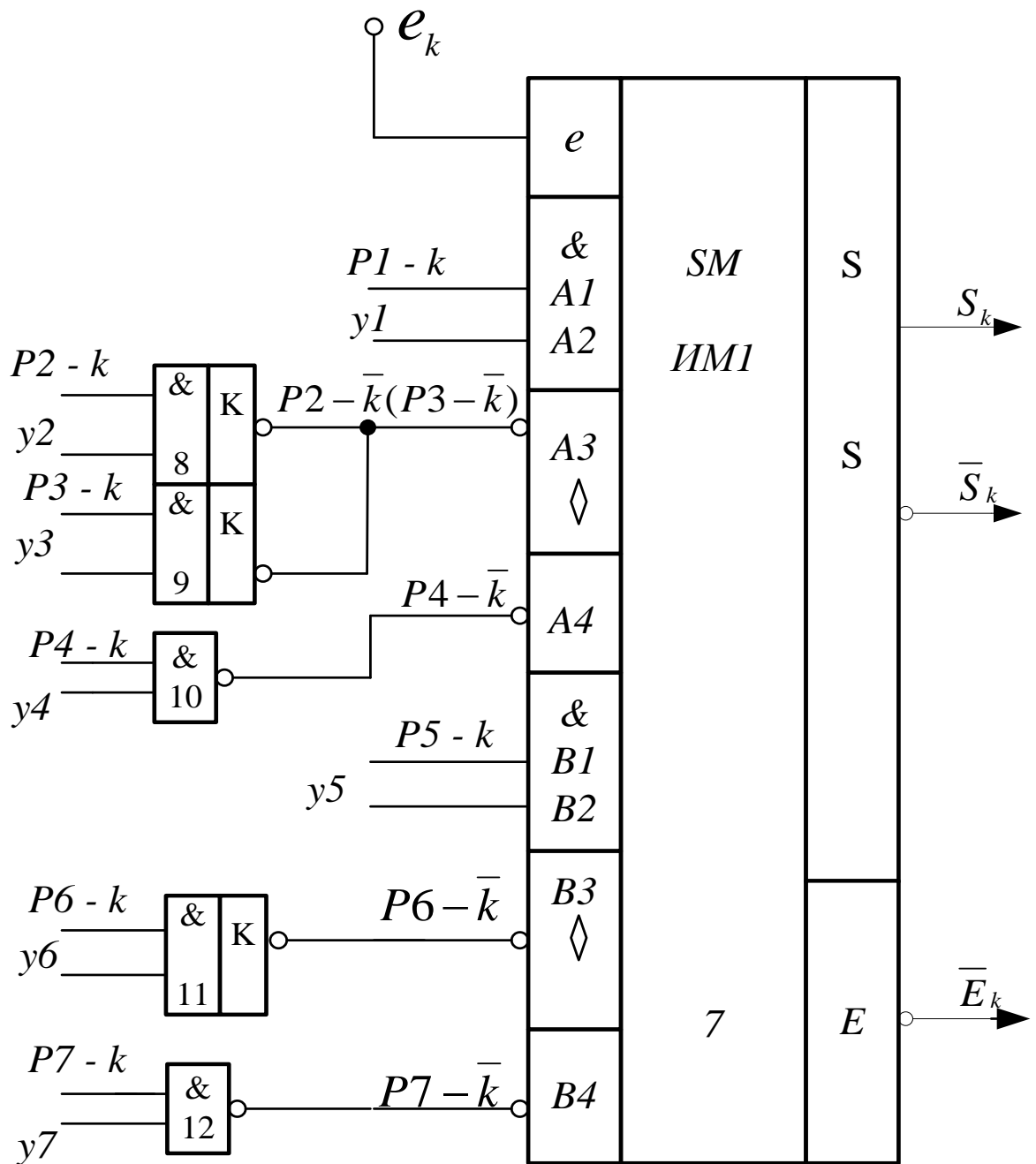


Рисунок 2.15 – Монтажна схема багатоканального суматора на основі мікросхеми ИМ1 для формування першого доданка  $a$  з чотирьох напрямків (регістрів  $P1, P2, P3, P4$ ) і утворення другого доданку  $b$  з трьох джерел інформації (регістрів  $P5, P6, P7$ ) за допомогою керуючих сигналів ( $y1 - y7$ )

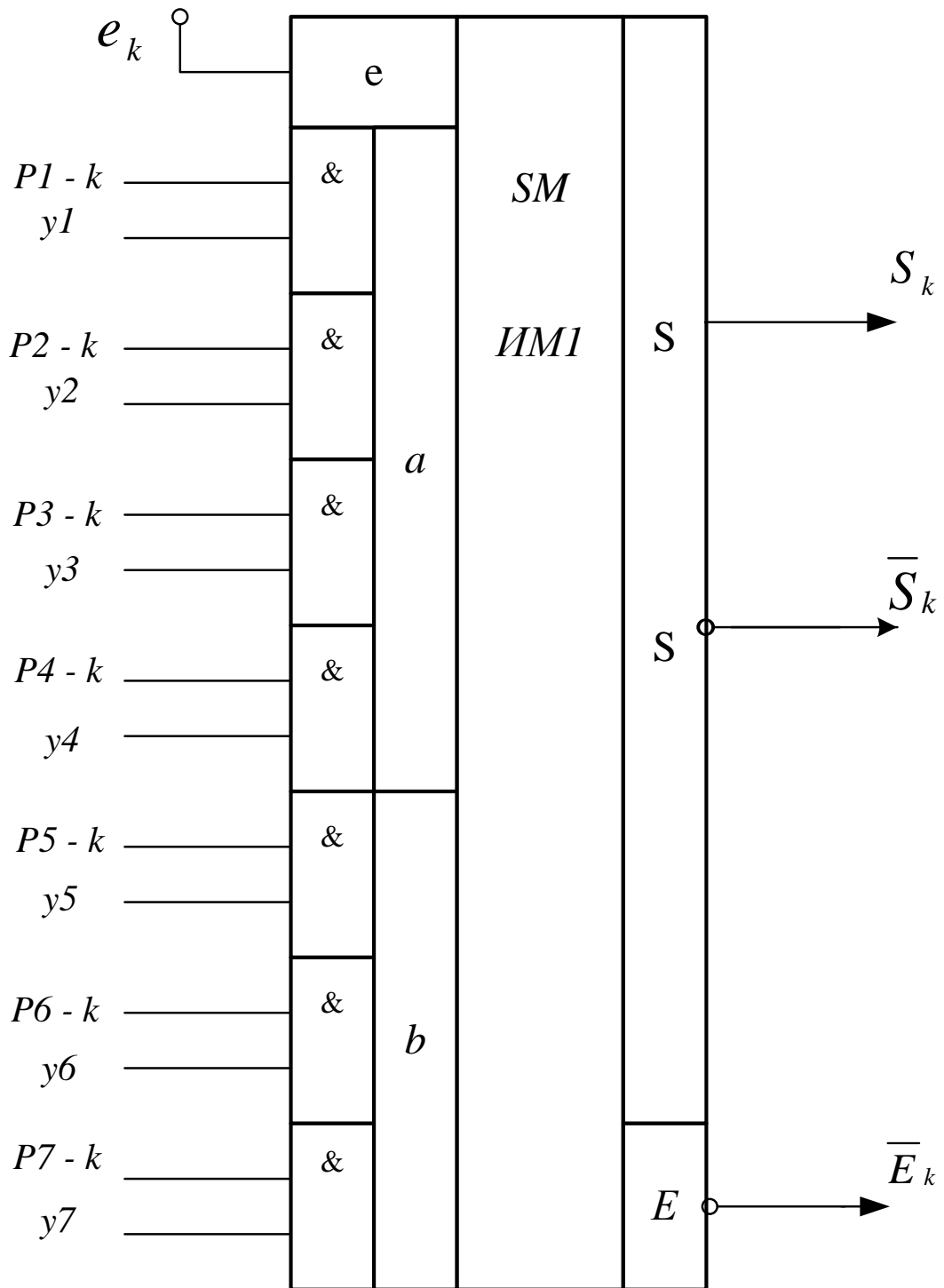


Рисунок 2.16 - Умовне графічне позначення багатоканального однорозрядного суматора на основі мікросхеми ИМ1 ( рис 2.15 ) з формуванням першого вхідного доданка  $a$  з чотирьох джерел інформації, а другого вхідного доданка  $b$  – з трьох напрямків

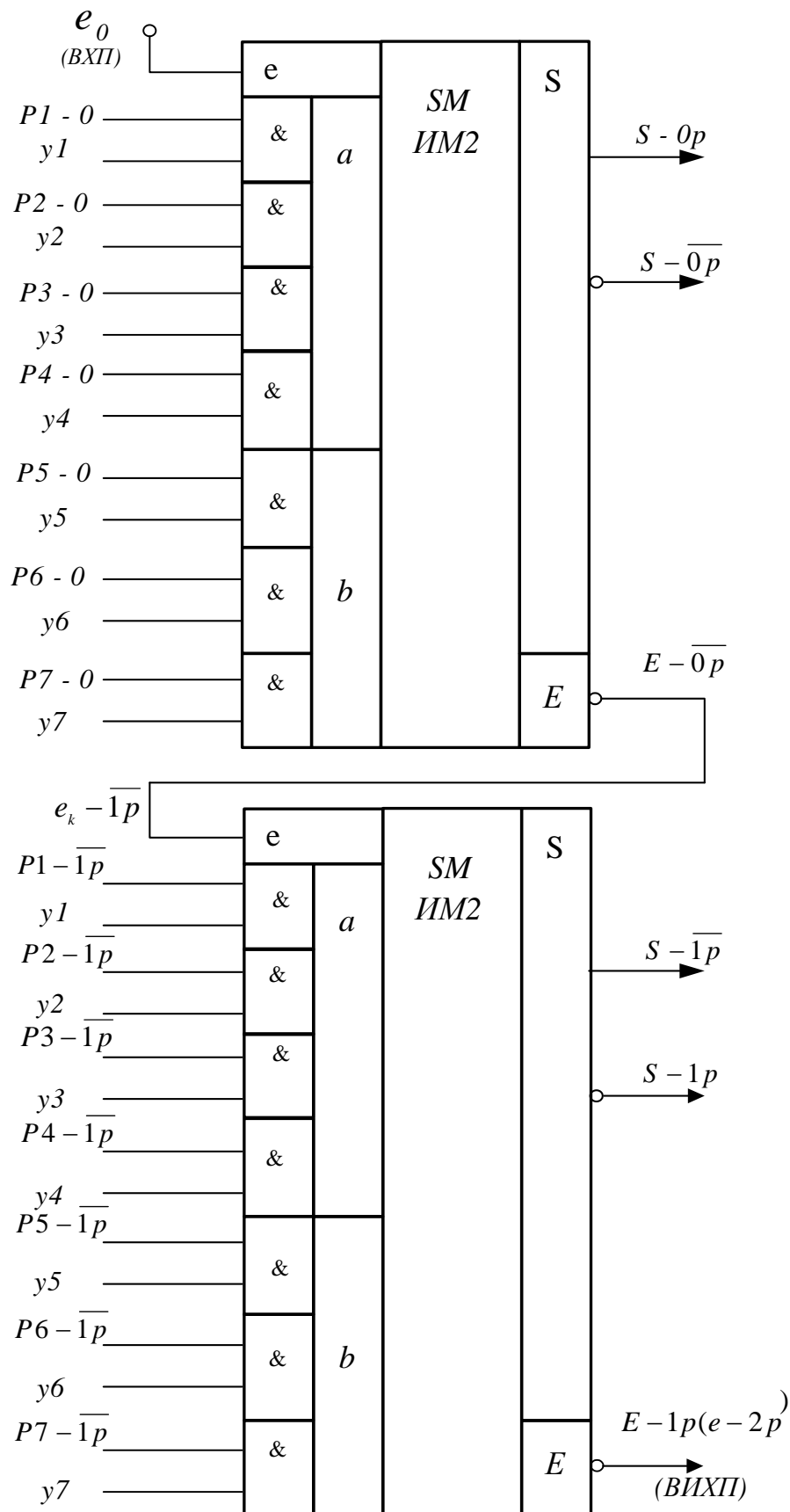


Рисунок 2.17 - Узагальнена структурна схема дворозрядного суматора на основі мікросхеми ІМ1 з формуванням першого вхідного доданку ( $a$ ) з чотирьох напрямків, а другого – з трьох джерел і використанням черезрозрядної інверсії ознаки вхідного переносу в мікросхемі ІМ1



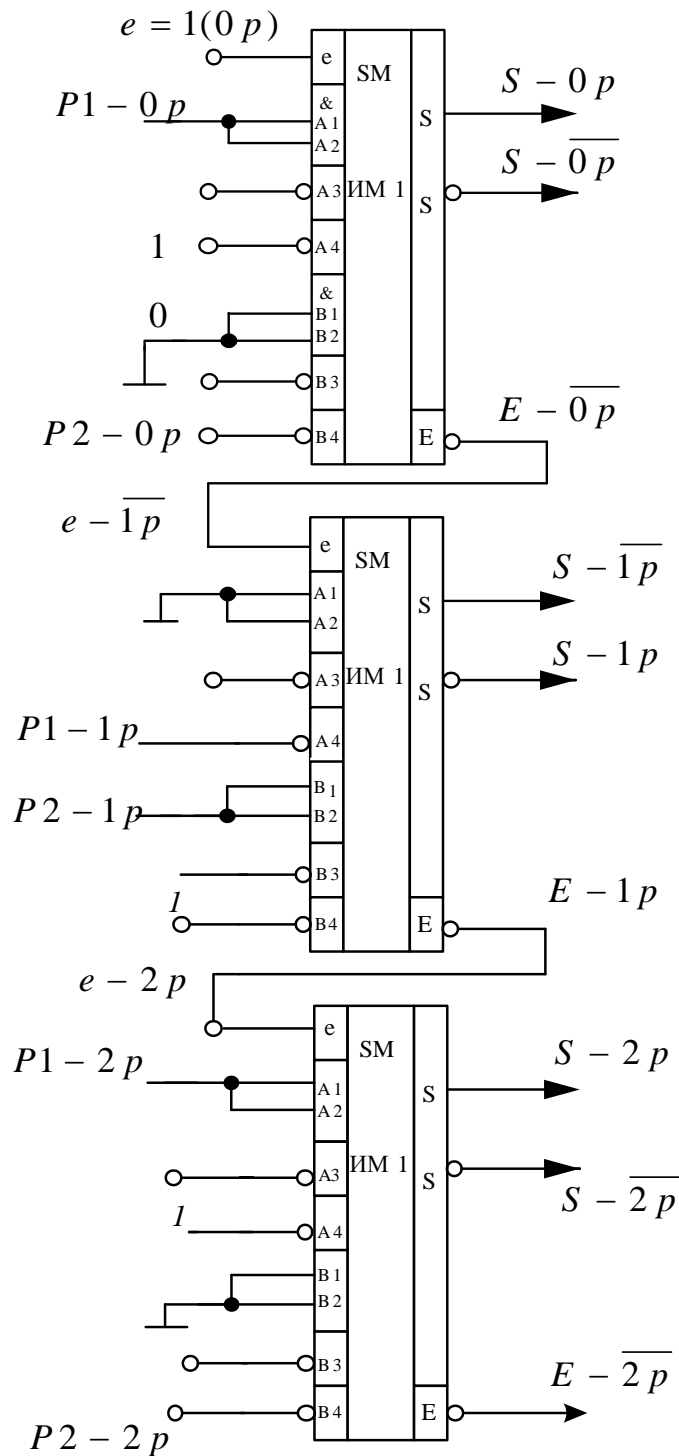


Рисунок 2.18 – Логічна схема віднімального пристрою модулів чисел на базі суматора ИМ1

Таким чином, в цьому випадку (при  $C(3/0) < 2^3_{10}$ ), булеві змінні на виході трирозрядного суматора утворюють код:

$$E2(e_3) = 0;$$

$$S(2/0) = C(2/0) = [2^3 - R(2/0)] = [\overline{R(2/0)} + 1] = D(2/0),$$

де  $D(2/0) = [8 - R(2/0)] = (\overline{R(2/0)} + 1)$  – так зване доповнення модулю трирозрядної від’ємної різниці операндів  $R(2/0)$  до  $2^3_{10}[3]$ .

### Контрольні запитання та завдання

1. До якого класу цифрових пристроїв відноситься суматор ИМ1?
2. Приведіть логічні вирази, на базі яких можна реалізувати схему мінімального суматора.
3. За якими логічними виразами реалізуються функції суми в суматорі ИМ1? Доведіть коректність цих виразів.
4. За якими логічними виразами реалізуються функції переносу в суматорі ИМ1? Доведіть коректність цих виразів.
5. Чому схему суматора ИМ1 називають самоподвійною?
6. Як використовувати властивість самоподвійності логічних функцій суматора ИМ1 для визначення правильних значень суми і вихідного переносу після інверсії вхідного переносу та вхідних змінних суматора?
7. Як реалізувати схему багаторозрядного суматора на базі інтегральної схеми ИМ1?
8. Які інтегральні схеми серії К155 доцільно застосовувати для реалізації багатоканального керованого суматора на основі мікросхеми ИМ1?
9. Побудуйте трирозрядний суматор на основі інтегральної схеми ИМ1 для виконання заданих арифметичних операцій (A/B/C означає надходження інформаційних сигналів з одного з трьох вхідних напрямків А, В або С):
  - $P1/P2 + P3+0, P1 + P3+0$  або  $P2 + P3+0, \text{ або } 0 +0 +0$ );
  - $P1 - P2$  (вміст  $P1$  та  $P2$  – модулі чисел );
  - $P1/P2/P3 + P4/P5$ ;
  - $P1/P2 - P3/P4/P5$ ;
  - $P1 \pm P2/P3/P4$  .
10. Як побудувати на основі інтегральної схеми ИМ1 арифметико-логічний пристрій для виконання операцій додавання і віднімання модулів чисел?
11. Як побудувати перетворювач від’ємної різниці модулів вхідних операндів на виході мікросхеми ИМ1 (рис. 2.18) в модуль різниці вхідних чисел?
12. Поясніть призначення комутаторів  $A$  і  $B$  в інтегральній схемі ИМ1 (рис. 2.3).

13. Як будується каскадний багаторозрядний суматор на основі мікросхеми ИМ1 для мінімізації часу додавання чисел?
14. Як визначити знак різниці вхідних операндів віднімача на основі мікросхеми ИМ1 (рис.2.18)?
15. Поясніть призначення виводів суматора ИМ1.
16. Поясніть принцип побудови логічних елементів з відкритим колектором та їх призначення.
17. Поясніть принципи організації монтажної логіки.
18. Поясніть наявність псевдоелементів в функціональній схемі суматора ИМ1.
19. Як забезпечити виконання операції додавання з використанням каналів  $A1, A2, B1, B2$ ?
20. Які сигнали необхідно подавати на входи  $A3, A4, B3, B4$  суматора ИМ1, якщо ці входи є вільними, тобто при виконанні операції підсумовування не використовуються?
21. Як забезпечити виконання операції додавання з використанням каналів  $\overline{A3}$  і  $\overline{B3}$  ?
22. Які сигнали необхідно подавати на входи  $A1, A2, A4, B1, B2, B4$  суматора ИМ1, якщо ці входи є вільними, тобто у виконанні операції підсумовування не використовуються?
23. Як забезпечити виконання операції додавання з використанням каналів  $\overline{A4}$  і  $\overline{B4}$  ?
24. Які сигнали необхідно подавати на входи  $A1, A2, A3, B1, B2, B3$  суматора ИМ1, якщо ці входи є вільними, тобто у виконанні операції підсумовування не використовуються?
25. Побудуйте суматор з черезрозрядною інверсією переносу на базі суматора ИМ1.
26. Як визначити динамічні параметри суматора ИМ1?
27. Який тип розповсюдження сигналу переносу використовується в суматорі ИМ1?
28. Який код називається зворотним кодом модуля числа?
29. Який код називається доповненням модуля числа до  $2^n$ ?

## **2.2. Алгоритми функціонування, схемотехніка і застосування мікросхем К155ИМ2 (SN7482)**

Інтегральна схема К155ИМ2 (далі ИМ2) при використанні позитивної логіки кодування логічних сигналів являє собою повний дворозрядний

двійковий комбінаційний суматор (рис.2.19). Для кожної комбінації прямих значень вхідних операндів  $A(1-0)$  та  $B(1-0)$  і вхідного переносу  $e_0$  (ВХП) формуються прямі значення дворозрядної суми  $S(1-0)$  і вихідного переносу  $e_2$  (ВИХП).

На рис. 2.19 використовуються такі позначення логічних змінних суматора:

$e_0$  – вхід прийому ознаки переносу в молодший розряд суматора;

$A = a_1a_0, B = b_1b_0$  – відповідно перший та другий дворозрядні доданки суматора;

$e_2(E_1)$  – вивід ознаки третього (старшого) розряду переносу при виконанні підсумовування дворозрядних модулів доданків або вихідного переносу ( $e_2$ ) в молодший розряд старшої дворозрядної групи багаторозрядного суматора;

$S = S_1S_0$  – вивід двох розрядів суми вхідних операндів та вхідного переносу ( $A + B + e_0$ ).

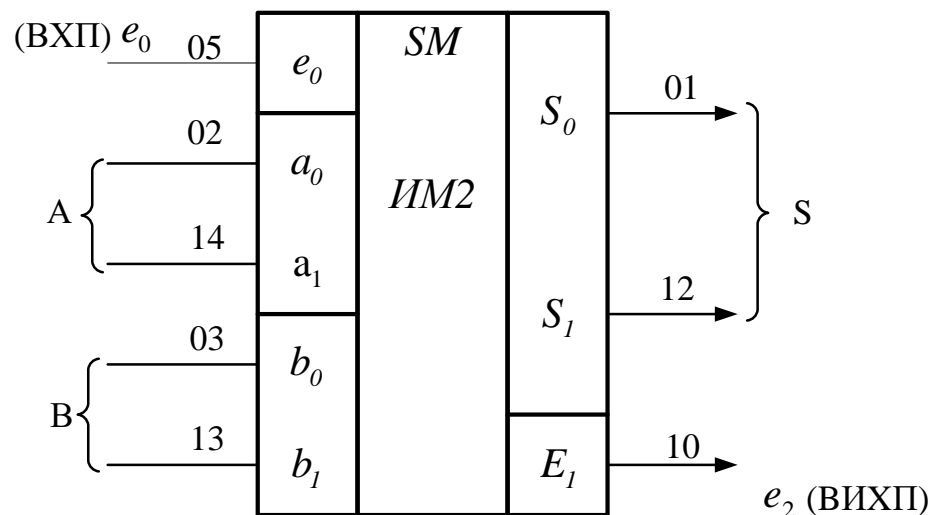


Рисунок 2.19 - Умовне графічне позначення дворозрядного суматора К155ИМ2 ( SN7482 )

При цьому необхідно відзначити, що підсумовування операндів в ИМ2 виконується згідно з виразом:

$$(4e_2 + 2S_1 + S_0) = [2(a_1 + b_1) + (a_0 + b_0) + e_0].$$

Логічна схема ИМ2 побудована з використанням черезрозрядного принципу організації міжрозрядного переносу (черезрозрядна інверсія переносу) з використанням мінімальних логічних виразів з врахуванням логічної зв'язності розрядної суми  $S$  та сигналу розрядного переносу  $E$  (рис. 2.20):

$$\overline{S_0} = \overline{(a_0 + b_0 + e_0)E_0 + a_0 b_0 e_0}; \quad (2.4)$$

$$S_0 = \overline{\overline{S_0}}; \quad (2.5)$$

$$\overline{E_0(e_1)} = \overline{a_0 b_0 + a_0 e_0 + b_0 e_0}; \quad (2.6)$$

$$S_1 = \overline{(a_1 + b_1 + e_1)E_1 + a_1 b_1 e_1}; \quad (2.7)$$

$$E_1(e_2) = \overline{a_1 b_1 + a_1 e_1 + b_1 e_1}. \quad (2.8)$$

Крім того, необхідно зазначити, що при використанні негативної логіки кодування логічних сигналів інтегральна схема ИМ2 також являє собою схему дворозрядного суматора, але в цьому випадку активними значеннями змінних операндів і результату слід вважати низький рівень електричних сигналів (табл. 2.1).

В табл. 2.1 використовуються наступні позначення і математичні вирази:

$L$  – низький рівень напруги;

$H$  – високий рівень напруги;

$$A_{HLL} = \overline{A_{PLL}}, \quad B_{HLL} = \overline{B_{PLL}}, \quad (E_1 S_1 S_0)_{HLL} = (\overline{E_1} \overline{S_1} \overline{S_0})_{PLL}$$

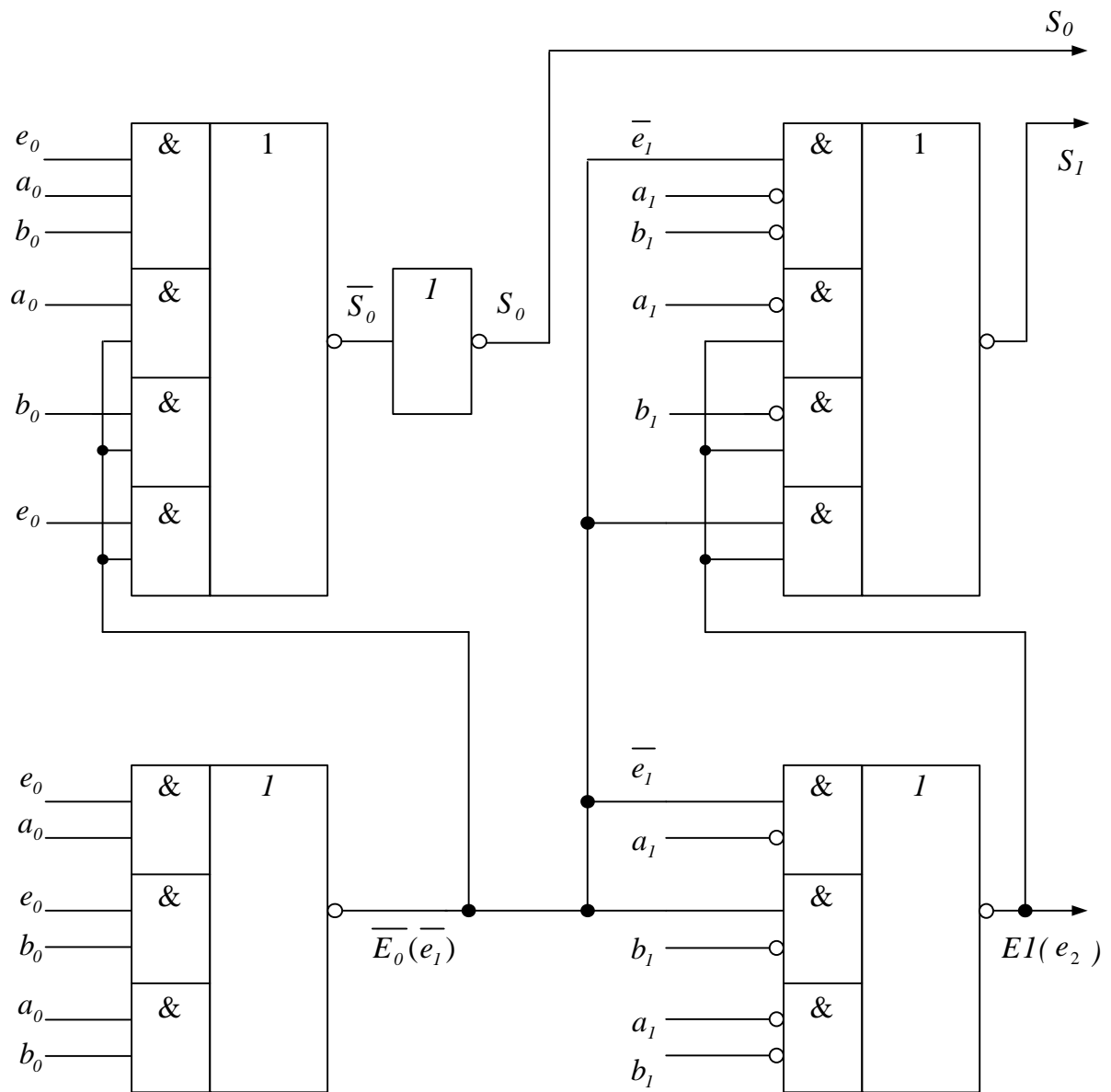


Рисунок 2.20 - Логічна структура дворозрядного суматора ИМ2

Результати підсумовування дворозрядних двійкових чисел в суматорі ИМ2 з використанням позитивної та негативної логіки

Таблиця 2.1

Рівні сигналів	Вхідні рівні сигналів операндів та результату	Доданки $(a_1 a_0), (b_1 b_0)$ і $e_0$					Результат				
		$a_1$	$a_0$	$b_1$	$b_0$	$e_0$	$E_1$	$S_1$	$S_0$		
		Н	L	Н	L		L	Н			
Значення вхідних операндів та результату з використанням позитивної логіки (Н→1, L→0)		ПЛ – позитивна логіка									
		1	0	0	1	0	0	1	1		
Значення вхідних операндів та результату з використанням негативної логіки (Н→0, L→1)		НЛ – негативна логіка									
		0	1	1	0	1	1	0	0		

Відповідно до табл.2.1 в суматорі виконуються такі арифметичні операції:

$$\begin{array}{l}
 A_{ПЛ} = \\
 B_{ПЛ} = \\
 e_{ПЛ} = \\
 4E_1^{ПЛ} + (S_1 S_0)_{ПЛ} =
 \end{array}
 \begin{array}{|c|c|}
 \hline
 1 & 0 \\
 \hline
 0 & 1 \\
 \hline
 & 0 \\
 \hline
 0 & 1 & 1 \\
 \hline
 \end{array}$$

$$\begin{array}{l}
 A_{НЛ} = \\
 B_{НЛ} = \\
 e_{НЛ} = \\
 4E_1^{НЛ} + (S_1 S_0)_{НЛ} =
 \end{array}
 \begin{array}{|c|c|}
 \hline
 0 & 1 \\
 \hline
 1 & 0 \\
 \hline
 & 1 \\
 \hline
 1 & 0 & 0 \\
 \hline
 \end{array}
 \begin{array}{l}
 \bar{A}_{ПЛ} \\
 \bar{B}_{ПЛ} \\
 \bar{e}_{ПЛ} \\
 \bar{4E_1^{ПЛ}} + (\bar{S}_1 \bar{S}_0)_{ПЛ}
 \end{array}$$

Схема з'єднання двох мікросхем ИМ2 для побудови чотирирозрядного суматора вмісту двох регістрів РА(3/0) та РВ(3/0) приведена на рис.2.21. В такий спосіб на основі мікросхеми ИМ2 може бути побудований суматор будь-якої розрядності.

На рис.2.22 приведена чотирирозрядна схема ИМ2(3/0), в якій реалізовані дві операції: операція підсумовування та операція віднімання вмісту регістрів P1(3/0) і P2(3/0).

Режим роботи пристрою задається в цій схемі за допомогою керуючого сигналу  $y = 0(1)$ , де

$$y = \begin{cases} 0 - \text{умова підсумовування даних ( режим підсумовування модулів чисел);} \\ 1 - \text{умова віднімання даних ( режим віднімання модулів чисел);} \end{cases}$$

Операція підсумовування вмісту регістрів P1 і P2, які використовуються в якості джерела вхідних сигналів, в 4-розрядному суматорі ИМ2 виконується відповідно до логічних виразів:

$$\begin{aligned}
 & 16(E - 3p) + 8(S - 3p) + 4(S - 2p) + 2(S - 1p) + (S - 0p) = \\
 & = 8[(P2 - 3p) + (P1 - 3p)] + 4[(P2 - 2p) + (P1 - 2p)] + \\
 & + 2[(P2 - 1p) + (P1 - 1p)] + [(P2 - 0p) + (P1 - 0p)] + (e - 0p).
 \end{aligned}$$

Встановлення режиму підсумовування відбувається при надходженні керуючого сигналу зі значенням  $y = 0$ . При цьому на виході суматорів за модулем два (рис.2.22) формується код  $B(3/0) = P2(3/0)$ . Таким чином, в загальному випадку за умови  $y = 0$  на виході суматора буде утворюватися п'ятирозрядна повна арифметична сума  $C(4/0)$  чотирирозрядних доданків  $P1(3/0)$  і  $P2(3/0)$ :

$$\begin{aligned}
& C(4)2^4 + C(3)2^3 + C(2)2^2 + C(1)2^1 + C(0)2^0 = \\
& = [P1(0) + P2(0)]2^0 + [P1(1) + P2(1)]2^1 + \\
& + [P1(2) + P2(2)]2^2 + [P1(3) + P2(3)]2^3 + (E3)2^4,
\end{aligned} \tag{2.9}$$

де  $2^4(16)$ ,  $2^3(8)$ ,  $2^2(4)$ ,  $2^1(2)$ ,  $2^0(1)$  – вагові коефіцієнти розрядних двійкових цифр операндів і суми;

$C(4) = E3(e_4)$  – значення вихідного переносу суматора (рис.2.22);

$C(3/0) = S(3/0)$  – значення чотирьох молодших розрядів суми вхідних операндів суматора (рис. 2.22).

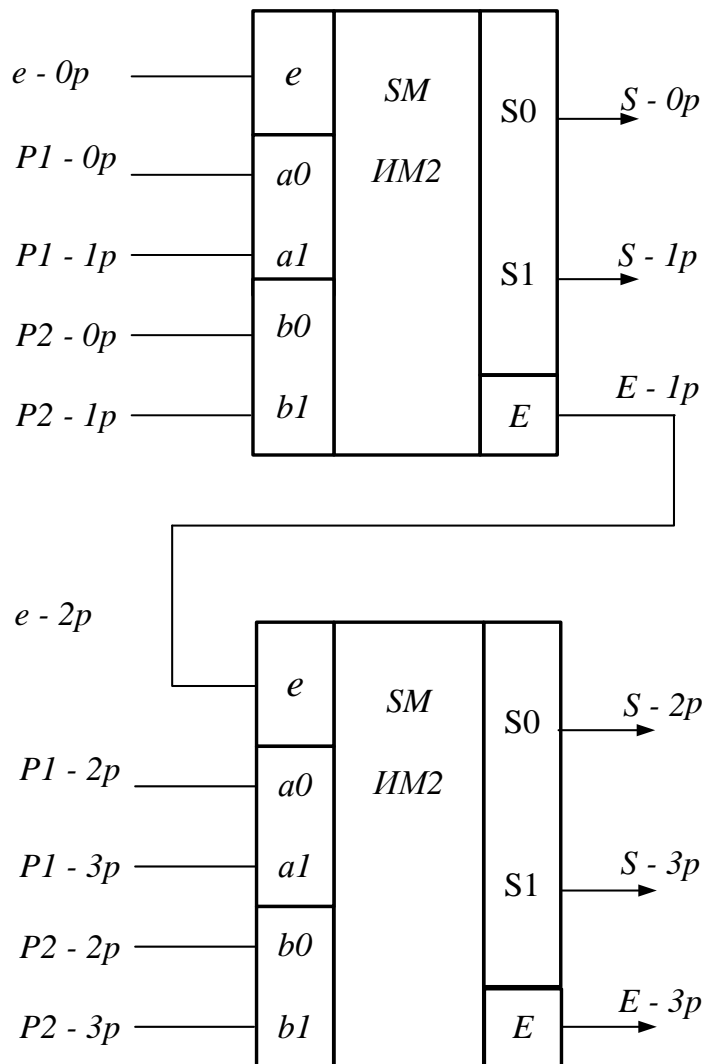


Рисунок 2.21 – Схема з'єднання мікросхем ИМ2 для реалізації 4-розрядного суматора

Отже, з отриманої залежності випливає, що якщо

$$C(4/0) = [P1(3/0) + P2(3/0)] < 16 \tag{2.10}$$

то:

$$E3(e_4) = C(4) = 0; \tag{2.11}$$



$$S(3/0) = C(3/0) = [P1(3/0) + P2(3/0)], \quad (2.12)$$

тобто сукупність вихідних сигналів  $S(3/0)$  мікросхеми суматора ИМ2 в цьому випадку утворюють повну арифметичну суму вхідних доданків  $P1(3/0)$  і  $P2(3/0)$ .

Якщо діапазон представлення вхідних аргументів  $P1(3/0)$  і  $P2(3/0)$  є таким, що

$$C(4/0) = [P1(3/0) + P2(3/0)] \geq 16, \quad (2.13)$$

то, згідно з (2.9) повна сума  $C(4/0)$  буде утворювати на виходах ИМ2 таку сукупність сигналів:

$$C(4) = E3(e_4) = 1; \quad (2.14)$$

$$C(3/0) = S(3/0) = C(4/0) - 16. \quad (2.15)$$

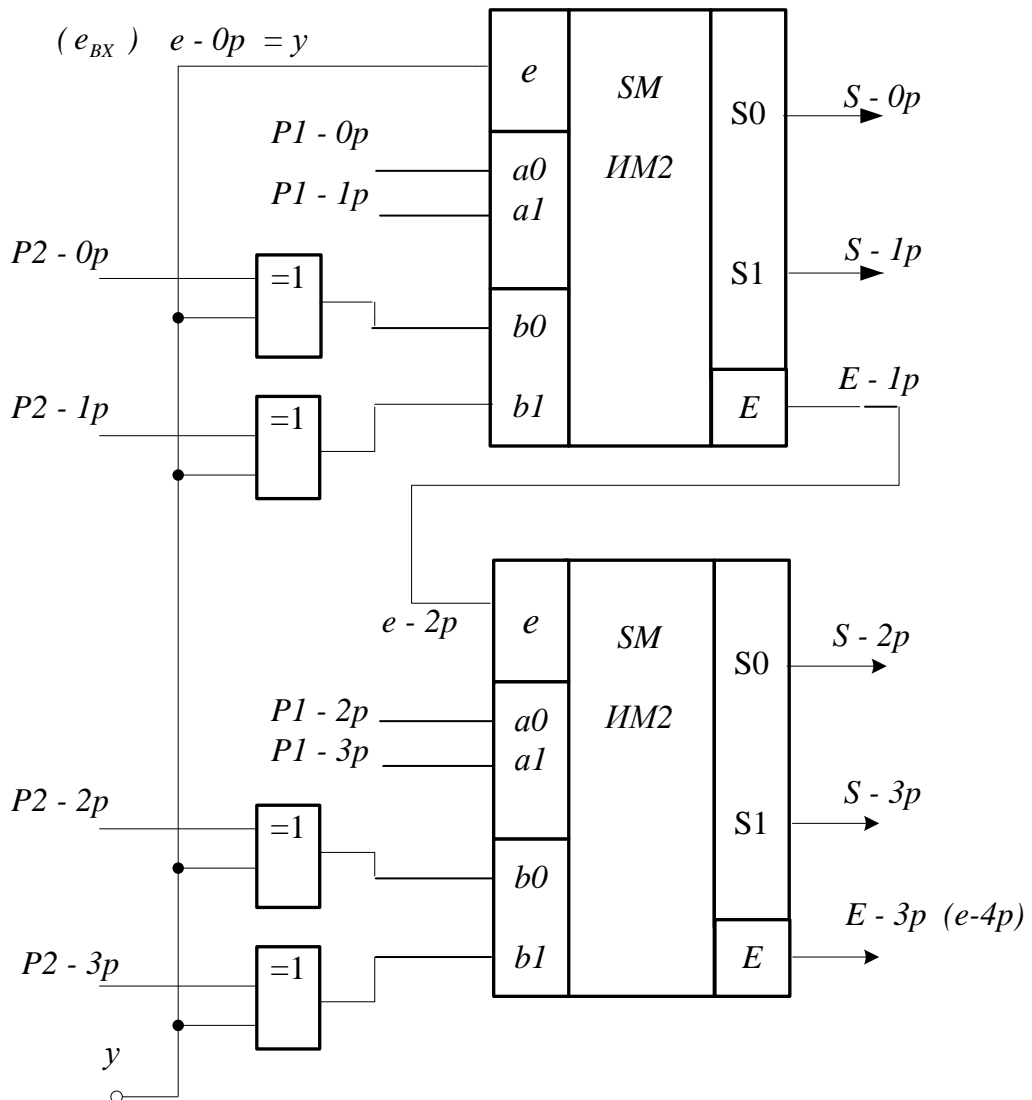


Рисунок 2.22 – Схема зовнішнього оточення мікросхеми ИМ2 для програмування режиму підсумовування (за сигналом  $y = 0$ ) або віднімання (за сигналом  $y = 1$ ) модулів чотирирозрядних двійкових чисел (вмісту регістрів  $P1(3/0)$  і  $P2(3/0)$ )

Таким чином, за умови (2.13) розряди суми  $S(3/0)$  на виході суматора утворюють залишок за модулем 16 від повної арифметичної суми операндів  $P1(3/0)$  і  $P2(3/0)$ :

$$S(3/0) = [C(4/0)]_{m16} = [P1(3/0) + P2(3/0)]_{m16}. \quad (2.16)$$

Розглянемо далі функціонування суматора ИМ2(3/0) в режимі підсумовування (за умови  $y = 0$ ) з використанням характерних значень повної суми операндів.

Нехай сукупність значень аргументів  $P1$  і  $P2$  є такими:

$$P1(3/0) = 0111 (7_{10});$$

$$P2(3/0) = 0110 (6_{10}).$$

Тоді повна сума операндів буде мати значення:

$$C(4/0) = P1(3/0) + P2(3/0) = (0111) + (0110) = (01101) < 16.$$

Таким чином, відповідно до (2.9) в цьому випадку маємо такі результати арифметичної операції:

$$E3(e_4) = C(4) = 0;$$

$$S3(3/0) = C(3/0) = 1101,$$

тобто на виході  $S3(3/0)$  суматора в цьому випадку буде утворена повна сума операндів.

Нехай тепер сукупність значень операндів (за умови  $y = 0$ ) належить діапазону:

$$P1(3/0) = 1101 (13_{10});$$

$$P2(3/0) = 0110 (6_{10}).$$

Тоді значення повної суми заданих операндів  $C(4/0)$  в цьому випадку утворює код:

$$C(4/0) = P1(3/0) + P2(3/0) = 13_{10} + 6_{10} = 19_{10} = 10011 > 16_{10}.$$

Очевидно, що в цьому випадку для булевих змінних суматора ИМ2(3/0) на рис. 2.22 маємо значення:

$$E3(e_4) = C(4) = 1;$$

$$S(3/0) = [C(4/0)]_{m16} = (19)_{m16} = 0011_2.$$

Таким чином, можна отримати логічні значення чотирирозрядної суми  $S(3/0) \neq [P1(3/0) + P2(3/0)]$ , якщо сума операндів  $P1(3/0)$  і  $P2(3/0)$  переполює розрядну сітку суми  $S(3/0)$ , ознакою чого є значення найстаршого п'ятого розряду ( $C4$ ) повної суми  $C(4) = 1$ , тобто вихідний перенос суматора приймає одиничне значення ( $E3(e_4) = 1$ ) в наступну старшу групу ИМ2.

При надходженні керуючого сигналу  $y=1$  в суматорі, схема якого приведена на рис. 2.22, очевидно, відбувається підсумовування двійкових кодів:

$$\begin{aligned} A(3/0) &= P1(3/0); \\ B(3/0) &= \overline{P2(3/0)}; \\ e_{BX} &= e_0 = 1, \end{aligned}$$

де  $\overline{P2(i)} = P2(i) \oplus 1$ , при  $i = 3, \dots, 0$ ,

тобто  $\overline{P2(3/0)} = P2(3/0) \oplus 1111$ .

Таким чином, в цьому режимі на виході суматора буде формуватися наступна повна сума:

$$\begin{aligned} C(4/0) &= A(3/0) + B(3/0) + e_0 = \\ &= P1(3/0) + \overline{P2(3/0)} + 1 = \\ &= P1(3/0) + [15 - P2(3/0)] + 1 = \\ &= 16 + [P1(3/0) - P2(3/0)]. \end{aligned} \quad (2.17)$$

З цього випливає, що за умови додатної різниці регістрів  $P1(3/0)$  і  $P2(3/0)$ , тобто, коли

$$P1(3/0) \geq P2(3/0), \quad (2.18)$$

маємо:

$$\begin{aligned} C(4) &= 1; \\ C(3/0) &= P1(3/0) - P2(3/0). \end{aligned}$$

Отже, в цьому випадку на виході суматора отримуємо значення:

$$\begin{aligned} E3(e_4 = C(4)) &= 1; \\ S(3/0) &= C(3/0) = P1(3/0) - P2(3/0). \end{aligned}$$

Таким чином, за керуючим сигналом  $y = 1$  (в режимі віднімання модулів чисел  $P1(3/0)$  і  $P2(3/0)$ ) розряди  $S(3/0)$  ИМ2(3/0) збігаються з різницею модулів вхідних операндів і  $E3(e_4) = 1$ , тобто  $E3(e_4)$  в режимі віднімання є ознакою того, що розряди суми  $S(3/0)$  суматора ИМ2 визначають різницю регістрів  $P1(3/0)$  і  $P2(3/0)$ .

В протилежному випадку, коли

$$P1(3/0) < P2(3/0), \quad (2.19)$$

відповідно до (2.17) повна сума на виході суматора визначається за допомогою виразу:

$$\begin{aligned} C(4/0) &= 16 + [P1(3/0) - P2(3/0)] = \\ &= 16 - [P2(3/0) - P1(3/0)] = 16 - R(3/0), \end{aligned} \quad (2.20)$$

де  $R(3/0) = [P2(3/0) - P1(3/0)]$  – модуль різниці вхідних операндів  $P2(3/0)$  і  $P1(3/0)$  за умови (2.19).

Вираз (2.20) може бути зображено наступним чином:

$$C(4/0) = 15 - R(3/0) + 1 = 1111 - R(3/0) + 1 = (\overline{R(3/0)} + 1), \quad (2.21)$$

де  $\overline{R(3/0)}$  – зворотний (обернений) код модуля від'ємної різниці регістрів  $P1(3/0)$  і  $P2(3/0)$ .

Відповідно до (2.19) і (2.20) діапазон  $R(3/0)$  може бути обчислений таким чином (символ «÷» позначає знак діапазону):

$$R(3/0) = P2(3/0) - P1(3/0) = 1_{10} \div 15_{10} = 0001_2 \div 1111_2.$$

Отже, відповідно до (2.21) за умови виконання (2.19) діапазон повної суми операндів на виході суматора ИМ2(3/0) буде визначатися наступними кодами:

$$\begin{aligned} C(4/0) &= (\overline{R(3/0)} + 1) = [(\overline{0001}) + 1] \div [(\overline{1111}) + 1] = \\ &= [1110 + 1] \div [0000 + 1] = 1111 \div 0001 < 16_{10}, \end{aligned}$$

тобто розряди повної суми  $C(4/0)$  складають значення:

$$C(4) = 0;$$

$$C(3/0) = 1111 \div 0001.$$

Таким чином, за умови (2.19) в режимі віднімання (за умови  $y = 1$ ) на виході суматора ИМ2(3/0) маємо:

$$E3(e_4) = 0; \quad (2.22)$$

$$\begin{aligned} S(3/0) &= C(3/0) = \overline{R(3/0)} + 1 = \\ &= (1111_2 \div 0001_2) = D(3/0), \end{aligned} \quad (2.23)$$

де  $D(3/0) = [\overline{R(3/0)} + 1]$  – так зване доповнення модуля від'ємної різниці операндів  $P1(3/0)$  і  $P2(3/0)$  до 16 ( $2^4$ ) [3].

Отже, відповідно до (2.22) ознакою отримання від'ємної різниці операндів, тобто за умови (2.19), є нульове значення вихідного переносу суматора:

$$E3(e_4) = 0. \quad (2.24)$$

При цьому згідно з (2.21) і (2.24), булеві змінні  $S(3/0)$  на виході суматора утворюють доповнення до 16 модуля різниці операндів  $R(3/0)$ :

$$S(3/0) = D(3/0) = [16 - R(3/0)].$$

Таким чином, для обчислення модуля різниці операндів  $R(3/0)$  за умови (2.19) необхідно додатково виконати наступні перетворення розрядів суми  $S(3/0)$  суматора:

$$\begin{aligned} R(3/0) &= 16 - S(3/0) = \\ &= 15 - S(3/0) + 1 = [\overline{S(3/0)} + 1], \end{aligned} \quad (2.25)$$

де  $\overline{S(3/0)}$  – зворотний (обернений) код суми  $S(3/0)$  суматора ИМ2(3/0).

Розглянемо далі функціонування суматора ИМ2(3/0) в режимі виконання віднімання (за умови  $y = 1$ ) з використанням характерних значень операндів.

Нехай вміст регістрів  $P1$  і  $P2$  приймає такі значення:

$$P1(3/0) = 0111 (7_{10});$$

$$P2(3/0) = 0100 (4_{10}),$$

тобто розглядається випадок  $P1(3/0) > P2(3/0)$ .

В цьому разі згідно зі схемою пристрою (рис. 2.22) на другий вхід суматора ИМ2 (вхід  $B$ ) надходить інверсне значення другого операнду  $\overline{P2(3/0)} = 1011$  (інверсія другого операнду  $P2$ ), а на вивід вхідного переносу  $e_0$  надходить сигнал логічної одиниці ( $y = 1$ ).

В цьому випадку

$$\begin{aligned} C(4/0) &= P1(3/0) - P2(3/0) = P1(3/0) + \overline{P2(3/0)} + 1 = \\ &= (0111) + (1011) + 1 = (10011) > 16_{10}. \end{aligned}$$

Очевидно, що в цьому випадку для булевих змінних суматора ИМ2(3/0) на рис. 2.22 маємо значення:

$$E3(e_4) = C(4) = 1;$$

$$S(3/0) = C(3/0) = P1(3/0) - P2(3/0).$$

Таким чином, в результаті виконання прикладу очевидно, що логічні значення чотирирозрядної суми  $S(3/0) = 0011 = 3_{10}$  відповідають різниці модулів операндів, а ознакою цього є одиничне значення переносу зі старшого розряду  $E3$ , тобто  $\overline{E3}$  – значення позики зі старшого розряду.

Розглянемо далі інший приклад, який відповідає випадку  $P1(3/0) < P2(3/0)$ .

Нехай вміст регістрів  $P1$  і  $P2$  приймає такі значення:

$$P1(3/0) = 0100 (4_{10});$$

$$P2(3/0) = 0111 (7_{10}).$$

В цьому разі, згідно зі схемою пристрою (рис. 2.22), на другий вхід суматора ИМ2 надходить інверсія другого операнду  $\overline{P2(3/0)} = 1000$ , а на вивід вхідного переносу  $e_0$  надходить сигнал логічної одиниці ( $y = 1$ ).

Отже, в цьому випадку отримаємо

$$\begin{aligned} C(4/0) &= P1(3/0) - P2(3/0) = P1(3/0) + \overline{P2(3/0)} + 1 = \\ &= (0100) + (1000) + 1 = (01101) < 16_{10}. \end{aligned}$$

Очевидно, що в цьому випадку для булевих змінних суматора ИМ2(3/0) на рис. 2.22 згідно з (2.20) - (2.22) отримаємо:

$$E3(e_4) = C(4) = 0;$$

$$C(4/0) = 16 - R(3/0) = (\overline{R(3/0)} + 1) = D(3/0).$$

Таким чином, ознакою отримання від'ємної різниці операндів є нульове значення вихідного переносу суматора, а булеві змінні  $S(3/0)$  на виході суматора утворюють доповнення до 16 модуля різниці операндів  $P2(3/0)$  і  $P1(3/0)$ .

З проведеного аналізу випливає, логічна схема суматора що на рис. 2.22 виконує такі операції при  $y = 1$ :

1.  $S(3/0) = [P1(3/0) - P2(3/0)]$ , якщо  $y = 1$  і  $P1 \geq P2$ ;
2.  $S(3/0) = [16 - P2(3/0) + P1(3/0)]$ , якщо  $y = 1$  і  $P2 > P1$ ;
3.  $(E - 3p) = 1$ , якщо  $y = 1$  і  $P1 \geq P2$ ;
4.  $(E - 3p) = 0$ , якщо  $y = 1$  і  $P2 > P1$ .

Таким чином, суматор ИМ2(3/0) в режимі віднімання (за керуючим сигналом  $y = 1$ ) і за умови (2.19), тобто за умови  $E3(e_4) = 0$  виконує лише частину операції віднімання операндів  $P1(3/0)$  і  $P2(3/0)$ , оскільки для отримання модуля різниці чисел необхідно інкрементувати інверсні значення розрядів суми на виході ИМ2(3/0). Отже, для отримання модулю різниці операндів в цьому випадку суматор ИМ2(3/0) необхідно додатково доповнити блоком НІ та інкрементором.

### Контрольні запитання та завдання

1. До якого класу цифрових схем відноситься мікросхема ИМ2?
2. Охарактеризуйте призначення та принцип функціонування інтегральної схеми К155ИМ2.
3. Побудуйте структуру мікросхеми ИМ2 у вигляді композиції схеми утворення переносу і формування суми.
4. Охарактеризуйте функції мікросхеми ИМ2.
5. Виконайте підсумовування двох заданих багаторозрядних чисел в двійковій системі числення.
6. Приведіть умовне графічне позначення суматора на базі інтегральної схеми К155ИМ2.
7. Вкажіть на відмінності роботи та позначення схеми ИМ2 з негативною логікою кодування сигналів.
8. Приведіть логічні вирази, за якими побудовано дворозрядний суматор на базі інтегральної схеми ИМ2.
9. До якого типу суматорів відносяться суматори в складі інтегральної схеми ИМ2?
10. Який тип переносу реалізовано в суматорі ИМ2?
11. Виконайте синтез дворозрядного суматора ИМ2.

12. Яким чином в суматорі ИМ2 використовується самоподвійність функції суми і переносу?
13. Поясніть термін «черезрозрядна інверсія переносу».
14. Вкажіть значення сигналів на виході суматора ИМ2 при  $y = 0$  (рис. 2.22), якщо сума доданків не перевищує 16?
15. Вкажіть значення сигналів на виході суматора ИМ2 при  $y = 0$  (рис. 2.22), якщо сума доданків не менше 16?
16. Вкажіть значення сигналів на виході суматора ИМ2 при  $y = 1$  (рис. 2.22), якщо  $P1(3/0) > P2(3/0)$ ?
17. Вкажіть значення сигналів на виході суматора ИМ2 при  $y = 1$  (рис. 2.22), якщо  $P1(3/0) < P2(3/0)$ ?
18. Побудуйте повну схему чотирирозрядного віднімача на основі мікросхеми ИМ2.
19. З якою метою використовуються елементи «виключне АБО» в схемі суматора на рис. 2.22?
20. Побудуйте 16-розрядний груповий суматор на основі мікросхеми ИМ2 із обхідним та паралельно-паралельним груповим переносом.
21. Приведіть приклади операндів, при яких суматор має найменшу швидкодію.

### 2.3. Алгоритми функціонування, схемотехніка і застосовування мікросхем К155ИМ3 (SN7483)

Інтегральна схема К155ИМ3 (далі ИМ3) представлена на рис. 2.23 і являє собою паралельний суматор двох чотирирозрядних операндів (чисел)  $A(a_3a_2a_1a_0)$ ,  $B(b_3b_2b_1b_0)$  та вхідного переносу  $e_{вх}$  ( $e_0$ ). На виході мікросхеми ИМ3 формується п'ятирозрядний результат додавання двох операндів, який складається з чотирирозрядної суми  $S(S_3S_2S_1S_0)$  і однорозрядного сигналу ознаки вихідного переносу  $e_4$  ( $e_{вих}$ ).

Алгоритм формування вихідних функцій ИМ3 визначається за допомогою виразу:

$$2^4 e_4 + 2^3 S_3 + 2^2 S_2 + 2^1 S_1 + 2^0 S_0 = e_0 + (a_0 + b_0) + 2(a_1 + b_1) + 4(a_2 + b_2) + 8(a_3 + b_3), \quad (2.26)$$

де  $2^4, 2^3, 2^2, 2^1, 2^0$  – вага позиції окремих двійкових цифр (розрядів) суматора відносно ваги цифр молодших розрядів  $a_0, b_0, e_0$ .

Сигнали переносу між окремими розрядами в суматорі ИМ3 розповсюджуються послідовно від молодшого до старшого розрядів і

формується з використанням канонічної логічної послідовної схеми з черезрозрядною інверсією переносу (рис. 2.24):

$$\overline{e_2} = \overline{g_1 p_1 + p_1 e_1}; \quad (2.27)$$

$$e_3 = \overline{g_2 p_2 + g_2 e_2}, \quad (2.28)$$

де  $p_i = (a_i + b_i)$ ,  $g_i = (a_i \cdot b_i)$  – відповідно розрядні функції транзиту та генерації переносу ( $i = 2, 1, 0$ );

$\overline{e_0}$  – сигнал вхідного непереносу суматора.

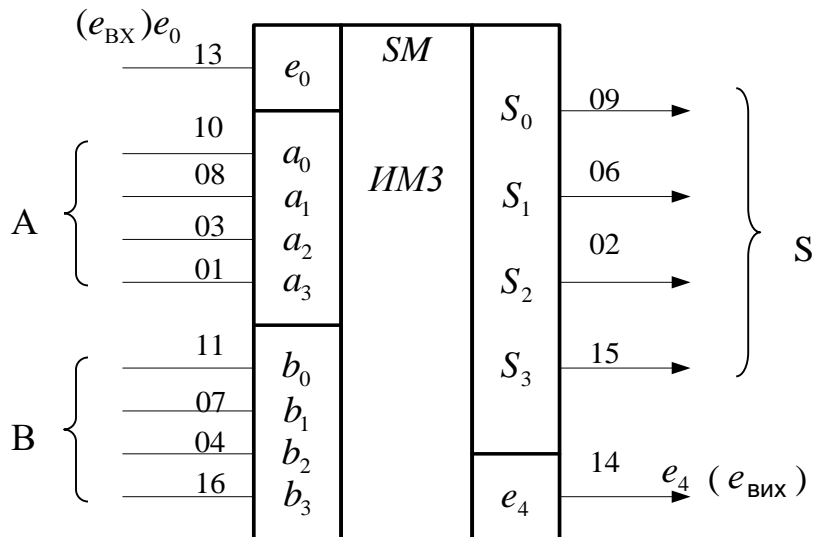


Рисунок 2.23 - Умовне графічне позначення чотирирозрядного суматора К155ИМ3 (SN7483)

На рис. 2.23 використовуються такі позначення виводів суматора:

$e_0$  – вхід, призначений для прийому ознаки вхідного переносу в молодший розряд суматора;

$A = a_3 a_2 a_1 a_0$ ,  $B = b_3 b_2 b_1 b_0$  – відповідно перший та другий чотирирозрядні операнди суматора;

$e_4$  – вивід ознаки п'ятого (старшого) розряду суми при виконанні операції додавання операндів (ознака вихідного переносу в старшу чотирирозрядну групу багаторозрядного суматора);

$S = S_3 S_2 S_1 S_0$  – виводи молодших чотирьох розрядів повної суми вхідних змінних  $A$ ,  $B$  і  $e_0$ .

Таким чином, додавання операндів в суматорі ИМ3 виконується згідно з виразами:

$$\begin{aligned} & 8(a_3 + b_3) + 4(a_2 + b_2) + 2(a_1 + b_1) + a_0 + b_0 + e_0 = \\ & \overline{e_2} = \overline{g_1 p_1 + p_1 e_1}; \\ & = 16e_4 + 8S_3 + 4S_2 + 2S_1 + S_0 = C(4-0); \end{aligned} \quad (2.29)$$



де  $C(4-0)$  – повна сума вхідних змінних мікросхеми ИМЗ ( $A+B+e_0$ ).

Для формування вихідного сигналу переносу  $e_4 (e_{вх})$  в інтегральній схемі ИМЗ використовується окрема логічна схема (рис. 2.25), в якій вихідний перенос суматора формується незалежно від внутрішніх сигналів переносів  $e_1, e_2, e_3$  шляхом паралельного (одночасного) аналізу всіх вхідних змінних суматора [ 1 ]:

$$e_4 = p_3 p_3 + g_3 p_2 + g_3 g_2 p_1 + g_3 g_2 g_1 p_0 + g_3 g_2 g_1 g_0 e_0 \quad (2.30)$$

де  $p_i$  – функція розповсюдження (транзити) переносу через  $i$ -тий розряд ( $p_i = a_i \vee b_i$ );

$g_i$  – функція генерації (породження) переносу в  $i$ -тому розряді ( $g_i = a_i b_i$ ).

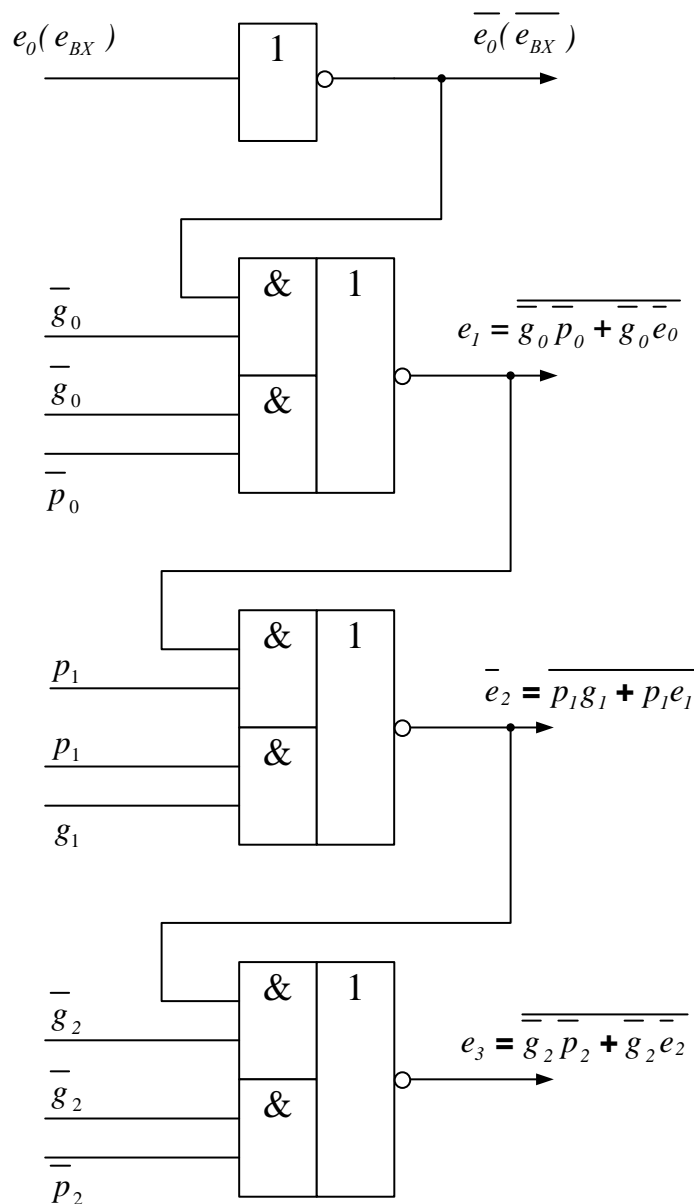


Рисунок 2.24 – Функціональна схема кіл внутрішніх сигналів переносу в мікросхемі ИМЗ

Таким чином, можна відзначити, що при використанні такого способу організації переносу в мікросхемі ИМЗ значно зменшується тривалість операції додавання в багаторозрядних групових суматорах [ 1 ] на основі цієї інтегральної схеми.

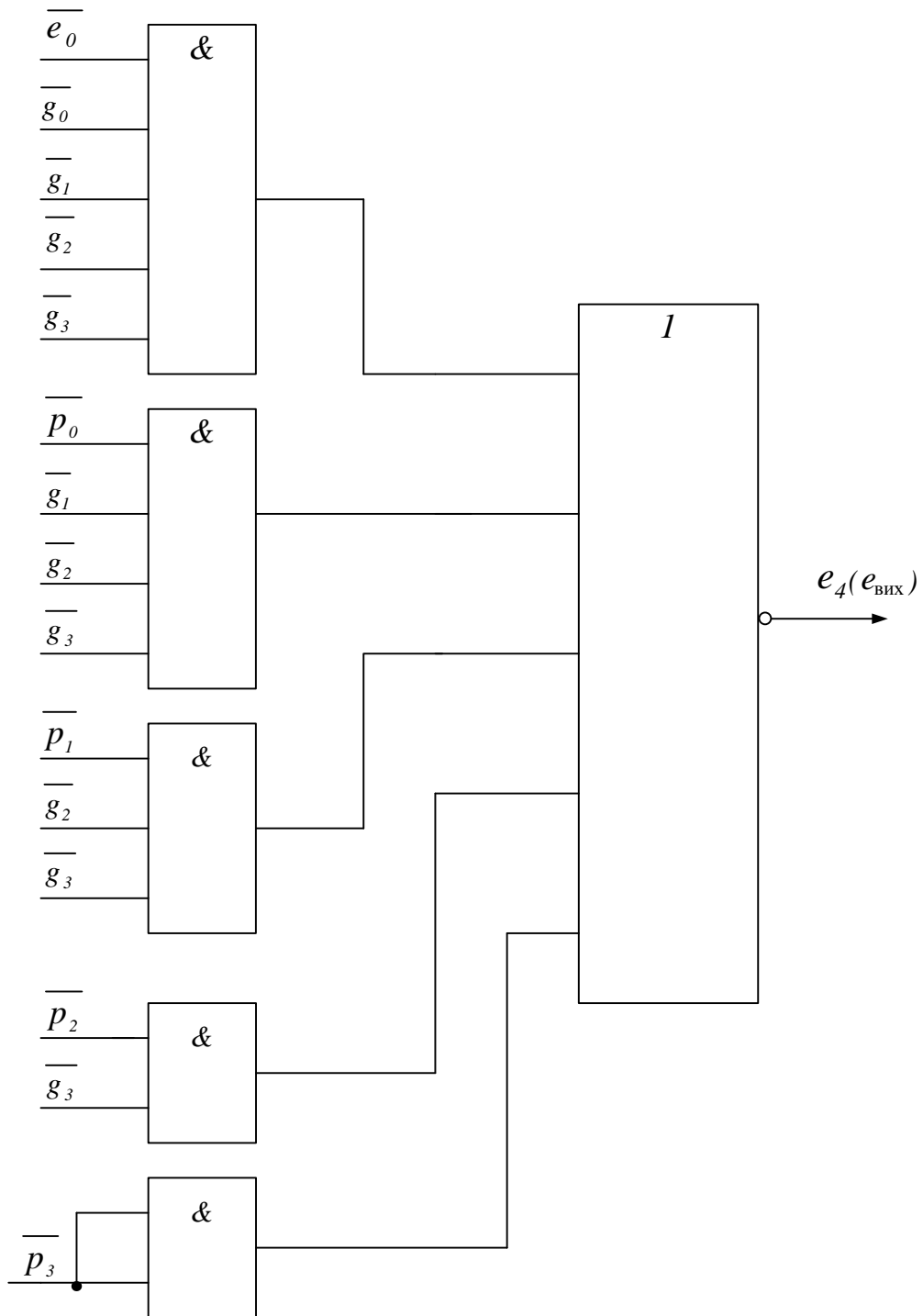


Рисунок 2.25 – Схема формування ознаки прискореного вихідного переносу в суматорі ИМЗ

Функції суми  $S3, S2, S1, S0$  в мікросхемі ИМЗ побудовані на основі логічних елементів «Виключне АБО» (рис.2.26), згідно з канонічними логічними виразами [ 2 ]:

$$S0 = \bar{e}_0 \oplus (\overline{p_0 g_0}); \quad (2.31)$$

$$S1 = e_1 \oplus (\overline{p_1 g_1}); \quad (2.32)$$

$$S2 = \bar{e}_2 \oplus (\overline{p_2 g_2}); \quad (2.33)$$

$$S3 = e_3 \oplus (\overline{p_3 g_3}). \quad (2.34)$$

де  $\overline{(\overline{p_0 g_0})} = \overline{a_0 \oplus b_0},$

$$(\overline{p_1 g_1}) = a_1 \oplus b_1,$$

$$\overline{(\overline{p_2 g_2})} = \overline{a_2 \oplus b_2},$$

$$(\overline{p_3 g_3}) = a_3 \oplus b_3.$$

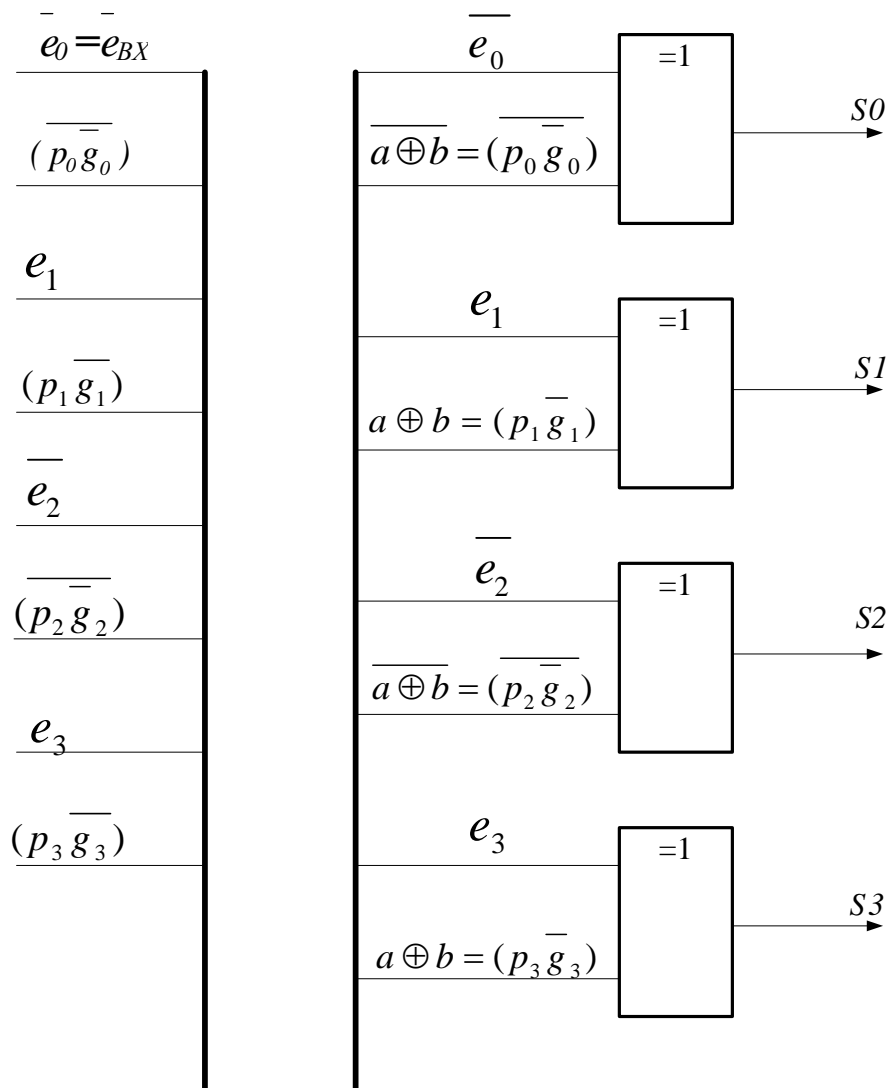


Рисунок 2.26 – Функціональна схема формування суми  $S (S3, S2, S1, S0)$  в мікросхемі ИМЗ

На рис. 2.27 використовуються такі позначення:

$e_0, a_i, b_i, S_i, e_4$  – зображення вхідних змінних і функцій ИМЗ за угодою позитивної логіки (ПЛ);

$e_0^{НЛ}, a_i^{НЛ}, b_i^{НЛ}, S_i^{НЛ}, e_4^{НЛ}$  – зображення вхідних змінних і функцій ИМЗ за угодою негативної логіки (НЛ);  
 $e_0^{НЛ} = \bar{e}_0, a_i^{НЛ} = \bar{a}_i, b_i^{НЛ} = \bar{b}_i, S_i^{НЛ} = \bar{S}_i, e_4^{НЛ} = \bar{e}_4$ .

Зазначимо, що з урахуванням властивості самоподвійності будь-якого суматора мікросхема ИМЗ може бути застосована для додавання модулів чисел при використанні негативного способу кодування вхідних змінних і функцій суматора (рис. 2.27).

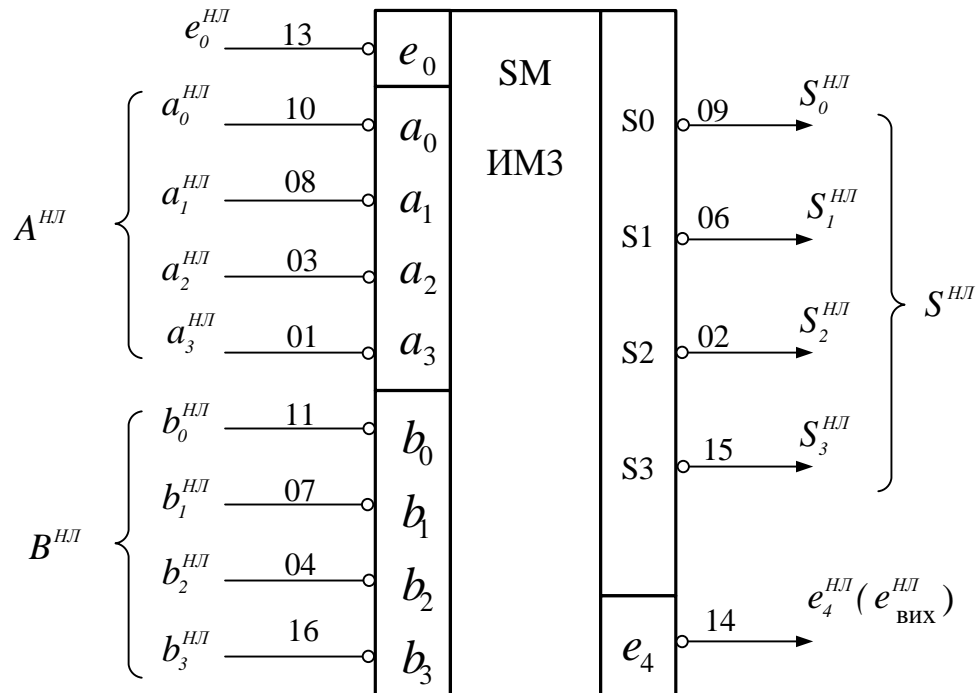


Рисунок 2.27 – Умовне графічне позначення мікросхеми ИМЗ за угодою негативної логіки

При цьому з урахуванням визначення змінних за негативною угодою вхідні змінні та функції суматора набувають інверсні значення відносно сигналів з позитивною логікою, тобто, наприклад,  $e_0^{НЛ} = \bar{e}_0$  і  $a_3^{НЛ} = \bar{a}_3$  (за замовчуванням припускається, що  $a_3 = a_3^{ПЛ}, e_0 = e_0^{ПЛ}$ ).

В таблиці 2.2 приведено приклади додавання модулів чисел в суматорі ИМЗ при кодуванні вхідних змінних і функцій з використанням позитивної і негативної логіки.

Розглянуто випадок, коли на входи інтегральної схеми суматора ИМЗ з позитивною логікою (рис. 2.23) і негативною логікою (рис. 2.27) надходить однакова сукупність двозначних вхідних рівнів напруги:

$$\begin{aligned} 13 = L; & \quad 10 = H; & \quad 08 = L; & \quad 03 = H; & \quad 01 = L; \\ 11 = L; & \quad 07 = H; & \quad 04 = H; & \quad 16 = H, \end{aligned}$$

де 13, 10, 08, 03, 01, 11, 07, 04, 16 – номери вхідних виводів мікросхеми ИМЗ;  
 L, H – відповідно низький і високий рівень напруги двозначних вхідних сигналів мікросхеми ИМЗ.

Очевидно, що при використанні цих рівнів напруги вхідних сигналів в суматорі ИМЗ з позитивною логікою (рис. 2.23) встановлюються такі коди (табл. 2.2):

$$A + B + e_0 = (0101 + 1110 + 0);$$

$$e_4 S(3/0) = 1\ 0011.$$

В мікросхемі суматора ИМЗ з негативною логікою (рис. 2.27) за таких же рівнів напруги вхідних сигналів виникає інший режим роботи схеми (табл. 2.2):

$$A^{HL} + B^{HL} + e_0^{HL} = 1010 + 0001 + 1;$$

$$e^{HL} S^{HL}(3/0) = 0\ 1100.$$

Приклад додавання модулів чисел в суматорі К155ИМЗ з використанням позитивної та негативною логіки для кодування операндів та результату Таблиця 2.2

Вхідні дані / результат	$e_4 S_3 S_2 S_1 S_0$	$b_3 b_2 b_1 b_0$	$a_3 a_2 a_1 a_0$	$e_0$	Примітка
Електричний рівень сигналів	H N L H H	H N H L	L H L H	L	L - низький рівень H - високий рівень
Значення змінних з використанням позитивної логіки (L↔0, H↔1)	$e_4^{HL} S_{HL}(3/0)$	$B_{HL}(3/0)$	$A_{HL}(3/0)$	$e_0^{HL}$	$A_{HL} = 0101 (5_{10})$ $B_{HL} = 1110 (14_{10})$ $(e_0)_{HL} = 0 (0_{10})$ $(e_4 S)_{HL} = 10011 (19_{10})$
	1 0 0 1 1	1 1 1 0	0 1 0 1	0	
Значення змінних з використанням негативною логіки (L↔1, H↔0)	$e_4^{HL} S_{HL}(3/0)$	$B_{HL}(3/0)$	$A_{HL}(3/0)$	$e_0^{HL}$	$A_{HL} = 1010 (10_{10})$ $B_{HL} = 0001 (1_{10})$ $(e_0)_{HL} = 1 (1_{10})$ $(e_4 S)_{HL} = 01100 (12_{10})$
	0 1 1 0 0	0 0 0 1	1 0 1 0	1	

Примітка.

1. L – низький рівень сигналу.
2. H – високий рівень сигналу.
3.  $A_{\text{нл}} = \bar{A}_{\text{пл}}, B_{\text{нл}} = \bar{B}_{\text{пл}}, S_{\text{нл}} = \bar{S}_{\text{пл}}, (e_4)_{\text{нл}} = (\bar{e}_4)_{\text{пл}}$ .

4. $A_{\text{пл}} =$	0 1 0 1 (LHLH)	}	Вхідні змінні і функції в суматорі з позитивною логікою (рис. 2.23)
$B_{\text{пл}} =$	1 1 1 0 (HННL)		
$e_0^{\text{пл}} =$	0 (L)		
1 (H)	0 0 1 1 (LLHH)		
$(e_4)_{\text{пл}}$	$S_{\text{пл}}(3/0)$		

5. $A_{\text{нл}} =$	1 0 1 0 (LHLH)	}	Вхідні змінні і функції в суматорі з негативною логікою (рис. 2.27)
$B_{\text{нл}} =$	0 0 0 1 (HННL)		
$e_0^{\text{нл}} =$	1 (L)		
0(H)	1 1 0 0 (LLHH)		
$(e_4)_{\text{нл}}$	$S_{\text{нл}}(3/0)$	$= \overline{e_4^{\text{пл}}} \overline{S_{\text{пл}}(3/0)}$	

### Контрольні завдання та запитання

1. До якого класу цифрових схем відноситься суматор ИМЗ?
2. Охарактеризуйте призначення та принцип функціонування інтегральної схеми К155ИМЗ.
3. Охарактеризуйте функції суматора ИМЗ з позитивною та негативною логікою.
4. Охарактеризуйте призначення виводів суматора ИМЗ.
5. Поясніть булеву функцію виходів мікросхеми ИМЗ.
6. Виконайте підсумовування двох заданих багаторозрядних чисел в двійковій системі числення.
7. Приведіть умовне графічне позначення суматора на базі інтегральної схеми К155ИМЗ.

8. Приведіть логічні вирази, за якими побудовано суматор на базі інтегральної схеми ИМЗ.
9. До якого типу суматорів відносяться суматори в складі інтегральної схеми ИМЗ?
10. Який тип переносу між розрядами реалізовано в суматорі ИМЗ?
11. З якою метою в суматорі ИМЗ використовується черезрозрядна інверсія переносу?
12. Яким чином використовується властивість самоподвійності в суматорі ИМЗ?
13. Побудуйте логічну схему, яка реалізує функції переносів між розрядами суматора за допомогою сигналів генерації і транзиту переносу.
14. Приведіть в булевому базисі схеми формування функції суми мікросхеми ИМЗ.
15. Побудуйте логічну схему, яка реалізує функцію вихідного переносу  $E_3$  суматора ИМЗ.
16. Який тип переносу реалізовано при формуванні вихідного переносу  $E_3$  суматора ИМЗ?
17. Побудуйте формувач вихідного переносу ИМЗ.
18. Побудуйте формувачі переносів  $e_1, e_2, e_3$  мікросхеми ИМЗ.
19. Як побудувати багаторозрядний суматор на базі інтегральної схеми ИМЗ?
20. Приведіть 16-тирозрядний груповий суматор на основі ИМЗ з обхідним та паралельно-паралельним переносом.
21. Як визначити швидкодію суматора ИМЗ?
22. Як визначити швидкодію багаторозрядного суматора на базі мікросхеми ИМЗ?
23. Приведіть приклади значень операндів, при яких суматор ИМЗ буде мати найменшу швидкодію.

#### **2.4. Теоретичні засади, схемотехніка і застосування арифметично-логічних пристроїв К155ИПЗ (SN74181) і схем прискореного переносу К155ИП4 (SN74182)**

Інтегральна схема К155ИПЗ (далі ИПЗ) відноситься до класу арифметико-логічних пристроїв (*arithmetic logic unit*). Мікросхема ИПЗ випускається також в складі інших серій ТТЛ (К555, К531, К533, К1531, К1533

та інш.) та призначена для виконання арифметичних і логічних операцій над операндами з високою швидкістю.

Умовне графічне зображення мікросхеми ИПЗ [2,4] приведено на рис.2.28. Найважливішою властивістю мікросхеми ИПЗ є можливість оперативного налаштування (програмування) мікросхеми.

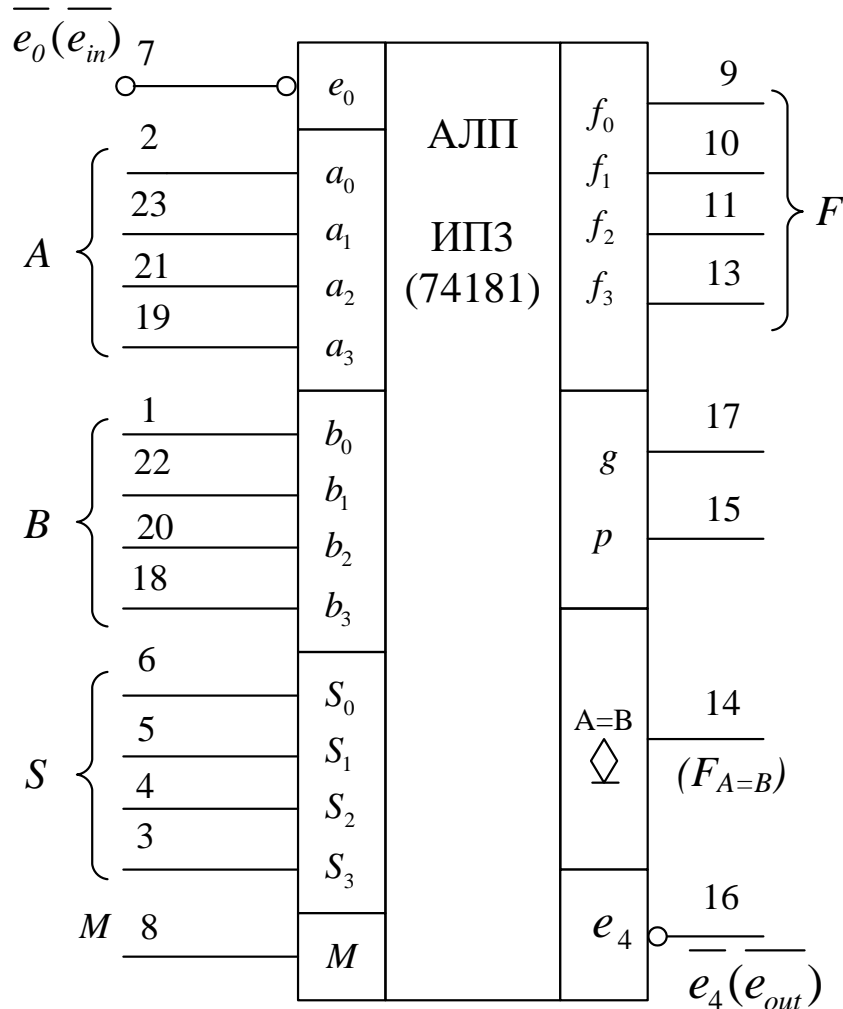


Рисунок 2.28 - Умовне графічне позначення чотирирозрядного арифметико-логічного пристрою К155ИПЗ ( SN74181 ) з використанням позитивної логіки для зображення вхідних операндів та вихідних функцій АЛП

На рис.2.28 приведені позначення та опис призначення виводів арифметико-логічного пристрою ( АЛП ) ИПЗ:

$S = S_3S_2S_1S_0$  – входи вибору мікрооперації, які призначені для налаштування АЛП на виконання заданої мікрооперації ( $S$  задає код операції поточної мікрооперації  $i$  в АЛП);

$M$  – вхід вибору режиму функціонування пристрою (mode control), який задає в АЛП режим виконання арифметико-логічних ( $M = 0$ ) або логічних ( $M = 1$ ) операцій;



$A = a_3a_2a_1a_0$ ,  $B = b_3b_2b_1b_0$  – позначення вхідних змінних для утворення операндів АЛП;

$F = f_3f_2f_1f_0$  – виходи, на які виводяться результати поточної мікрооперації в пристрою;

$\overline{e_0}(e_{in})$  – ознака сигналу відсутності вхідного переносу при виконанні логіко-арифметичних мікрооперацій;

$\overline{e_4}(e_{out})$  – вихід ознаки відсутності вихідного переносу при виконанні арифметико-логічних мікрооперацій в АЛП ( $\overline{e_4} = 1$ , якщо значення прямого сигналу переносу  $e_4 = 0$ );

$g$  і  $p$  – додаткові виходи (використовуються тільки при організації багаторозрядних АЛП за умови функціонування ИПЗ з прискорювачем переносу ИП4);

$F_{A=B}$  – вихід з відкритим колектором, на який виводяться ознака рівності вхідних змінних  $A$  і  $B$ .

Для ініціалізації виконання необхідної арифметичної або логічної операції в мікросхемі ИПЗ необхідно використовувати керуючі сигнали, які надходять на групу входів  $M$ ,  $S_3$ ,  $S_2$ ,  $S_1$ ,  $S_0$ . За допомогою цих сигналів логічну схему АЛП можна настроювати на виконання однієї з тридцяти двох можливих мікрооперацій.

В командному коді за допомогою керуючого сигналу  $M$  задається тип операції. За сигналом  $M = 0$  ( $L$ ) в мікросхемі ИПЗ здійснюються так звані логіко-арифметичні дії, тобто операції з урахуванням сигналів переносу між розрядами, а при  $M = 1$  ( $H$ ) виконуються суто логічні операції. Входи настроювання  $S = S_3S_2S_1S_0$  використовуються для того, щоб задати і виконати певну мікрооперацію.

Значення результатів логічних перетворень та арифметичних дій формуються на виходах  $f_3f_2f_1f_0$  ( $F$ ). При виконанні арифметичних дій вхідний сигнал переносу в ИПЗ необхідно задавати в інверсній формі, тобто при наявності вхідного переносу на вхід  $e_0$  необхідно задавати нульове значення булевої змінної ( $\overline{e_0}$ ).

Значення ознаки вихідного переносу в мікросхемі ИПЗ при виконанні логіко-арифметичних операцій формується також в інверсній формі, тобто як сигнал  $\overline{e_4}$ .

Структурна схема мікросхеми ИПЗ і окремо одного розряду мікросхеми ИПЗ приведена на рис. 2.29.

Якщо керуючий сигнал приймає одиничне значення  $M = 1 (H)$ , то у всіх розрядах мікросхеми формуються постійні істинні значення сигналів вхідного переносу  $e_i = 1$  (рис. 2.29), тому в кожному окремому розряді мікросхеми за сигналом  $M = 1 (H)$  операції виконуються без врахування сигналів переносів між розрядами.

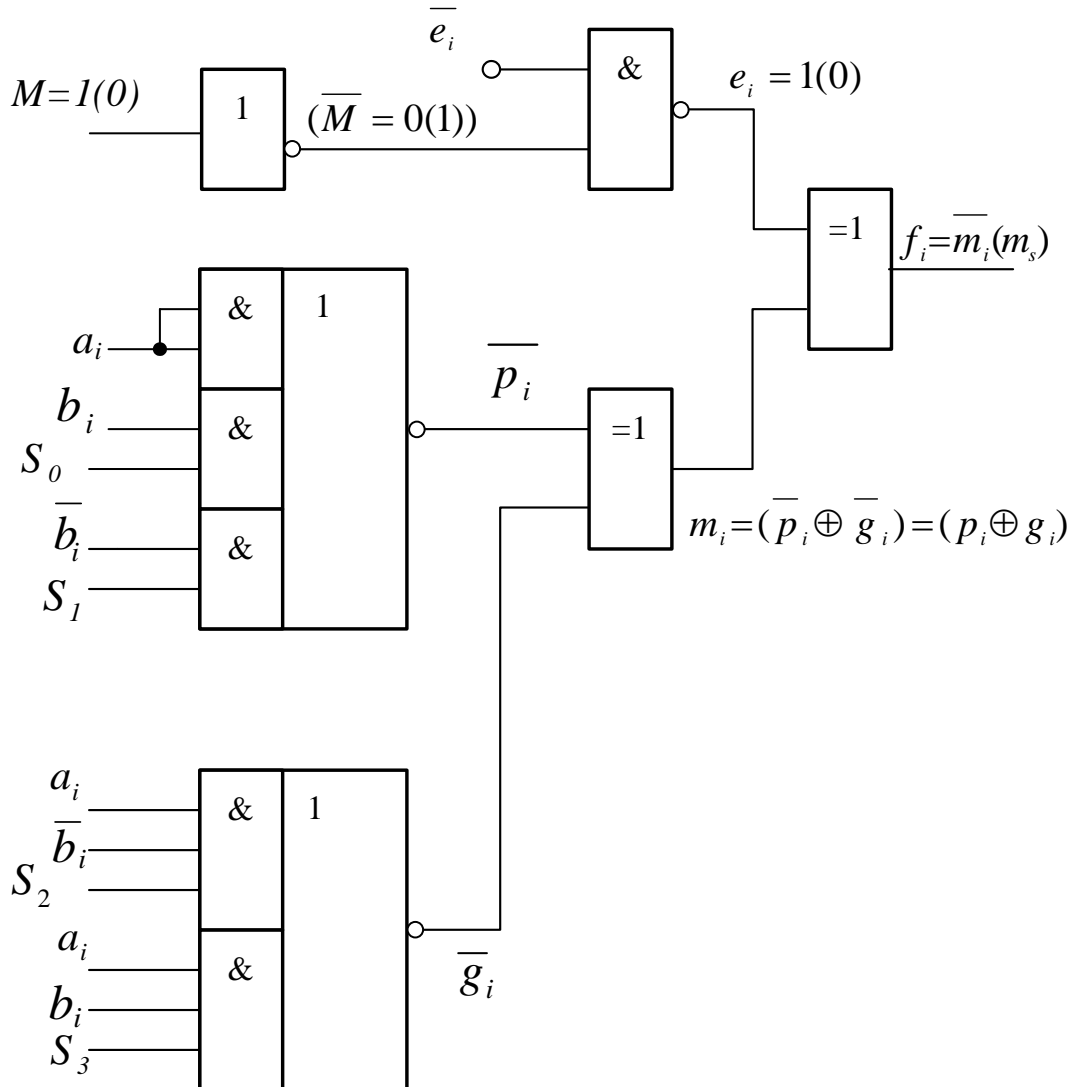


Рисунок 2.29 - Структурна схема виконання порозрядних логічних і арифметичних функцій в АЛП ИПЗ з позитивною логікою

При цьому відповідно до рис.2.29 вихідний сигнал для  $i$ -того розряду  $f_i$  в мікросхемі ИПЗ формується згідно зі співвідношеннями:

$$p_i = a_i \vee [(b_i \wedge S_0) \vee (\bar{b}_i \wedge S_1)]; \quad (2.35)$$

$$g_i = [(a_i \wedge \bar{b}_i) \wedge S_2] \vee [(a_i \wedge b_i) \wedge S_3]; \quad (2.36)$$

$$m_i = \bar{p}_i \oplus \bar{g}_i = (p_i \oplus g_i); \quad (2.37)$$

$$f_i = 1 \oplus m_i = \bar{m}_i. \quad (2.38)$$

Скориставшись цими логічними функціями, можна побудувати логічний вираз вихідних сигналів для будь-якого значення керуючого коду

$S = S_0S_1S_2S_3$ . Наприклад, для керуючого коду  $S = S_3S_2S_1S_0 = 0101$  ( $LHLH$ ), згідно з (2.35 - 2.38), маємо:

$$\begin{aligned}
 p_i &= (a_i \vee b_i); & g_i &= (a_i \wedge \bar{b}_i); \\
 f_i &= (\overline{p_i \oplus g_i}) = \overline{(a_i \vee b_i) \oplus (a_i \wedge \bar{b}_i)} = \\
 &= [(\overline{a_i \vee b_i}) \wedge (a_i \wedge \bar{b}_i)] \vee [(a_i \vee b_i) \wedge (a_i \wedge \bar{b}_i)] = \\
 &= [(\bar{a}_i \wedge \bar{b}_i) \wedge (a_i \wedge \bar{b}_i)] \vee [a_i \wedge \bar{b}_i] = \\
 &= (\bar{a}_i \wedge \bar{b}_i) \vee (a_i \wedge \bar{b}_i) = \bar{b}_i,
 \end{aligned}$$

тобто при  $S = S_3S_2S_1S_0 = 0101$   $f_3f_2f_1f_0 = \bar{b}_3\bar{b}_2\bar{b}_1\bar{b}_0 = \overline{B(3/0)}$ , де  $B(3/0)$  – значення чотирирозрядного коду на інформаційних входах  $b_3b_2b_1b_0$  мікросхеми ИПЗ (рис. 2.28).

Порозрядні логічні функції  $p_i$  АЛП ИПЗ (рис. 2.29) з активним високим рівнем інформаційних (А, В) та керуючих ( $M, S_0 - S_3$ ) сигналів (за позитивною логікою)

Таблиця 2.3.

$S_0S_1 \backslash S_2S_3$	00(LL)	01(LH)	10(HL)	11(HH)	
00 (LL)	$a_i$	$a_i$	$a_i$	$a_i$	$M=1$ ( $M=H$ )
01 (LH)	$a_i \vee \bar{b}_i$	$a_i \vee \bar{b}_i$	$a_i \vee \bar{b}_i$	$a_i \vee \bar{b}_i$	
10 (HL)	$a_i \vee b_i$	$a_i \vee b_i$	$a_i \vee b_i$	$a_i \vee b_i$	
11 (HH)	1	1	1	1	
$p_i = a_i \vee [b_i S_0 \vee \bar{b}_i S_1]$					

Порозрядні логічні функції  $g_i$  АЛП ИПЗ (рис. 2.29) з активним високим рівнем інформаційних (А, В) та керуючих ( $M, S_0 - S_3$ ) сигналів (за позитивною логікою)

Таблиця 2.4

$S_0S_1 \backslash S_2S_3$	00(LL)	01(LH)	10(HL)	11(HH)	
00 (LL)	0	$a_i \wedge b_i$	$a_i \wedge \bar{b}_i$	$a_i$	$M=1$ ( $M=H$ )
01 (LH)	0	$a_i \wedge b_i$	$a_i \wedge \bar{b}_i$	$a_i$	
10 (HL)	0	$a_i \wedge b_i$	$a_i \wedge \bar{b}_i$	$a_i$	
11 (HH)	0	$a_i \wedge b_i$	$a_i \wedge \bar{b}_i$	$a_i$	
$g_i = [(a_i \wedge \bar{b}_i) \wedge S_2] \vee [(a_i \wedge b_i) \wedge S_3]$					

Аналогічним чином, з використанням формул (2.35-2.38) можна обґрунтувати значення всіх змінних в рядках таблиць логічних операцій ИПЗ (табл. 2.3 - 2.5).

Логічні співвідношення АЛП ИПЗ за умови використання негативної логіки кодування булевих змінних для зображення операндів та результату (рис. 2.30) приведені в табл. 2.6.

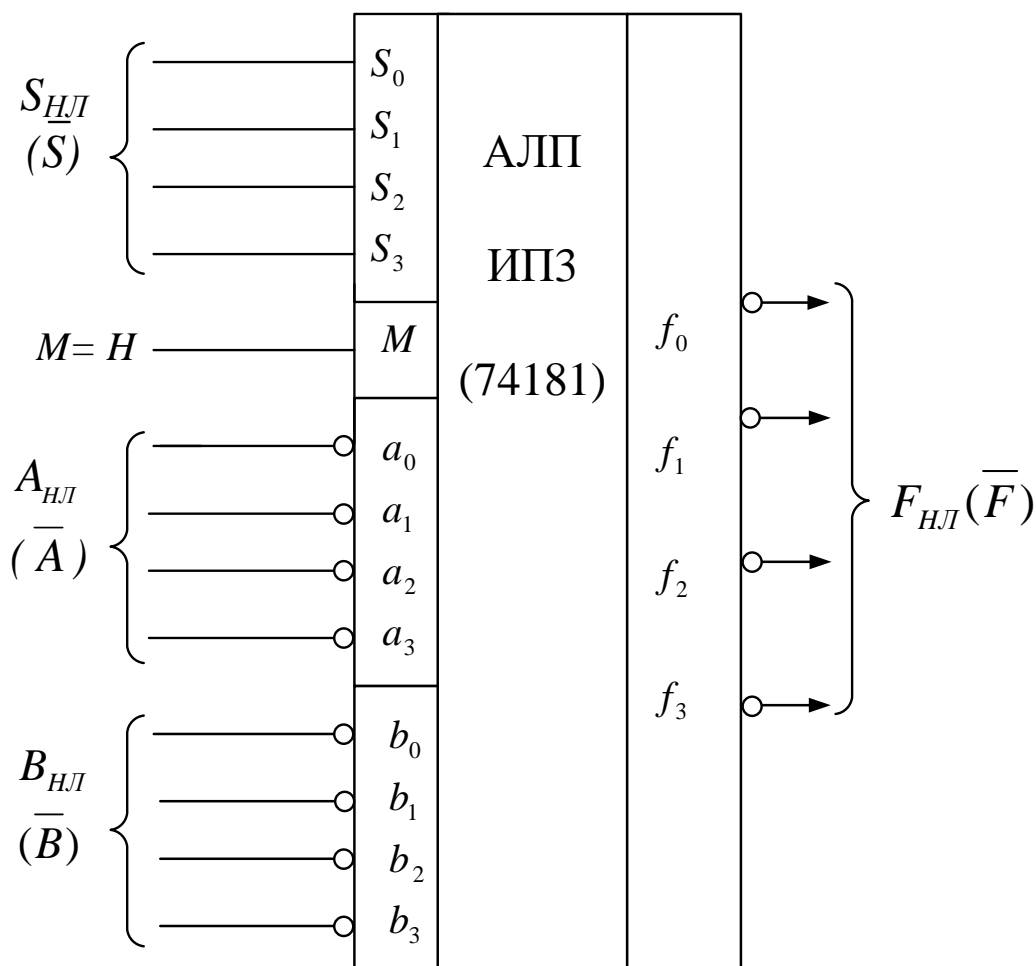


Рисунок 2.30 – Умовне графічне позначення АЛП ИПЗ при виконанні логічних операцій ( $M = H$ ) з використанням негативної логіки для зображення операндів та результату

На рис. 2.30 використовуються такі позначення;

$B_{HL}, A_{HL}$  — зображення операндів з використанням негативної логіки кодування змінних;

$F, A, B$  — зображення функції та операндів в АЛП ИПЗ з позитивною логікою.

Логічні співвідношення ИПЗ для негативної логіки побудовані, виходячи з логічних виразів для позитивної логіки, наступним чином.

Логічні операції АЛП ИПЗ з позитивною логікою

Таблиця 2.5

$M = H(1)$	
$S_0S_1$	$S_2S_3 = LL(00)$
LL(00)	$f_i = \overline{a_i \oplus 0} = \overline{a_i}$
LH(01)	$f_i = \overline{(a_i \vee \overline{b_i}) \oplus 0} = \overline{a_i \vee \overline{b_i}} = \overline{a_i} \wedge b_i$
HL(10)	$f_i = \overline{(a_i \vee b_i) \oplus 0} = \overline{a_i \vee b_i}$
HH(11)	$f_i = \overline{1 \oplus 0} = 0$
$f_i = \overline{p_i \oplus g_i} = \overline{\overline{p_i} \oplus \overline{g_i}}$	
$S_0S_1$	$S_2S_3 = LH(01)$
LL(00)	$f_i = \overline{a_i \oplus (a_i \wedge b_i)} = \overline{a_i} \wedge \overline{(a_i \wedge b_i)} \vee a_i \wedge (a_i \wedge b_i) =$ $= \overline{a_i} \vee (\overline{a_i} \vee \overline{b_i}) \vee (a_i \wedge b_i) = \overline{a_i} \vee (\overline{a_i} \wedge b_i) \vee (a_i \wedge b_i) =$ $= \overline{a_i} \vee (a_i \wedge b_i) = \overline{a_i} \vee b_i$
LH(01)	$f_i = \overline{(a_i \vee \overline{b_i}) \oplus (a_i \wedge b_i)} = \overline{(a_i \vee \overline{b_i})} \wedge \overline{(a_i \wedge b_i)} \vee (a_i \vee \overline{b_i}) \wedge (a_i \wedge b_i) =$ $= \overline{a_i} \wedge b_i \wedge (\overline{a_i} \vee \overline{b_i}) \vee (a_i \wedge b_i) = (\overline{a_i} \wedge b_i) \vee (a_i \wedge b_i) = b_i(\overline{a_i} \vee a_i) = b_i$
HL(10)	$f_i = \overline{(a_i \vee b_i) \oplus (a_i \wedge b_i)} = \overline{(a_i \vee b_i)} \wedge \overline{(a_i \wedge b_i)} \vee (a_i \vee b_i) \wedge (a_i \wedge b_i) =$ $= \overline{(a_i \wedge \overline{b_i})} \vee (a_i \wedge b_i) = \overline{a_i} \oplus b_i$
HH(11)	$f_i = \overline{1 \oplus (a_i \wedge b_i)} = \overline{a_i \wedge b_i} = a_i \wedge b_i$
$f_i = \overline{p_i \oplus g_i} = \overline{\overline{p_i} \oplus \overline{g_i}}$	
$S_0S_1$	$S_2S_3 = HL(10)$
LL(00)	$f_i = \overline{a_i \oplus (a_i \wedge \overline{b_i})} = \overline{a_i} \wedge \overline{(a_i \wedge \overline{b_i})} \vee [a_i \wedge (a_i \wedge \overline{b_i})] = \overline{a_i} \vee (a_i \wedge b_i) = \overline{(a_i \wedge \overline{b_i})}$
LH(01)	$f_i = \overline{(a_i \vee \overline{b_i}) \oplus (a_i \wedge \overline{b_i})} = \overline{(a_i \vee \overline{b_i})} \wedge \overline{(a_i \wedge \overline{b_i})} \vee [(a_i \vee \overline{b_i}) \wedge (a_i \wedge \overline{b_i})] =$ $= \overline{(a_i \wedge b_i)} \vee (a_i \wedge \overline{b_i}) = (a_i \oplus b_i)$
HL(10)	$f_i = \overline{(a_i \vee b_i) \oplus (a_i \wedge \overline{b_i})} = \overline{(a_i \vee b_i)} \wedge \overline{(a_i \wedge \overline{b_i})} \vee (a_i \vee b_i) \wedge (a_i \wedge \overline{b_i}) = \overline{(a_i \wedge \overline{b_i})} \vee (a_i \wedge \overline{b_i}) = \overline{b_i}$
HH(11)	$f_i = \overline{1 \oplus (a_i \wedge \overline{b_i})} = \overline{a_i \wedge \overline{b_i}} = a_i \wedge b_i$
$f_i = \overline{p_i \oplus g_i} = \overline{\overline{p_i} \oplus \overline{g_i}}$	
$S_0S_1$	$S_2S_3 = HH(11)$
LL(00)	$f_i = \overline{a_i \oplus a_i} = \overline{0} = 1 (const)$
LH(01)	$f_i = \overline{(a_i \vee \overline{b_i}) \oplus a_i} = \overline{[(a_i \vee \overline{b_i}) \wedge a_i] \vee [(a_i \vee \overline{b_i}) \wedge a_i]} = (a_i \vee b_i)$
HL(10)	$f_i = \overline{(a_i \vee b_i) \oplus a_i} = \overline{(a_i \vee b_i)} \wedge \overline{a_i} \vee (a_i \vee b_i) \wedge a_i = (a_i \vee \overline{b_i})$
HH(11)	$f_i = \overline{1 \oplus a_i} = \overline{a_i} = a_i$
$f_i = \overline{p_i \oplus g_i} = \overline{\overline{p_i} \oplus \overline{g_i}}$	

Для позитивної логіки, наприклад, керуючому коду  $MS_0S_1S_2S_3=HLHL$  відповідає операція додавання за модулем два (табл. 2.5):

$$F = A \oplus B, \quad (2.39)$$

де  $A, B, F$  – зображення входу-виходу мікросхеми ИПЗ за позитивною логікою.

При використанні негативної логіки для зображення операндів стан вхідних сигналів ( $A_{\text{нл}}, B_{\text{нл}}$ ) буде інверсним по відношенню до стану операндів з позитивною логікою ( $A_{\text{пл}}=A, B_{\text{пл}}=B$ ):

$$A_{\text{нл}} = \overline{A}; \quad B_{\text{нл}} = \overline{B}.$$

На виході ИПЗ результат за умови негативної логіки  $F_{\text{нл}}$  також буде інверсним до стану вихідного коду з позитивною логікою ( $F_{\text{пл}}=F$ ), тобто:

$$F_{\text{нл}} = \overline{F}.$$

Виходячи з цього, функції (2.39) ИПЗ за умови використання негативної логіки буде відповідати логічне співвідношення:

$$F_{\text{нл}} = \overline{F} = \overline{A \oplus B} = \overline{\overline{A_{\text{нл}}} \oplus \overline{B_{\text{нл}}}} = \overline{A_{\text{нл}}} \oplus \overline{B_{\text{нл}}}.$$

Аналогічним чином, виходячи з логічних рівнянь ИПЗ з позитивною логікою (табл. 2.5), в табл. 2.6 побудовані логічні співвідношення для всіх логічних мікрооперацій ИПЗ з негативною логікою.

За керуючим сигналом  $M = 0$  ( $L$ ) функція  $F=f_3f_2f_1f_0$  АЛП ИПЗ в кожному розряді формується за канонічним алгоритмом обчислення значення арифметичної суми в однорозрядному суматорі (рис. 2.29) :

$$m_i = p_i \oplus g_i \quad (2.40)$$

$$f_i = m_i \oplus e_i, \quad (2.41)$$

де  $e_i$  – значення переносу з молодшого сусіднього розряду в поточний  $i$ - тий розряд;

$p_i, g_i$  – біти двійкових операндів арифметичної суми  $f_i$ .

Операнди  $p_i$  та  $g_i$  арифметичної суми  $f_i$  в загальному випадку в АЛП ИПЗ являють собою складну логічну функцію інформаційних сигналів ИПЗ в  $i$ - тому розряді  $a_i$  і  $b_i$ . Зв'язок між інформаційними входами  $a_i$  і  $b_i$  в ИПЗ та операндами двійкової суми  $p_i$  і  $g_i$  визначається співвідношеннями (2.35) - (2.36).

Конкретний вираз функцій  $p_i = f_p(a_i, b_i)$  та  $g_i = f_g(a_i, b_i)$  при виконанні логіко-арифметичних операцій при  $M=0$  в ИПЗ визначається кодом настроювання номера арифметичної дії  $S = S_0S_1S_2S_3$ .

Таким чином, в інтегральній схемі АЛП ИПЗ при додаванні двійкових операндів спочатку відбувається певне логічне перетворення вхідних інформаційних сигналів  $a_i$  і  $b_i$  в сигнали  $p_i$  і  $g_i$  відповідно до функцій  $f_p$  та  $f_g$ , а

потім виконується арифметичне додавання отриманих логічних виразів з врахуванням переносу з молодшого розряду  $e_i$  (рис. 2.29). В зв'язку з цим, значення коду  $S = S_0S_1S_2S_3$  визначають одну з шістнадцяти операцій арифметичного додавання чотирирозрядних інформаційних сигналів  $A = a_3a_2a_1a_0$  і  $B = b_3b_2b_1b_0$ .

Логічні операції АЛП ИПЗ з негативною логікою

Таблиця 2.6

$M = H$		
$S_0S_1$	$S_2S_3 = LL$	$F/F_{HL}$
LL	$F = \bar{A}$	$F$
	$F_{HL} = \bar{F} = (\bar{\bar{A}}) = A = \bar{A}_{HL}$	$F_{HL} = \bar{F}$
LH	$F = \bar{A} \wedge B$	$F$
	$F_{HL} = \bar{F} = \overline{\bar{A} \wedge B} = \overline{\bar{A}} \vee \bar{B} = A \vee \bar{B} = (\bar{A}_{HL} \vee B_{HL})$	$F_{HL} = \bar{F}$
HL	$F = \overline{\bar{A} \vee B}$	$F$
	$F_{HL} = \bar{F} = \overline{\overline{\bar{A} \vee B}} = A \vee B = \bar{A}_{HL} \vee \bar{B}_{HL} = \overline{\bar{A}_{HL} \wedge \bar{B}_{HL}}$	$F_{HL} = \bar{F}$
HH	$F = 0$	$F$
	$F_{HL} = \bar{F} = \bar{0} = 1$	$F_{HL} = \bar{F}$
$A = \bar{A}_{HL}, B = \bar{B}_{HL}$		
$S_0S_1$	$S_2S_3 = LH$	$F/F_{HL}$
LL	$F = \bar{A} \vee B$	$F$
	$F_{HL} = \bar{F} = \overline{\bar{A} \vee B} = A \wedge \bar{B} = \bar{A}_{HL} \wedge B_{HL}$	$F_{HL} = \bar{F}$
LH	$F = B$	$F$
	$F_{HL} = \bar{F} = \bar{B} = B_{HL}$	$F_{HL} = \bar{F}$
HL	$F = \bar{A} \oplus \bar{B}$	$F$
	$F_{HL} = \overline{\overline{\bar{A} \oplus \bar{B}}} = A \oplus B = \bar{A}_{HL} \oplus \bar{B}_{HL} = A_{HL} \oplus B_{HL}$	$F_{HL} = \bar{F}$
HH	$F = A \wedge B$	$F$
	$F_{HL} = \bar{F} = \overline{A \wedge B} = \bar{A} \vee \bar{B} = A_{HL} \vee B_{HL}$	$F_{HL} = \bar{F}$
$A = \bar{A}_{HL}, B = \bar{B}_{HL}$		
$S_0S_1$	$S_2S_3 = HL$	$F/F_{HL}$
LL	$F = \overline{\bar{A} \wedge B}$	$F$
	$F_{HL} = \bar{F} = \overline{\overline{\bar{A} \wedge B}} = A \wedge B = \bar{A}_{HL} \wedge \bar{B}_{HL} = \overline{\bar{A}_{HL} \vee \bar{B}_{HL}}$	$F_{HL} = \bar{F}$
LH	$F = A \oplus B$	$F$
	$F_{HL} = \bar{F} = \overline{A \oplus B} = \overline{\bar{A}_{HL} \oplus \bar{B}_{HL}} = \bar{A}_{HL} \oplus \bar{B}_{HL}$	$F_{HL} = \bar{F}$
HL	$F = \bar{B}$	$F$

	$F_{\text{HL}} = \bar{F} = \bar{B} = B = \bar{B}_{\text{HL}}$	$F_{\text{HL}} = \bar{F}$
HH	$F = A \wedge \bar{B}$	$F$
	$F_{\text{HL}} = F = \overline{A \wedge \bar{B}} = \bar{A} \vee B = A_{\text{HL}} \vee \bar{B}_{\text{HL}}$	$F_{\text{HL}} = \bar{F}$
$A = \bar{A}_{\text{HL}}, B = \bar{B}_{\text{HL}}$		

Продовження таблиці 2.6

<b>M = H</b>		
$S_0S_1$	$S_2S_3 = \text{HH}$	$F/F_{\text{HL}}$
LL	$F = 1$	$F$
	$F_{\text{HL}} = \bar{F} = \bar{1} = 0$	$F_{\text{HL}} = \bar{F}$
LH	$F = A \vee B$	$F$
	$F_{\text{HL}} = \bar{F} = \overline{A \vee B} = \bar{A} \wedge \bar{B} = A_{\text{HL}} \wedge B_{\text{HL}}$	$F_{\text{HL}} = \bar{F}$
HL	$F = A \vee \bar{B}$	$F$
	$F_{\text{HL}} = \bar{F} = \overline{A \vee \bar{B}} = \bar{A} \wedge B = A_{\text{HL}} \wedge \bar{B}_{\text{HL}}$	$F_{\text{HL}} = \bar{F}$
HH	$F = A$	$F$
	$F_{\text{HL}} = \bar{F} = \bar{A} = A_{\text{HL}}$	$F_{\text{HL}} = \bar{F}$
$A = \bar{A}_{\text{HL}}, B = \bar{B}_{\text{HL}}$		

Пояснимо функціонування пристрою ИПЗ, наприклад, при надходженні коду мікрооперації  $S = S_0S_1S_2S_3 = 1001$ .

Згідно з (2.35) і (2.36) операнди в режимі арифметичного додавання ( $M=0$ ) за цим кодом набувають вигляду:

$$p_i = (a_i \vee b_i); \quad (2.42)$$

$$g_i = (a_i \wedge b_i), \quad (2.43)$$

де  $(a_i \vee b_i)$ ,  $(a_i \wedge b_i)$  – як відомо [1], відповідно умова розповсюдження (транзиту) через  $i$ -тий поточний розряд вхідного переносу  $e_i$  з молодшого розряду в старший сусідній розряд та значення розрядного (місцевого) переносу з  $i$ -того розряду в старший сусідній розряд двійкового суматора у випадку додавання в  $i$ -тому розряді суматора операндів  $a_i$  і  $b_i$ , [3, 5].

Вихідна функція внутрішнього та вихідного суматора за модулем два (рис. 2.29) при цьому набуває вигляду:



$$\begin{aligned}
m_i &= p_i \oplus g_i = (a_i \vee b_i) \oplus (a_i \wedge b_i) = \\
&= (a_i \vee b_i)(\bar{a}_i \vee \bar{b}_i) + (\bar{a}_i \wedge \bar{b}_i)(a_i \vee b_i) = \\
&= a_i \bar{b}_i \vee \bar{a}_i b_i = a_i \oplus b_i, \\
f_i &= m_i \oplus e_i = (a_i \oplus b_i) \oplus e_i.
\end{aligned} \tag{2.44}$$

З цього випливає, що при використанні коду вибору мікрооперації  $S = S_0 S_1 S_2 S_3 = 1001$  в мікросхемі ИПЗ в кожному розряді виконується додавання безпосередньо вхідних інформаційних сигналів  $a_i$  та  $b_i$  з урахуванням переносів між розрядами, тобто, загалом, на вихідних виводах  $F$  в мікросхемі ИПЗ утворюється чотири молодших розряди повної суми вхідних чотирирозрядних інформаційних сигналів  $A(3/0)$  та  $B(3/0)$  та вхідного переносу  $e_0$ :

$$F(3/0) = [A(3/0) + B(3/0) + e_0]_{mod16} \tag{2.45}$$

Крім того, необхідно звернути увагу на те, що отримана функція  $F(3/0)$  інтегральної схеми ИПЗ визначає тільки чотири молодші розряди п'ятирозрядної суми чотирирозрядних операндів  $A(3/0)$  і  $B(3/0)$ , тобто являє собою залишок за модулем 16 ( $mod16$ ) повної суми чотирирозрядних операндів.

Для формування міжрозрядних сигналів переносу в інтегральній схемі ИПЗ використовується канонічний алгоритм формування паралельного непереносу (сигнал відсутності переносу) [3,4] за логічними співвідношеннями (рис. 2.31 - 2.34):

$$\begin{aligned}
\bar{e}_1(\bar{E}_0) &= \bar{a}_0 \bar{b}_0 + (\bar{a}_0 + \bar{b}_0) e_0 = \overline{(a_0 + b_0)} + \overline{(a_0 b_0)} e_0 = \\
&= \bar{p}_0 + \bar{g}_0 e_0;
\end{aligned} \tag{2.46}$$

$$\begin{aligned}
\bar{e}_2(\bar{E}_1) &= \bar{p}_1 + \bar{g}_1 e_1 = \bar{p}_1 + \bar{g}_1 [\bar{p}_0 + \bar{g}_0 e_0] = \\
&= \bar{p}_1 + \bar{g}_1 \bar{p}_0 + \bar{g}_1 \bar{g}_0 e_0;
\end{aligned} \tag{2.47}$$

$$\bar{e}_3(\bar{E}_2) = \bar{p}_2 + \bar{g}_2 e_2 = \bar{p}_2 + \bar{g}_2 \bar{p}_1 + \bar{g}_2 \bar{g}_1 \bar{p}_0 + \bar{g}_2 \bar{g}_1 \bar{g}_0 e_0, \tag{2.48}$$

де  $\bar{e}_i$  – значення ознаки вхідного сигналу непереносу в  $i$ -тому розряді;

$\bar{E}_i$  – значення ознаки вихідного непереносу в старший сусідній розряд з  $i$ -того поточного розряду.

В структурній схемі АЛП ИПЗ використовується інверсна логіка, тому замість сигналу непереносу в схемі формуються прямі значення розрядних переносів  $e_1$ ,  $e_2$  та  $e_3$ , які обчислюються за еквівалентними логічними співвідношеннями (рис. 2.31 - 2.34):

$$e_1(E_0) = \overline{\bar{p}_0 + \bar{g}_0 e_0}; \tag{2.49}$$

$$\overline{e_2(E_1)} = \overline{p_1 + g_1 p_0 + g_1 g_0 e_0}; \quad (2.50)$$

$$\overline{e_3(E_2)} = \overline{p_2 + g_2 p_1 + g_2 g_1 p_0 + g_2 g_1 g_0 e_0}. \quad (2.51)$$

Вихідний сигнал непереносу АЛП ИПЗ  $\overline{e_4}$  (рис. 2.35), тобто вихідний неперенос з третього розряду ( $\overline{E_3}$ ), обчислюється за аналогічним канонічним співвідношенням розповсюдження паралельного непереносу в чотирирозрядній групі [3, 4]:

$$\overline{e_4(E_3)} = \overline{p_3 + g_3 p_2 + g_3 g_2 p_1 + g_3 g_2 g_1 p_0 + g_3 g_2 g_1 g_0 e_0} \quad (2.52)$$

В структурній схемі в АЛП ИПЗ (рис. 2.35) формула (2.52) реалізована з використанням проміжних групових функцій  $p_{0/3}$  і  $g_{0/3}$ :

$$\overline{e_4(E_3)} = \overline{g_{0/3} + p_{0/3} e_0},$$

де  $\overline{g_{0/3}} = \overline{p_3 + g_3 p_2 + g_3 g_2 p_1 + g_3 g_2 g_1 p_0}$  – груповий сигнал місцевого непереносу з чотирирозрядної секції АЛП ИПЗ(3/0);

$\overline{p_{0/3}} = \overline{g_3 g_2 g_1 g_0}$  – сигнал групової умови розповсюдження (транзиту) вхідного непереносу  $\overline{e_0}$  через чотирирозрядну секцію АЛП ИПЗ(3/0).

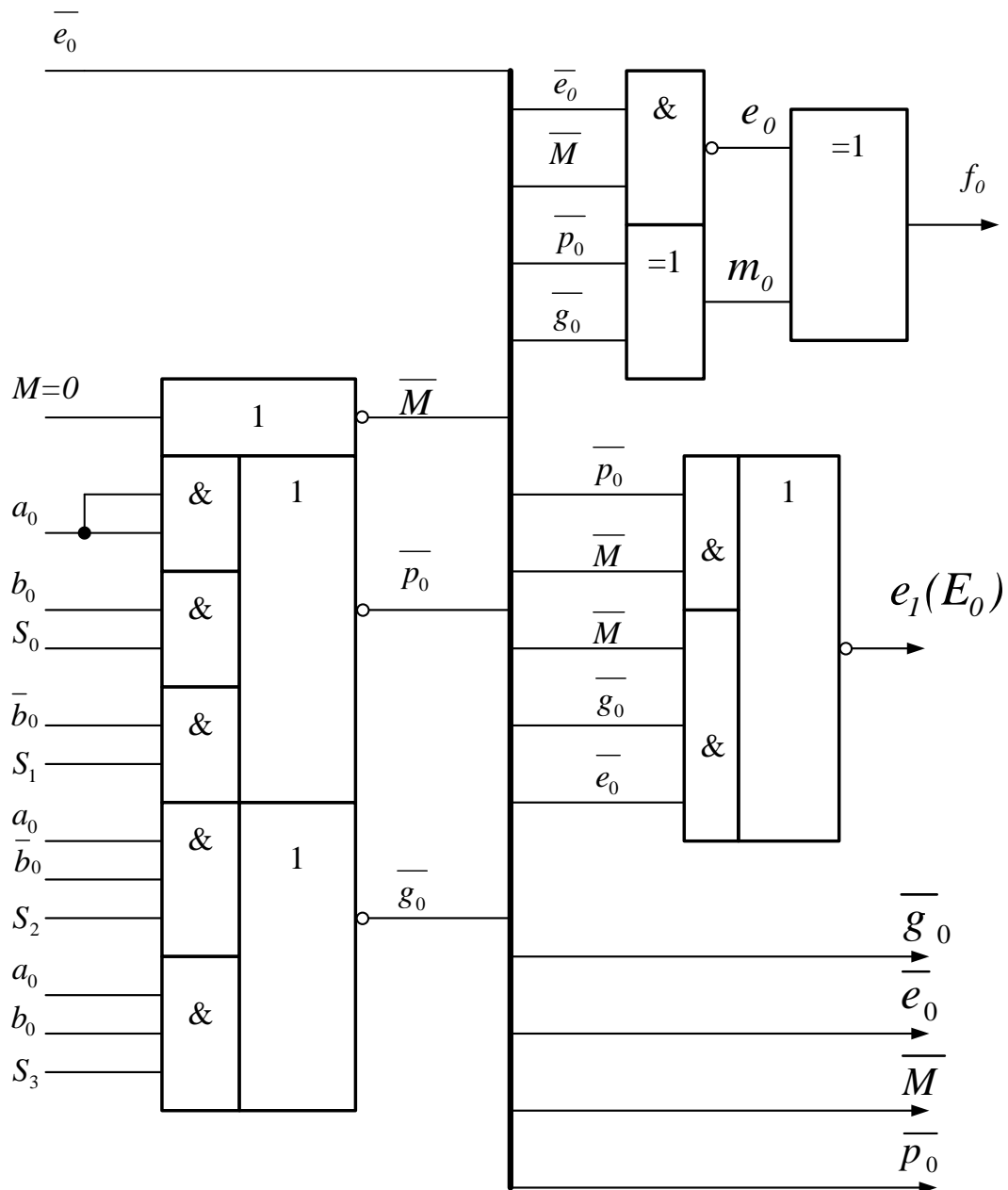


Рисунок 2.31 - Структурна схема формування молодшого розряду  $f_0$  АЛП ИПЗ в режимі виконання арифметичних дій ( $M=0$ )

Фактично в мікросхемі ИПЗ ( рис.2.35 ) формула ( 2.52 ) реалізована за еквівалентними співвідношеннями в другій формі :

$$\overline{e_4(E_3)} = \overline{g_{0/3} + p_{0/3}e_0} = \overline{\overline{g_{0/3}} + \overline{p_{0/3}e_0}} = \overline{\overline{g_{0/3}}(\overline{p_{0/3}e_0})}, \quad (2.53)$$

де  $\overline{g_{0/3}} = \overline{p_3 + g_3 p_2 + g_3 g_2 p_1 + g_3 g_2 g_1 p_0}$ ,  $\overline{p_{0/3}} = \overline{g_3 \vee g_2 \vee g_1 \vee g_0}$ .

З використанням сигналів ознак вхідного  $\overline{e_0}$  і вихідного  $\overline{e_4}$  переносів на основі секції мікросхеми АЛП ИПЗ можуть бути побудовані багаторозрядні суматори.

При використанні  $k$  мікросхем (секцій) АЛП ИПЗ (з врахуванням сигналів переносів  $\overline{e_0} - \overline{e_4}$ ) утворюється  $4k$ -розрядний пристрій з паралельним переносом в кожній секції і наскрізним переносом між окремими секціями ИПЗ (рис. 2.36).

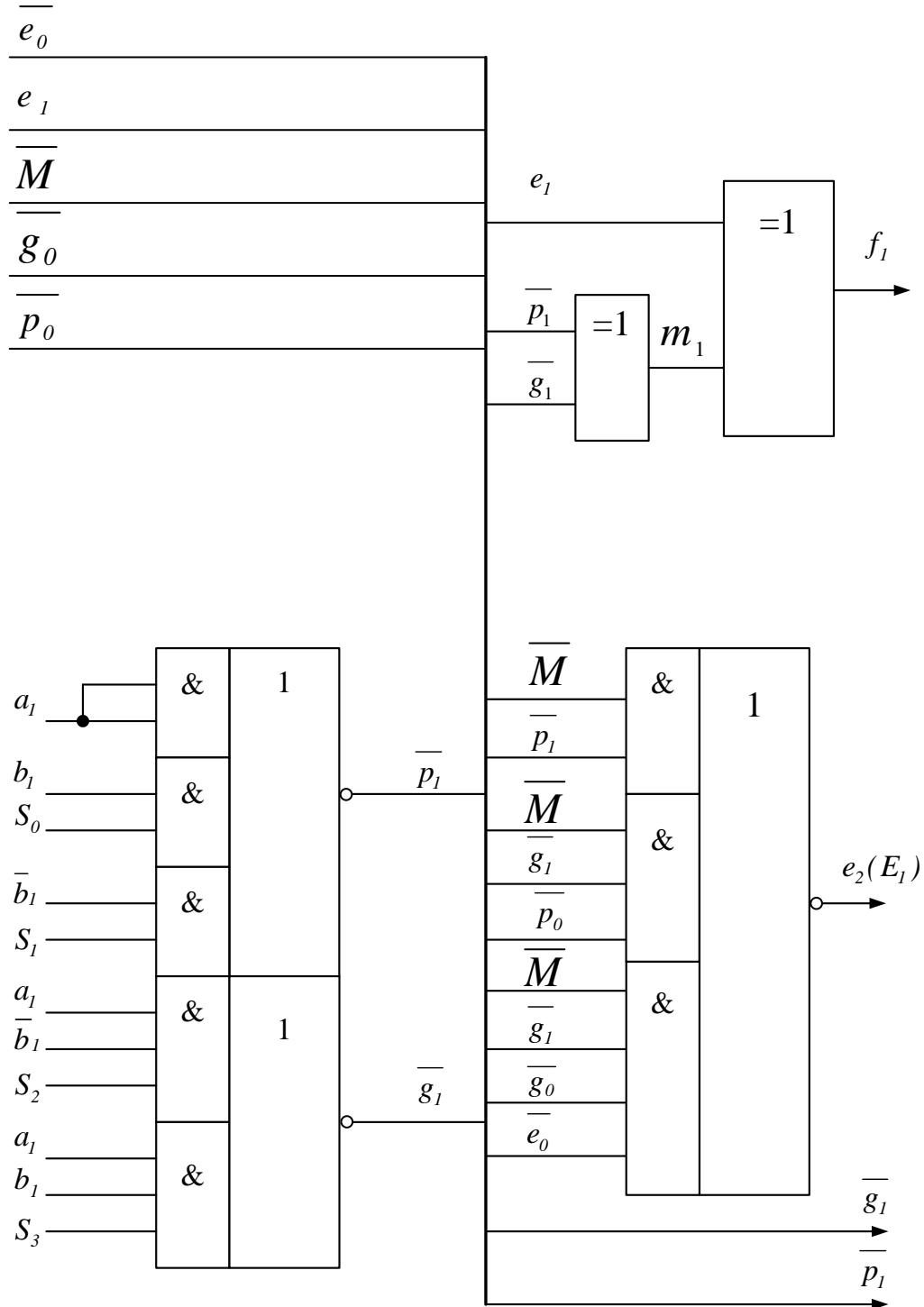


Рисунок 2.32 - Структурна схема формування в першому розряді АЛП ИПЗ суми  $f_1$  та переносу  $E_1$  в режимі виконання арифметичних дій ( $M = 0$ )

Для організації паралельного переносу між окремими чотири-розрядними секціями АЛП використовуються прямі значення групових підготовчих функцій  $g_{0/3}$  і  $p_{0/3}$  (рис. 2.35) :

$$\overline{g_{0/3}} = \overline{p_3} + \overline{g_3 p_2} + \overline{g_3 g_2 p_1} + \overline{g_3 g_2 g_1 p_0}; \quad (2.54)$$

$$p_{0/3} = (g_3 + g_2 + g_1 + g_0). \quad (2.55)$$

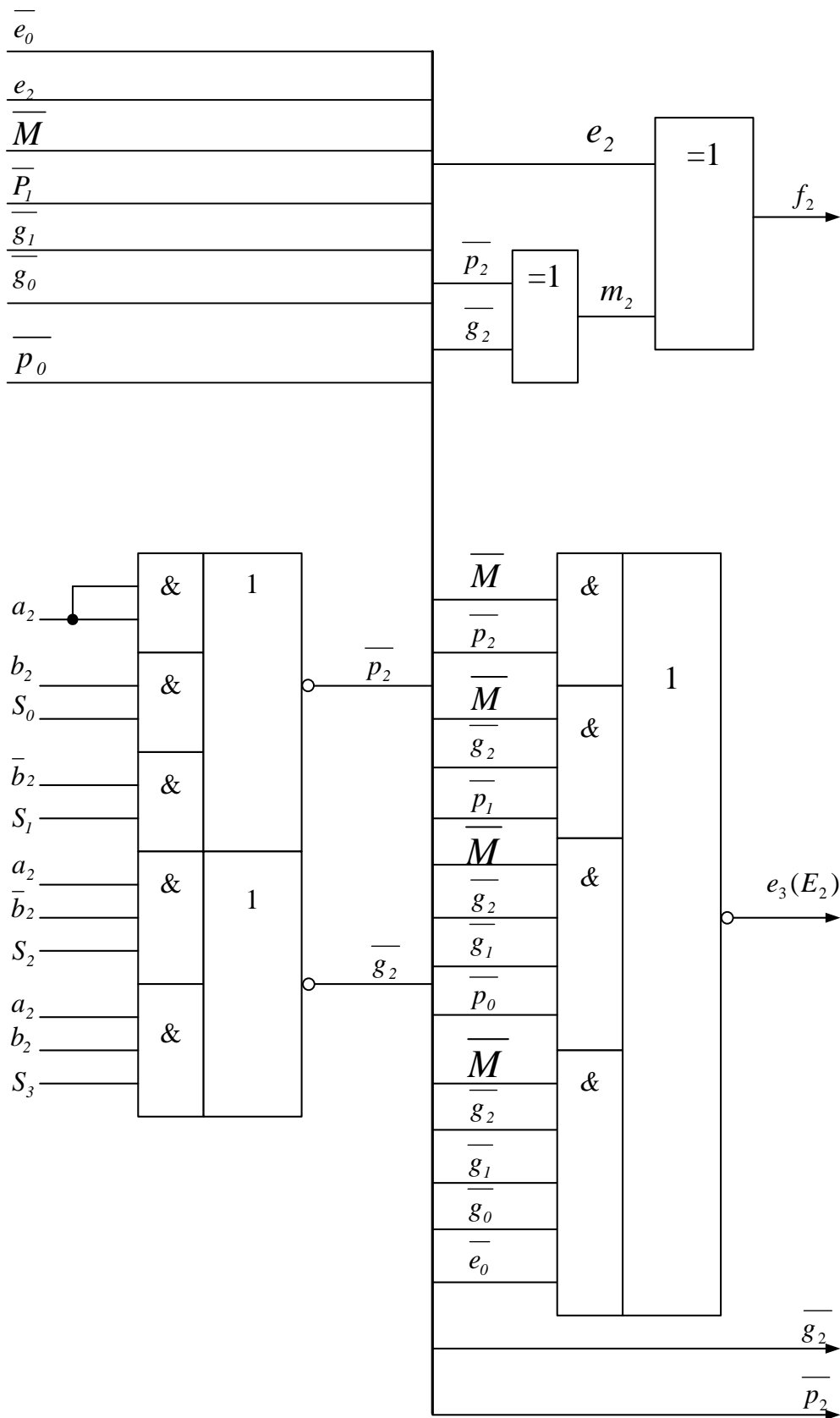


Рисунок 2.33 - Структурна схема формування в другому розряді АЛП ИПЗ суми  $f_2$  та переносу  $E_2$  в режимі виконання арифметичних дій ( $M=0$ )

Для визначення логічного змісту утворених в ИПЗ групових функцій  $g_{0/3}$  і  $p_{0/3}$  виконаємо модифікацію логічного співвідношення (2.53) наступним чином:

$$\overline{e_4} = \overline{g_{0/3}(\overline{p_{0/3}e_0})} = \overline{g_{0/3}(p_{0/3} + e_0)} = \overline{g_{0/3}p_{0/3} + g_{0/3}e_0} \quad (2.56)$$

Тоді для сигналу переносу  $e_4$  згідно з (2.56) можна одержати таке логічне співвідношення:

$$e_4 = (g_{0/3} \wedge p_{0/3}) \vee g_{0/3} \wedge e_0 \quad (2.57)$$

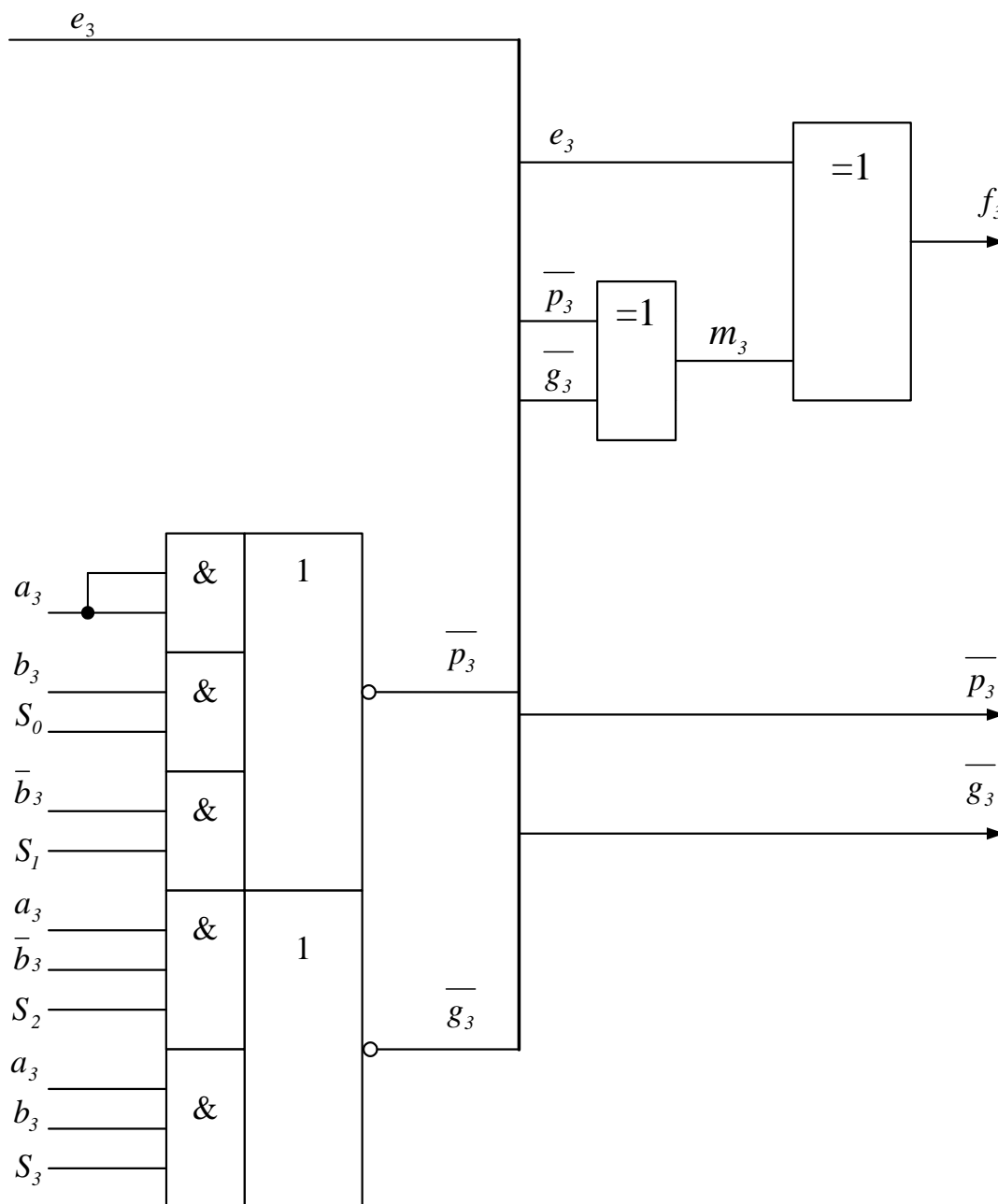


Рисунок 2.34 - Структурна схема формування в третьому розряді АЛП ИПЗ суми  $f_3$  в режимі виконання арифметичних дій ( $M = 0$ )

З цього виразу випливає, що кон'юнкція групових функцій  $g_{0/3}$  і  $p_{0/3}$ , тобто логічний добуток  $g_{0/3}$  і  $p_{0/3}$ , в інтегральній схемі ИПЗ являє собою значення сигналу місцевого переносу в  $i$ -тої секції (при додаванні чотирирозрядних вхідних операндів  $A$  і  $B$ ) без врахування вхідного сигналу переносу.

Таким чином, вираз

$$(g_{0/3} \wedge p_{0/3}) \quad (2.58)$$

є ознакою групового місцевого переносу з секції ИПЗ без врахування ознаки вхідного переносу в секцію.

Груповий підготовчий сигнал  $g_{0/3}$  в мікросхемі ИПЗ має самостійне значення. Згідно з формулою (2.57) функція  $g_{0/3}$  приймає активний рівень  $g_{0/3} = 1$  в тому випадку, коли вхідний сигнал переносу  $e_0$  мусить транзитом передаватися через поточну в старшу секцію АЛП. Отже, з канонічної точки зору функція

$$(g_{0/3}) \quad (2.59)$$

в мікросхемі ИПЗ (рис. 2.35) являє собою умову розповсюдження вхідного переносу  $e_0$  через секцію ИПЗ (умову транзиту вхідного переносу  $e_0$  через секцію ИПЗ).

В режимі логіко-арифметичних дій ( $M=0$ ) в мікросхемі ИПЗ можна також виконати операцію арифметичного віднімання вхідних операндів  $A$  і  $B$  при  $S = 0110$  (1001).

При виконанні операції віднімання за кодом настроювання  $S = S_0S_1S_2S_3 = 0110$  в мікросхемі АЛП ИПЗ відповідно до (2.35 – 2.36) на входах внутрішнього суматора за модулем два (рис. 2.29) формуються операнди:

$$p_i = a_i \vee \beta_i; \quad (2.60)$$

$$g_i = a_i \wedge \beta_i, \quad (2.61)$$

де 
$$\beta_i = \bar{b}_i. \quad (2.62)$$

Отже, згідно з (2.42) – (2.44) за вказаним кодом  $S = S_0S_1S_2S_3 = 0110$  та при  $M=0$  в кожному розряді ИПЗ утворюються функції :

$$m_i = p_i \oplus g_i = a_i \oplus \beta_i;$$

$$f_i = (a_i \oplus \beta_i) \oplus e_i.$$

Таким чином, з урахуванням (2.62), остаточно для вихідної функції  $f_i$  ИПЗ в цьому режимі маємо:

$$f_i = (a_i \oplus \bar{b}_i) \oplus e_i. \quad (2.63)$$

З формули (2.63) випливає, що в зазначеному режимі за кодом операції  $S = 0110$  в чотирирозрядній секції ИПЗ арифметично додаються числа:



$$F(3/0) = [A + \bar{B} + e_0]_{\text{mod } 16}, \quad (2.64)$$

де  $A = a_3a_2a_1a_0$  – модуль операнду  $A(3/0)$ ;

$\bar{B} = \bar{b}_3\bar{b}_2\bar{b}_1\bar{b}_0$  – обернений код операнду  $B(3/0)$ .

Як відомо [ 1 ],

$$\bar{B} = \bar{b}_3\bar{b}_2\bar{b}_1\bar{b}_0 = 1111 - b_3b_2b_1b_0,$$

тобто

$$\bar{B} = (1111 - B) = 15_{10} - B.$$

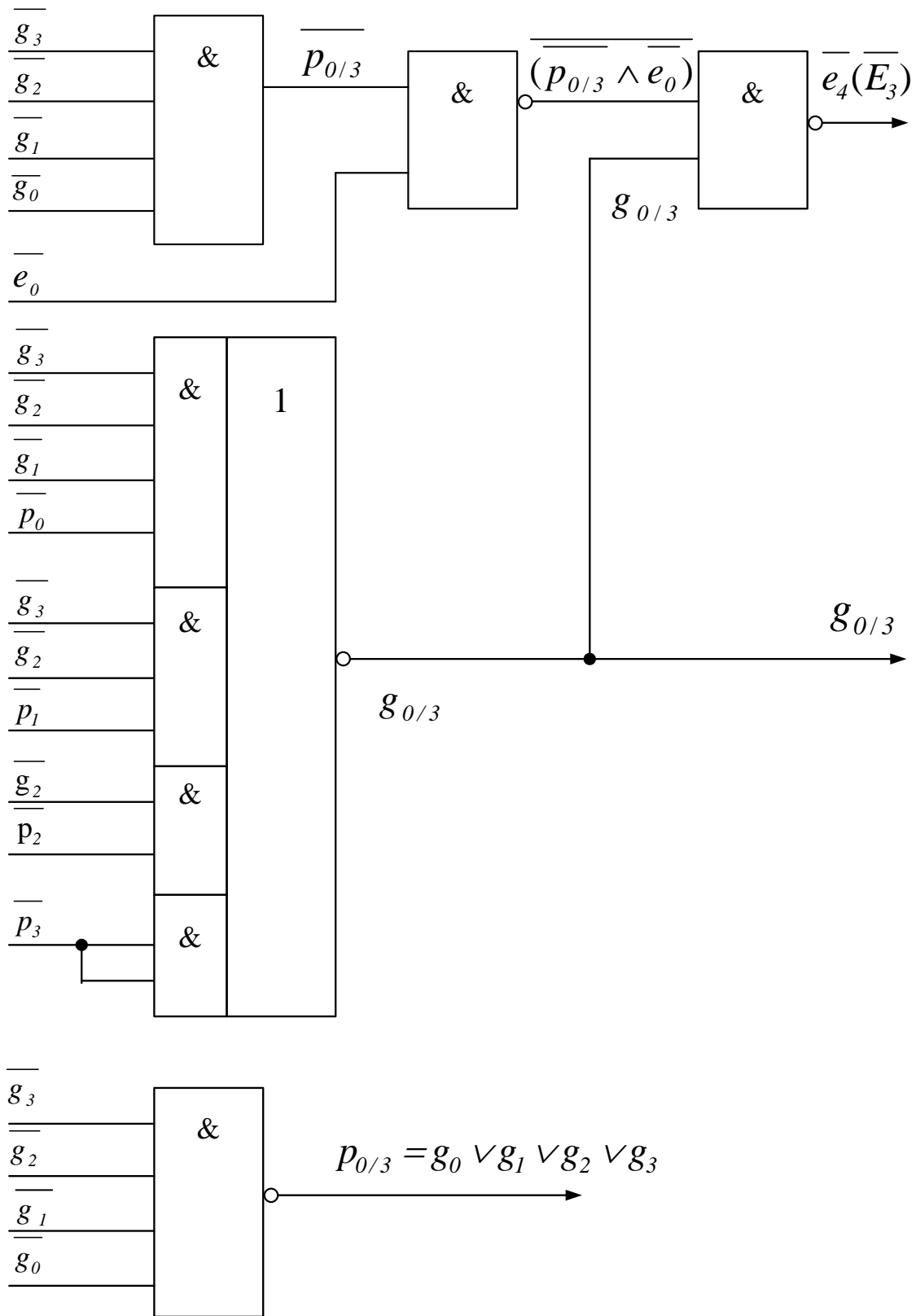


Рисунок 2.35 - Структурна схема формування вихідного непереносу ( $\overline{e_4}$ ) та групових підготовчих функцій в АЛП ИПЗ

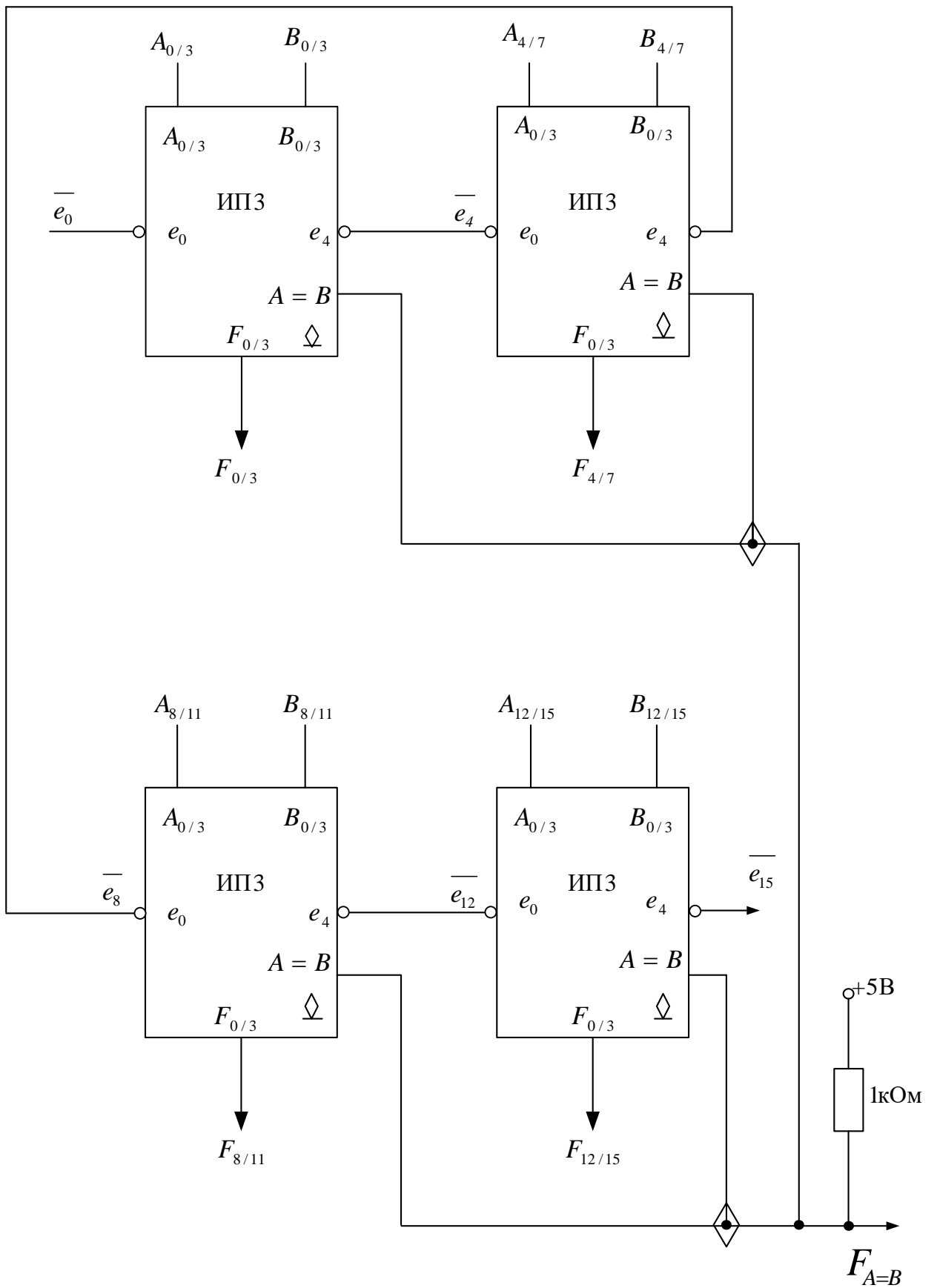


Рисунок 2.36 – Структурна схема 16-розрядного АЛП на основі мікросхем ИПЗ з використанням сигналів переносу  $\overline{e_0} - \overline{e_4}$  ( за умови позитивної логіки )

Отже, за керуючим кодом  $S = S_0S_1S_2S_3 = 0110$  згідно з (2.64) в секції ИПЗ формується функція

$$F = f_3f_2f_1f_0 = [A + (15 - B) + e_0]_{\text{mod}16}, \quad (2.65)$$

остаточне значення якої залежить від вхідного переносу  $e_0$ .

Якщо ознака вхідного переносу  $e_0 = 1$ , то згідно з (2.65) в секції АЛП утворюється результат:

$$F(3/0) = f_3f_2f_1f_0 = [A + (15 - B) + 1]_{\text{mod}16} = [16 + (A - B)]_{\text{mod}16}.$$

Таким чином, для вихідної функції  $F(3/0)$  можна записати:

$$F(3/0) = f_3f_2f_1f_0 = \begin{cases} [16 + (A - B)]_{\text{mod}16} = (A - B), \text{ якщо } A \geq B \\ [16 - (B - A)]_{\text{mod}16} = 15 - (B - A) + 1 = \\ = \overline{(B - A)} + 1 = (B - A)_{D16}, \text{ якщо } B > A, \end{cases}$$

де  $(B - A)_{D16}$  – доповнення до 16 від'ємного чотирирозрядного результату  $(A - B)$ ;

$A, B$  – модулі вхідних чотирирозрядних операндів ИПЗ(3/0) АЛП.

Очевидно, що вихідний перенос мікросхеми ИПЗ  $e_4$  являє собою п'ятий розряд повної суми чотирирозрядних операндів, тому для визначеної операції (2.64)  $e_4$  формується за алгоритмом:

$$e_4 = \begin{cases} 1, \text{ якщо } [16 + (A - B)] \geq 16, \text{ тобто } A \geq B; \\ 0, \text{ якщо } [16 + (A - B)] < 16, \text{ тобто } A < B. \end{cases}$$

З цього випливає, що сигнал вихідного непереносу  $\overline{e_4}$  можна визначити таким чином:

$$\overline{e_4} = \begin{cases} 0, \text{ якщо } A \geq B; \\ 1, \text{ якщо } A < B, \end{cases}$$

де  $A, B$  – модулі чотирирозрядних операндів мікросхеми ИПЗ;

$\overline{e_4}$  – сигнал позики зі старшої секції.

Таким чином, при надходженні коду операції  $S = S_0S_1S_2S_3 = 0110$  і за умови  $e_0=1$  в мікросхемі АЛП ИПЗ виконується арифметична дія (2.64), за результатом якої в ИПЗ обчислюється різниця модулів операндів ( $A$ ) і ( $B$ ), тобто  $F = (A - B)$ . При цьому, якщо різниця  $(A - B)$  є додатною, то результат мікрооперації дорівнює модулю різниці ( $F = |A - B|$ ). В протилежному

випадку, тобто якщо різниця  $(A - B)$  є від'ємною, то вихідний результат ИПЗ являє собою доповнення модуля різниці до 16, тобто

$$F(3/0) = [A + \overline{B} + 1]_{\text{mod}16} = [A + 15 - B + 1]_{\text{mod}16} = \\ = [16 - (B - A)]_{\text{mod}16} = [16 - |A - B|]_{\text{mod}16} = |A - B|_{D16}.$$

Далі необхідно відзначити, що з отриманого виразу випливає логічний алгоритм утворення двійкового коду доповнення до 16 модуля від'ємного результату  $F = (A - B)$ :

$$|A - B|_{D16} = [16 - |A - B|]_{\text{mod}16} = \\ = [15 - |A - B| + 1]_{\text{mod}16} = [\overline{|A - B|} + 1]_{\text{mod}16}.$$

За кодом операції  $S = S_0S_1S_2S_3 = 0110$  та за умови  $e_0 = 0$  відповідно до (2.65) в мікросхемі ИПЗ виконується операція

$$F(3/0) = [A + \overline{B} + 0]_{\text{mod}16} = [A + 15 - B]_{\text{mod}16}.$$

Звідси випливає, що в цьому випадку в ИПЗ формується функція:

$$F(3/0) = \begin{cases} [16 + (A - B - 1)]_{\text{mod}16} = (A - B - 1), & \text{якщо } (A - B) > 0 \\ [15 - (B - A)]_{\text{mod}16} = 15 - (B - A) = \\ = \overline{(B - A)}, & \text{якщо } (A - B) \leq 0, \end{cases}$$

$$= f_3f_2f_1f_0 = (e_0 = 0)$$

де  $\overline{(B - A)}$  – обернений (зворотний) код модуля від'ємної різниці операндів  $(A - B)$ .

Отже, вихідний неперенос  $\overline{e_4}$  в секції ИПЗ за кодом  $S_0S_1S_2S_3 = 0110$  і  $e_0 = 0$  має значення:

$$\overline{e_4} = \begin{cases} 0, & \text{якщо } A > B \\ 1, & \text{якщо } B \geq A. \end{cases}$$

Крім того, необхідно відзначити, що в цьому разі результат  $f_3f_2f_1f_0$  дорівнює 1111, якщо різниця модулів чисел  $A$  і  $B$  дорівнює нулю, тобто при рівності  $A$  і  $B$  ( $A = B$ ).

Значення ознаки вихідного переносу  $e_4$  для зазначеної операції, очевидно, становить:

$$e_4 = \begin{cases} 1, & \text{якщо } A + (15 - B) \geq 16, \text{ тобто } A > B; \\ 0, & \text{якщо } A + (15 - B) < 16, \text{ тобто } B \geq A. \end{cases}$$

При виконанні розглянутої операції віднімання ( $S = 0110$ ), в мікросхемі ИПЗ обчислюється також ознака рівності вхідних чотирирозрядних слів  $F_{A=B}$  (вивід 14 на рис. 2.28). Сигнал рівності  $F_{A=B}$  чисел  $A$  і  $B$  в мікросхемі ИПЗ формується компаратором на основі схеми  $I$  з відкритим колектором (рис. 2.37). Тому для отримання відповідної напруги на виході компаратора вивід схеми  $I$  (вивід 14 ИПЗ) приєднується через резистор 1кОм до джерела живлення (рис. 2.37).

При рівності чотирирозрядних операндів  $A$  і  $B$  та використанні керуючого коду ( $S = 0110$ ), ( $M = 0$ ) та  $e_0 = 0$  відповідно до (2.64)  $F = f_3 f_2 f_1 f_0 = 1111$ , тому на виході схеми  $I$  компаратора (рис. 2.36, 2.37) формується сигнал високого рівня  $H(1)$ .

Крім того, необхідно відзначити, що одночасно сигнал вихідного переносу  $\bar{e}_4$  в мікросхемі ИПЗ характеризує при виконанні згаданої мікрооперації співвідношення чотирирозрядних операндів  $A$  і  $B$  у випадку їх нерівності ( $F_{A=B} = 0$ ). Згідно з (2.64)  $\bar{e}_4 = 0 (L)$ , якщо  $A > B$  і, навпаки,  $\bar{e}_4 = 1 (H)$ , якщо  $A < B$ .

В режимі виконання логіко-арифметичних дій ( $M = 0$ ) мікросхема ИПЗ може також виконувати функцію декрементора вхідного операнду  $A$ . Операція декрементування  $F = (A - 1)$  задається за допомогою керуючого коду  $S = 1111$  за умови  $e_0 = 0$  ( $\bar{e}_0 = 1$ ).

Відповідно до (2.35) та (2.36) розрядні підготовчі функції в цьому випадку дорівнюють:

$$\begin{aligned} p_i \Big|_{S_0 S_1 = 11} &= a_i \vee [b_i S_0 \vee \bar{b}_i S_1] = \\ &= a_i \vee [b_i \vee \bar{b}_i] = (a_i \vee 1); \\ g_i \Big|_{S_2 S_3 = 11} &= (a_i \bar{b}_i) S_2 \vee (a_i b_i) S_3 = \\ &= a_i (b_i \vee \bar{b}_i) = a_i \wedge 1. \end{aligned}$$

Таким чином, для згаданої операції в ИПЗ можна отримати:

$$p_i = a_i + \beta_i; \quad (2.66)$$

$$g_i = a_i \beta_i, \quad (2.67)$$

де  $\beta_i = 1$  ( $\beta_3 \beta_2 \beta_1 \beta_0 = 1111$ ).

Таким чином, при надходженні керуючого коду  $S_0 S_1 S_2 S_3 = 1111$  та  $e_0 = 0$  згідно з (2.42 - 2.44) та (2.66 - 2.67) в мікросхемі ИПЗ буде виконуватися операція

$$\begin{aligned} F &= [a_3 a_2 a_1 a_0 + \beta_3 \beta_2 \beta_1 \beta_0 + e_0] = \\ &= [a_3 a_2 a_1 a_0 + 1111 + 0], \end{aligned}$$

тобто

$$F(3/0) = f_3 f_2 f_1 f_0 = (A + 1111)_{\text{mod}16}.$$

Очевидно, що

$$1111_2 = (16 - 1)_{10},$$

тому, за згаданої операції остаточно маємо:

$$F(3/0) = f_3 f_2 f_1 f_0 = (16 + A - 1)_{m16}.$$

Звідси можна отримати:

$$F(3/0) = f_3 f_2 f_1 f_0 = \begin{cases} (A - 1), & \text{якщо } 16 + A - 1 \geq 16, \text{ тобто } A > 1; \\ 0000, & \text{якщо } 16 + A - 1 = 0, \text{ тобто } A = 1; \\ 1111, & \text{якщо } 16 + A - 1 = 15, \text{ тобто } A = 0, \end{cases}$$

де  $A$  – двійковий код чотирирозрядного вхідного операнду  $A(3/0)$  на інформаційних входах мікросхеми ИПЗ.

При виконанні деяких логіко-арифметичних дій ( $M = 0$ ) в мікросхемі ИПЗ сумісно виконуються як логічні операції, так і арифметичні дії.

При цьому логічні операції мають вищий пріоритет при виконанні операції. Пояснимо це на прикладі.

При надходженні керуючого сигналу  $S = S_0 S_1 S_2 S_3 = 1010$  відповідно до (2.35 - 2.36) в мікросхемі ИПЗ виконується наступні перетворення вхідних операндів  $A(3/0)$  та  $B(3/0)$ :

$$\begin{aligned} p_i \Big|_{S_0 S_1 = 10} &= a_i \vee [b_i S_0 \vee \bar{b}_i S_1] = \\ &= a_i \vee b_i = (a_i \vee b_i) \vee (a_i \wedge \bar{b}_i); \\ g_i \Big|_{S_2 S_3 = 10} &= (a_i \wedge \bar{b}_i) S_2 \vee (a_i \wedge b_i) S_3 = \\ &= a_i \wedge \bar{b}_i = (a_i \vee b_i) \wedge (a_i + \bar{b}_i). \end{aligned}$$

Таким чином, в мікросхемі АЛП ИПЗ в цьому випадку формуються операнди:

$$p_i = \alpha_i + \gamma_i; \quad (2.68)$$

$$g_i = \alpha_i \gamma_i, \quad (2.69)$$

де  $\alpha_i = (a_i \vee b_i)$ ;  $\gamma_i = (a_i \wedge \bar{b}_i)$ .

Таким чином, за керуючим кодом  $S_0 S_1 S_2 S_3 = 1111$  згідно з (2.42 - 2.44) в мікросхемі ИПЗ буде утворюватися функція :

$$\begin{aligned} F &= (\alpha_3 \alpha_2 \alpha_1 \alpha_0 + \gamma_3 \gamma_2 \gamma_1 \gamma_0 + e_0) = \\ &= [(a_3 \vee b_3)(a_2 \vee b_2)(a_1 \vee b_1)(a_0 \vee b_0) + \\ &+ (a_3 \wedge \bar{b}_3)(a_2 \wedge \bar{b}_2)(a_1 \wedge \bar{b}_1)(a_0 \wedge \bar{b}_0) + e_0], \end{aligned}$$

тобто

$$F = f_3 f_2 f_1 f_0 = [(A \vee B) + (A \wedge \bar{B}) + e_0]_{\text{mod}16}, \quad (2.70)$$

де  $A, B$  – чотирирозрядні вхідні операнди мікросхеми ИПЗ.

Мікросхему ИПЗ можна застосовувати також за низькими активними рівнями сигналів, тобто за умови використання негативної логіки кодування змінних для зображення операндів і вихідних функцій. Таблиця функціонування мікросхеми ИПЗ при цьому має інший вигляд (табл.2.8). Розглянемо за цих умов, наприклад, формування функції, яка задається керуючими сигналами  $M S_0 S_1 S_2 S_3 = L HLLH$ .

За умови позитивної логіки секція ИПЗ в цьому разі настроюється на виконання арифметичної операції (табл. 2.7):

$$F = (A + B + e_0),$$

де  $F, A, B, e_0$  – зображення вхідних операндів і функції ИПЗ при використанні позитивної логіки.

З урахуванням властивості самоподвійності операції додавання для випадку інверсії вхідних операндів будемо мати:

$$\bar{F} = (\bar{A} + \bar{B} + \bar{e}_0).$$

З цього випливає, що за умови зображення операндів та результату з використанням негативної логіки кодування змінних мікросхема ИПЗ буде виконувати операцію:

$$F_{нл} = (A_{нл} + B_{нл} + e_0^{нл}),$$

$$\text{де } F_{нл} = \bar{F}, B_{нл} = \bar{B}, A_{нл} = \bar{A}, e_0^{нл} = \bar{e}_0.$$

Таким чином, якщо вивід 7 вхідного переносу ИПЗ є заземленим ( $e_0^{нл} = L$ ), тобто  $e_0^{нл} = 1$ , операція додавання (2.45) в мікросхемі ИПЗ за умови негативної логіки буде мати вигляд

$$F_{нл} = (A_{нл} + B_{нл} + 1)$$

і, навпаки, якщо  $e_0^{нл} = H$ , тобто  $e_0^{нл} = 0$ , то для вихідної функції можна отримати

$$F_{нл} = (A_{нл} + B_{нл} + 0).$$

Вихідний перенос в секції ИПЗ за умови позитивної логіки має інверсне значення (рис.2.28). З цього випливає, що за умови негативної логіки вихідний сигнал переносу буде відповідати прямому значенню  $e_4^{нл}$ . В зв'язку з цим, умовне графічне позначення АЛП ИПЗ з використанням негативної логіки буде мати вигляд, який наведено на рис. 2.38.

Для виконання арифметичних дій над операндами великої розмірності (більш чотирьох розрядів) використовують каскадування чотирирозрядних секцій ИПЗ за допомогою сигналів міжтетрадного переносу (рис.2.36).

Природно, що при послідовному з'єднанні секцій ИПЗ час додавання в багаторозрядному суматорі буде значним і визначається в найгіршому випадку затримкою розповсюдження сигналу переносу з виходу молодшої секції до виходу останнього модуля ИПЗ.



Для зменшення часу виконання додавання операндів при виконанні арифметичних дій над словами великої розмірності каскадування модулів АЛП ИПЗ виконують з використанням спеціальних інтегральних схем К155ИП4 (рис. 2.39). Ці пристрої є формувачами прискореного наскрізного переносу в АЛП з чотирьох модулів ИПЗ або в структурах ИПЗ більшої розмірності.

На рис. 2.40 наведена схема, в якій одна мікросхема ИП4 (рис. 2.39) використовується для формування наскрізного паралельного переносу між тетрадами секцій так званого надпаралельного 16-розрядного суматора з чотирьох мікросхем ИПЗ. При цьому формування сигналів паралельного переносу  $e_x$ ,  $e_y$  та  $e_z$  в ИП4 відбувається з використанням вхідного переносу  $e_0$  в молодшу тетраду ИПЗ АЛП та чотирьох пар підготовчих групових функцій  $g_{x/x}$  і  $p_{x/x}$  окремих секцій ИПЗ зазначеного 16-розрядного надпаралельного суматора (0/15):

$$(g_{0/3}, p_{0/3}), (g_{4/7}, p_{4/7}), (g_{8/11}, p_{8/11}), (g_{12/15}, p_{12/15}).$$

Операції АЛП ИПЗ при виконанні логіко-арифметичних дій ( $M=0$ ) за умови використання позитивної логіки для зображення інформаційних ( $A, B, F$ ) та керуючих сигналів ( $MS_0S_1S_2S_3$ )

Таблиця 2.7

	$S_2S_3$	00	01	10	11
$S_0S_1$	00	$A$	$A+(A \& B)$	$A+(A \& \bar{B})$	$A+A$
	01	$A \vee \bar{B}$	$(A \vee \bar{B})+(A \& B)$	$A+\bar{B}$	$(A \vee \bar{B})+A$
	10	$A \vee B$	$A+B$	$(A \vee B)+(A \& \bar{B})$	$(A \vee B)+A$
	11	$1111$ <i>Const</i>	$(A \wedge B)+1111$	$(A \& \bar{B})+1111$	$(A+1111)$
$e_0 = 0 \quad (\bar{e}_0 = 1)$					
$F(\text{XXXX}) = [A(\text{XXXX}) * B(\text{XXXX})]_{m16}$					
	$S_2S_3$	00	01	10	11
$S_0S_1$	00	$A + 0001$	$A + (A \& B) + 0001$	$A + (A \& \bar{B}) + 0001$	$A + A + 0001$
	01	$A \vee \bar{B} + 0001$	$(A \vee \bar{B}) + (A \& B) + 0001$	$A + \bar{B} + 0001$	$(A \vee \bar{B}) + A + 0001$
	10	$A \vee B + 0001$	$A + B + 0001$	$(A \vee B) + (A \& \bar{B}) + 0001$	$(A \vee B) + A + 0001$
	11	$0000$ <i>Const</i>	$A \& B$	$(A \& \bar{B})$	$A$
$e_0 = 1 \quad (\bar{e}_0 = 0)$					
$F(\text{XXXX}) = [A(\text{XXXX}) * B(\text{XXXX}) + e_0]_{m16}$					

В логіко-арифметичних операціях спочатку виконуються порозрядні операції логіки ( $\bar{B}, A \wedge B, A \vee B, A \wedge \bar{B}$ ), а потім одержані 4-розрядні числа додаються з врахуванням міжрозрядних сигналів переносу

Відзначимо, що ці чотири пари групових підготовчих функцій секцій ИПЗ на входах модуля ИП4(0/15) (рис. 2.40) позначені як  $(G_0, P_0), (G_1, P_1), (G_2, P_2), (G_3, P_3)$ .

Розглянемо детально алгоритм побудови структурної схеми інтегральної схеми ИП4.

Очевидно, що вихідний сигнал переносу  $\bar{e}_4$  молодшої тетради суматора (рис. 2.40) та вихідний сигнал  $\bar{e}_x$  блоку ИП4(0/15) повинні бути однаковими, тобто в схемі суматора має бути рівність цих сигналів:

$$\bar{e}_4[\text{ИПЗ}(0/3)] = \bar{e}_x[\text{ИП4}(0/15)].$$

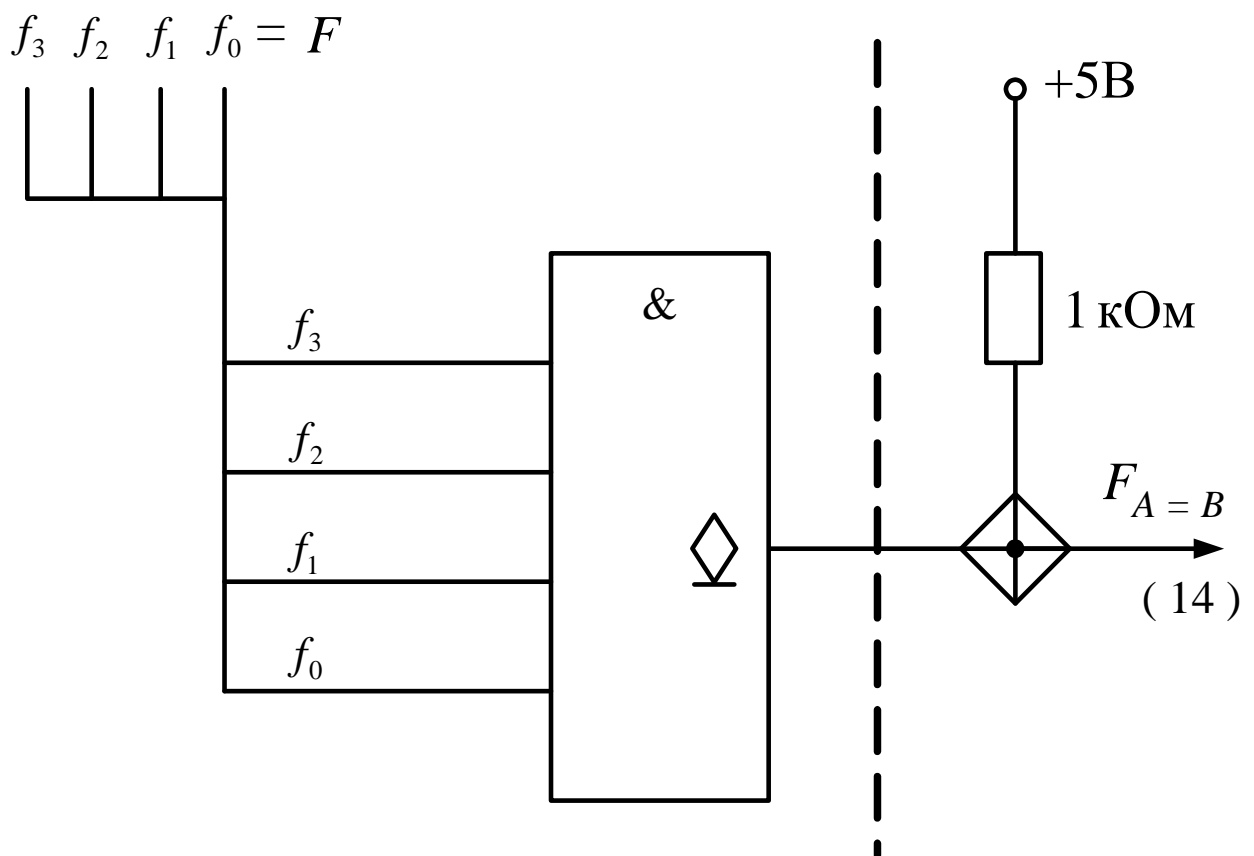


Рисунок 2.37 – Структурна схема формування ознаки рівності вхідних слів  $A$  і  $B$  (приймає активний рівень  $H(1)$  за кодом операції  $S = 0110$  та  $e_0 = 0(L)$  при  $A = B$ )

Виходячи з цього, значення сигналу непереносу  $\bar{e}_x$  (ИП4) мусить обчислюватися за логічним рівнянням (2.57) для сигналу непереносу  $\bar{e}_4$  в секції ИПЗ(0/3):

$$e_x [\text{ИП4}(0/15)] = e_4 [\text{ИПЗ}(0/3)] = (g_{0/3} p_{0/3}) + g_{0/3} e_0 \quad (2.71)$$

Очевидно, що формування сигналу переносу  $e_y$  [ИП4(0/15)] повинно відбуватися також за еквівалентним співвідношенням:

$$e_y [\text{ИП4}(0/15)] = g_{4/7} p_{4/7} + g_{4/7} e_x.$$

Якщо тепер вилучити в цьому логічному виразі змінну  $e_x$ , то для переносу  $e_y$  остаточно отримуємо:

$$e_y [\text{ИП4}(0/15)] = e_8 [\text{ИПЗ}(4/7)] = (g_{4/7} p_{4/7}) + g_{4/7} (g_{0/3} p_{0/3}) + g_{4/7} g_{0/3} e_0 \quad (2.72)$$

де  $g_{4/7} p_{4/7}$  – місцевий груповий перенос з секції (4-7) ИПЗ в секцію (8-11)

16-розрядного суматора;

$g_{0/3} p_{0/3}$  – місцевий груповий перенос з секції (0-3) ИПЗ;

$g_{0/3} g_{4/7}$  – умова розповсюдження вхідного переносу  $e_0$  через секції (0-3) і (4-7) в старшу секцію суматора (8-11) 16-розрядного суматора;

$g_{4/7}$  – умови розповсюдження місцевого переносу  $g_{0/3} p_{0/3}$  секції (0-3) ИПЗ через секцію (4-7) ИПЗ суматора.

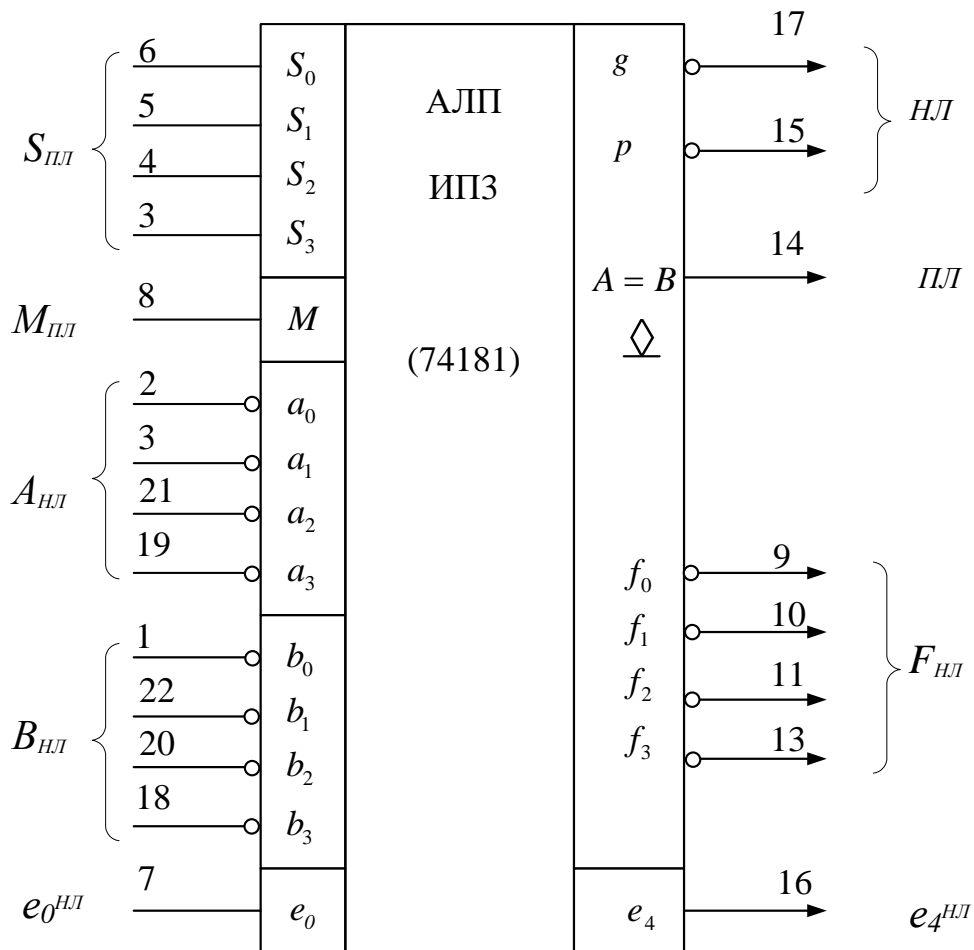


Рисунок 2.38 - Умовне графічне позначення ИПЗ з використанням негативної логіки для зображення операндів та сигналів виведення

За аналогічним алгоритмом в мікросхемі ИП4 побудоване логічне співвідношення для переносу  $e_z$  :

$$\begin{aligned}
 e_z [\text{ИП4}(0/15)] &= e_{12} [\text{ИПЗ}(8/11)] = (g_{8/11} p_{8/11}) + g_{8/11} e_y = \\
 &= (g_{8/11} p_{8/11}) + g_{8/11} (g_{4/7} p_{4/7} + g_{4/7} (g_{0/3} p_{0/3}) + g_{4/7} g_{0/3} e_0) = \\
 &= (g_{8/11} p_{8/11}) + g_{8/11} (g_{4/7} p_{4/7}) + g_{8/11} g_{4/7} (g_{0/3} p_{0/3}) + \\
 &+ g_{8/11} g_{4/7} g_{0/3} e_0
 \end{aligned} \tag{2.73}$$

де  $g_{8/11} p_{8/11}$  – місцевий перенос з секції (8-11) ИПЗ;

$g_{4/7} p_{4/7}$  – місцевий перенос з секції (4-7) ИПЗ;

$g_{8/11}$  – умова розповсюдження переносу через секцію (8–11) ИПЗ суматора;

$g_{8/11} g_{4/7} g_{0/3}$  – умова розповсюдження вхідного переносу  $e_0$  через секції (0-3), (4-7), (8-11) в секцію (12-15) ИПЗ АЛП.

Операції АЛП ИПЗ при виконанні логіко-арифметичних дій ( $M = L$ )  
за умови використання негативної логіки для зображення  
вхідних інформаційних сигналів та функцій

Таблиця 2.8

	$S_2S_3$	$LL$	$LH$	$HL$	$HH$
$S_0S_1$	LL	$A_{HL} + 1111$	$A_{HL} + (A_{HL} \vee B_{HL})$	$A_{HL} + (A_{HL} \vee \bar{B}_{HL})$	$(A_{HL} + A_{HL})$
	LH	$(A_{HL} \wedge \bar{B}_{HL}) + 1111$	$(A_{HL} \wedge \bar{B}_{HL}) + (A_{HL} + B_{HL})$	$A_{HL} + \bar{B}_{HL}$	$(A_{HL} + A_{HL})$
	HL	$(A_{HL} \wedge B_{HL}) + 1111$	$(A_{HL} + B_{HL})$	$(A_{HL} \wedge B_{HL}) + (A_{HL} \vee \bar{B}_{HL})$	$(A_{HL} \wedge B_{HL}) + A_{HL}$
	HH	$1111$	$(A_{HL} \vee B_{HL})$	$(A_{HL} \vee \bar{B}_{HL})$	$B_{HL}$
$e_0^{HL} = 0 \quad (e_0 = H)$					
	$S_2S_3$	$LL$	$LH$	$HL$	$HH$
$S_0S_1$	LL	$A_{HL}$	$A_{HL} + (A_{HL} \vee B_{HL}) + 1$	$A_{HL} + (A_{HL} \vee \bar{B}_{HL}) + 1$	$A_{HL} + A_{HL} + 1$
	LH	$A_{HL} \wedge B_{HL}$	$(A_{HL} \wedge \bar{B}_{HL}) + (A_{HL} + B_{HL}) + 1$	$A_{HL} + \bar{B}_{HL} + 1$	$A_{HL} + A_{HL} + 1$
	HL	$A_{HL} \wedge B_{HL}$	$A_{HL} + B_{HL} + 1$	$(A_{HL} \wedge B_{HL}) + (A_{HL} \vee \bar{B}_{HL}) + 1$	$A_{HL} \wedge B_{HL} + A_{HL} + 1$
	HH	$0000$	$(A \vee B) + 1$	$(A_{HL} \vee \bar{B}_{HL}) + 1$	$B_{HL} + 1$
$e_0^{HL} = 1 \quad (e_0 = L)$					

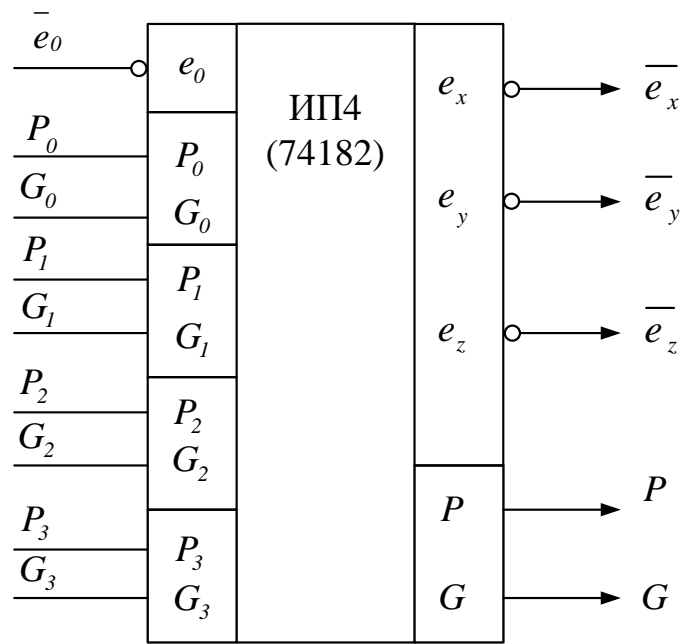


Рисунок 2.39 – Умовне графічне позначення модуля К155ИП4 з використанням позитивної логіки для зображення входу-виходу в мікросхемі ИП4

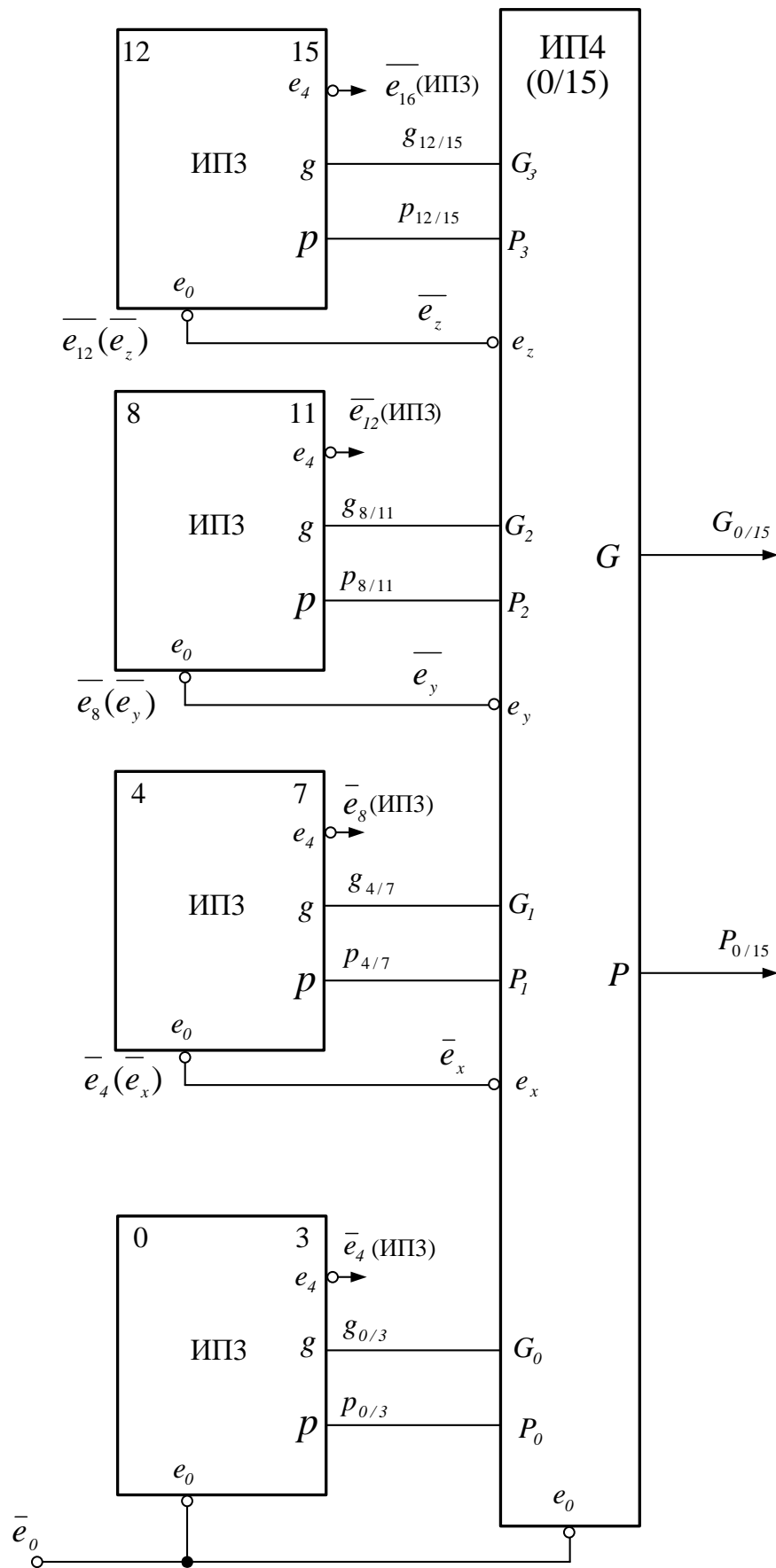


Рисунок 2.40 – Каскадне з'єднання секцій АЛП ИПЗ в 16-розрядному надпаралельному суматорі з використанням мікросхеми прискореного переносу ИП4

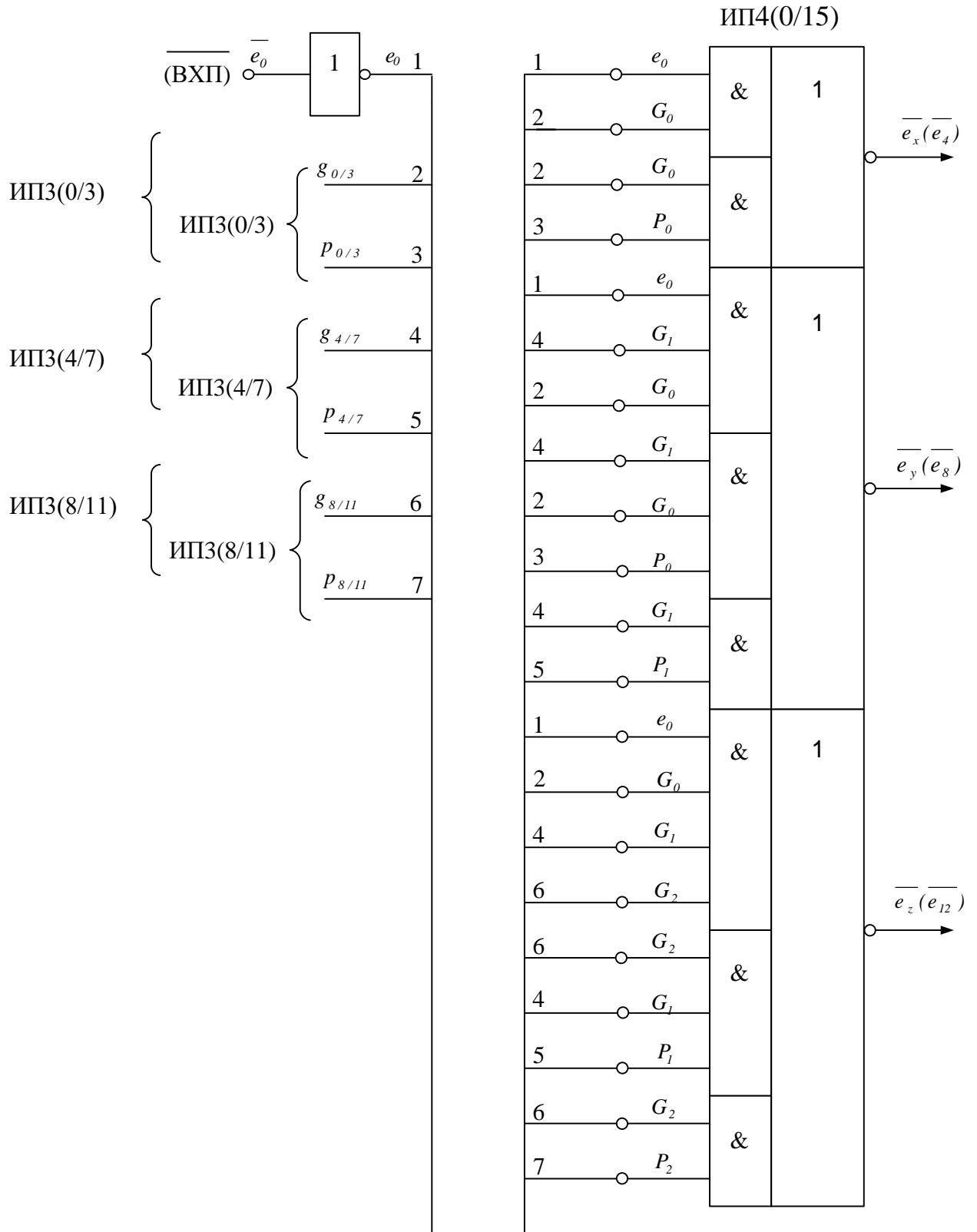


Рисунок 2.41 – Структурна схема ( за умови використання позитивної логіки ) формування сигналів одночасного ( паралельного ) переносу в мікросхемі ИП4( 0/15): (  $G_2$ - $G_0$ ), (  $P_2$ - $P_0$  ) – позначки входних виводів мікросхеми ИП4( 0/15)



Логічні співвідношення ознак переносу  $\overline{e_x}$ ,  $\overline{e_y}$ ,  $\overline{e_z}$  в секції ИП4(0/15) утворюються інвертуванням формул (2.71 - 2.73) (рис. 2.41):

$$\overline{e_x} = \overline{g_{0/3}p_{0/3} + g_{0/3}e_0}; \quad (2.74)$$

$$\overline{e_y} = \overline{g_{4/7}p_{4/7} + g_{4/7}(g_{0/3}p_{0/3}) + g_{4/7}g_{0/3}e_0}; \quad (2.75)$$

$$\overline{e_z} = \overline{(g_{8/11}p_{8/11}) + g_{8/11}(g_{4/7}p_{4/7}) + g_{8/11}g_{4/7}(g_{0/3}p_{0/3}) + g_{8/11}g_{4/7}g_{0/3}e_0}. \quad (2.76)$$

З використанням п'яти секцій прискореного переносу ИП4 можна створити надпаралельний 64-розрядний суматор (0-63) з двоступеневою схемою прискореного переносу (СПП), в якому блок прискореного переносу ИП4 нижнього рівня об'єднує чотири групи 16-розрядних надпаралельних суматорів (ИПЗ та ИП4) верхнього рівня (рис. 2.42). Розглянемо алгоритм функціонування секції ИП4 нижнього рівня.

Для цього спочатку розглянемо структурну схему 16-розрядної молодшої групи надпаралельного 64-розрядного суматора, яка приведена на рис. 2.43. В цій схемі, в свою чергу, спочатку необхідно отримати логічні співвідношення для формування групових підготовчих функцій ( $G_{0/15}, P_{0/15}$ ), які повинні формуватися в модулі АЛП(0/15) цього суматора. З цією метою розглянемо визначення логічних співвідношень для вихідного переносу  $e_{16}$  модуля ИПЗ (0/15).

Відповідно до структурної схеми молодшої 16-розрядної групи (рис. 2.43) вихідний перенос  $e_x$  ИП4(0/63) має бути однаковим з вихідним переносом  $e_{16}$  АЛП ИПЗ(12/15), тобто в суматорі мусить виконуватися співвідношення:

$$e_x[\text{ИП4}(0/63)] = e_{16}[\text{ИПЗ}(12/15)].$$

Отже, вихідний перенос  $e_x$  ИП4(0/63) теоретично мусить обчислюватись за логічним виразом (2.57) функції  $e_{16}$  (ИПЗ):

$$e_{16}(\text{ИПЗ}) = g_{12/15}p_{12/15} + g_{12/15}e_{12}$$

де  $g_{12/15}, p_{12/15}$  – групові підготовчі функції старшої секції АЛП ИПЗ(12/15) в 16-розрядній групі суматора (рис. 2.43).

Оскільки сигнал  $e_{12}$  в суматорі (рис. 2.43) формується схемою паралельного переносу ИП4(0/15) як сигнал  $e_z(e_{12})$ , далі логічний вираз  $e_{16}$  може бути записано у формі:

$$e_{16}(\text{ИПЗ}) = g_{12/15}p_{12/15} + g_{12/15}e_z.$$

Таким чином, враховуючи логічне співвідношення (2.76), надалі можна отримати:

$$\begin{aligned}
e_{16}(\text{ИПЗ}) &= g_{12/15}p_{12/15} + g_{12/15}(g_{8/11}p_{8/11} + g_{8/11}g_{4/7}p_{4/7} + \\
&g_{8/11}g_{4/7}g_{0/3}p_{0/3} + g_{8/11}g_{4/7}g_{0/3}e_0 = \\
&(g_{12/15}p_{12/15}) + g_{12/15}(g_{8/11}p_{8/11}) + g_{12/15}g_{8/11}(g_{4/7}p_{4/7}) + \\
&g_{12/15}g_{8/11}g_{4/7}(g_{0/3}p_{0/3}) + g_{12/15}g_{8/11}g_{4/7}g_{0/3}e_0,
\end{aligned} \tag{2.77}$$

де  $(g_{12/15}p_{12/15}), (g_{8/11}p_{8/11}), (g_{4/7}p_{4/7}), (g_{0/3}p_{0/3})$  – місцеві переноси відповідно з секцій ИПЗ(12/15), ИПЗ(8/11), ИПЗ(4/7), ИПЗ(0/3) (рис. 2.43);

$g_{12/15}$  – умова розповсюдження місцевого переносу з секції ИПЗ(8/11) через секцію ИПЗ(12/15);

$g_{12/15}g_{8/11}$  – умова розповсюдження місцевого перенесення з секції ИПЗ(4/7) через секції ИПЗ(8/11) та ИПЗ(12/15);

$g_{12/15}g_{8/11}g_{4/7}$  – умова розповсюдження місцевого переносу з секції ИПЗ(0/3) через секції ИПЗ(4/7), ИПЗ(8/11), ИПЗ(12/15).

Для зручності подальшого викладання введемо наступні змінні:

$$\begin{aligned}
g_{12/15} &= G_3; & g_{8/11} &= G_2; & g_{4/7} &= G_1; & g_{0/3} &= G_0; \\
p_{12/15} &= P_3; & p_{8/11} &= P_2; & p_{4/7} &= P_1; & p_{0/3} &= P_0.
\end{aligned}$$

В цьому разі логічне співвідношення (2.77) може бути визначено таким чином:

$$\begin{aligned}
e_{16}(\text{ИПЗ}) &= G_3P_3 + G_3(G_2P_2) + G_3G_2(G_1P_1) + G_3G_2G_1(G_0P_0) + \\
&+ G_3G_2G_1G_0e_0.
\end{aligned} \tag{2.78}$$

Вираз (2.78) застосовано для побудови структурної схеми формування підготовчих функцій в ИП4(0/15). При цьому для спрощення структурної схеми формування підготовчих функцій ИП4(0/15), які необхідні для створення сигналу переносу  $e_x(e_{16})$  в ИП4(0/63) нормальна форма (2.78) спрощується наступним чином.

Очевидно, що згідно отриманого виразу (2.78) можна записати :

$$e_x[\text{ИП4}(0/63)] = e_{16}(\text{ИПЗ}) = \Psi + \pi P_0 + \pi e_0, \tag{2.79}$$

$$\text{де } \Psi = G_3P_3 + G_3(G_2P_2) + G_3G_2(G_1P_1) \tag{2.80}$$

$$\pi = G_3G_2G_1G_0 \tag{2.81}$$

Надалі, необхідно перетворити формулу (2.79) в таке співвідношення:

$$\begin{aligned}
e_x &= \Psi + \pi e_0 + \pi P_0 = (\Psi + \pi)(\Psi + e_0) + \pi P_0 = \\
&= (\Psi + \pi)\Psi + (\Psi + \pi)e_0 + \pi P_0 = \\
&= (\Psi + \pi)\Psi + \pi P_0 + (\Psi + \pi)e_0 = \\
&= \Psi + \Psi\pi + \pi P_0 + (\Psi + \pi)e_0 = \\
&= \Psi + R + \pi P_0 + Ge_0 = \Psi + L + Ge_0 = r + Ge_0,
\end{aligned} \tag{2.82}$$

де  $G = \Psi + \pi; \quad R = \Psi\pi; \quad L = R + \pi P_0; \quad r = (\Psi + L).$

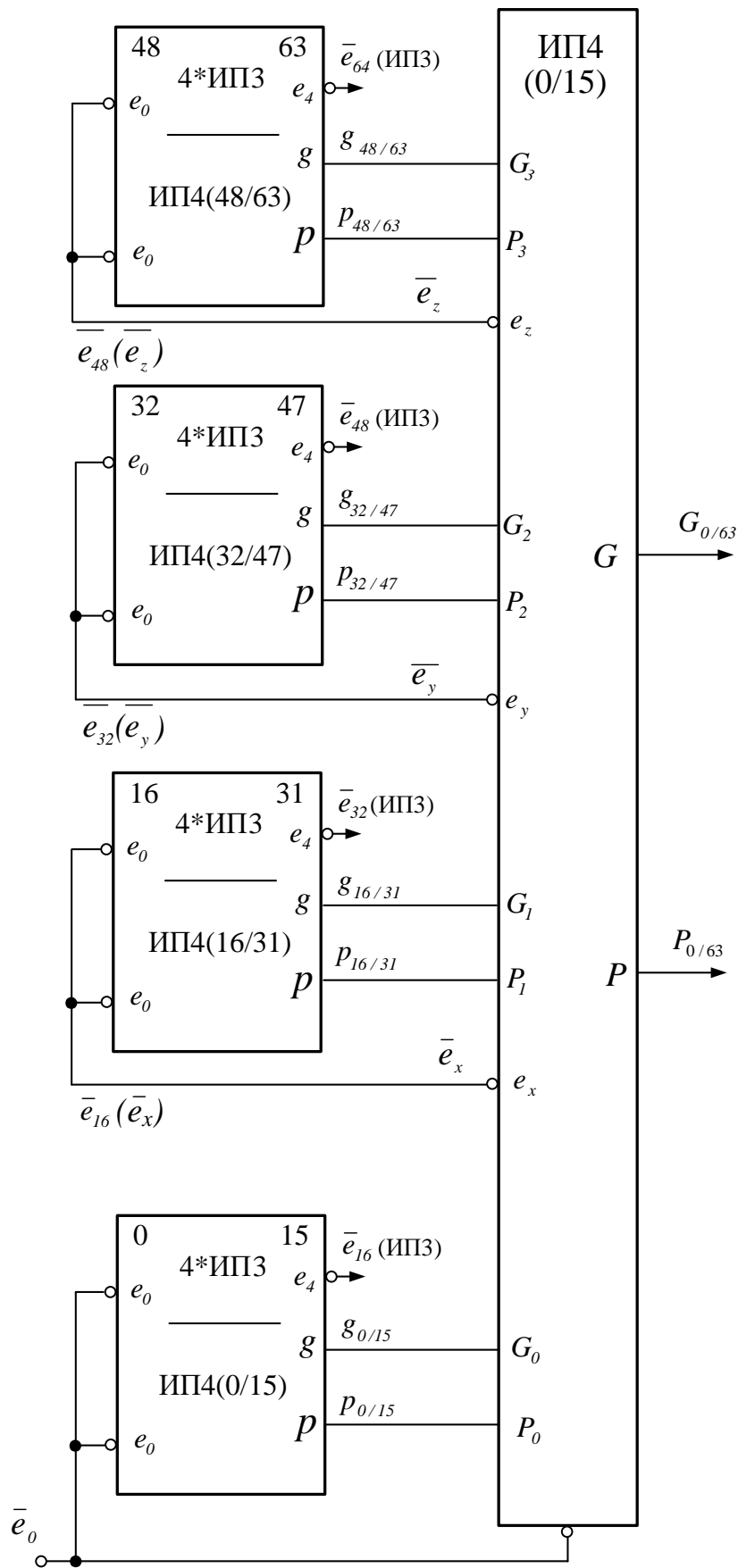


Рисунок 2.42 – Каскадне з'єднання секцій ИПЗ в надпаралельному 64-розрядному суматорі з використанням мікросхем прискореного переносу ИП4

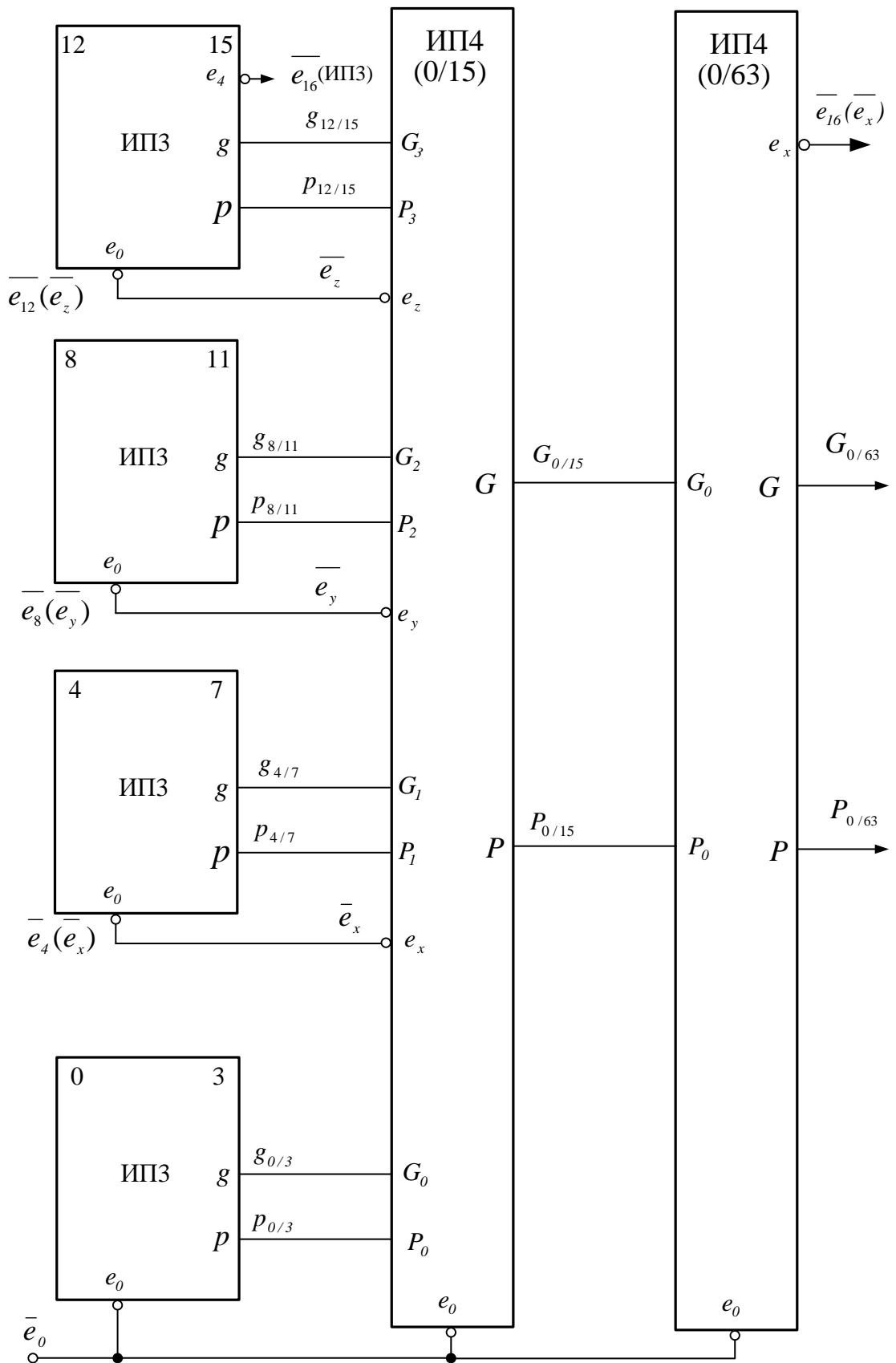


Рисунок 2.43 – Структурна схема молоді 16-розрядної групи надпаралельного 64-розрядного суматора

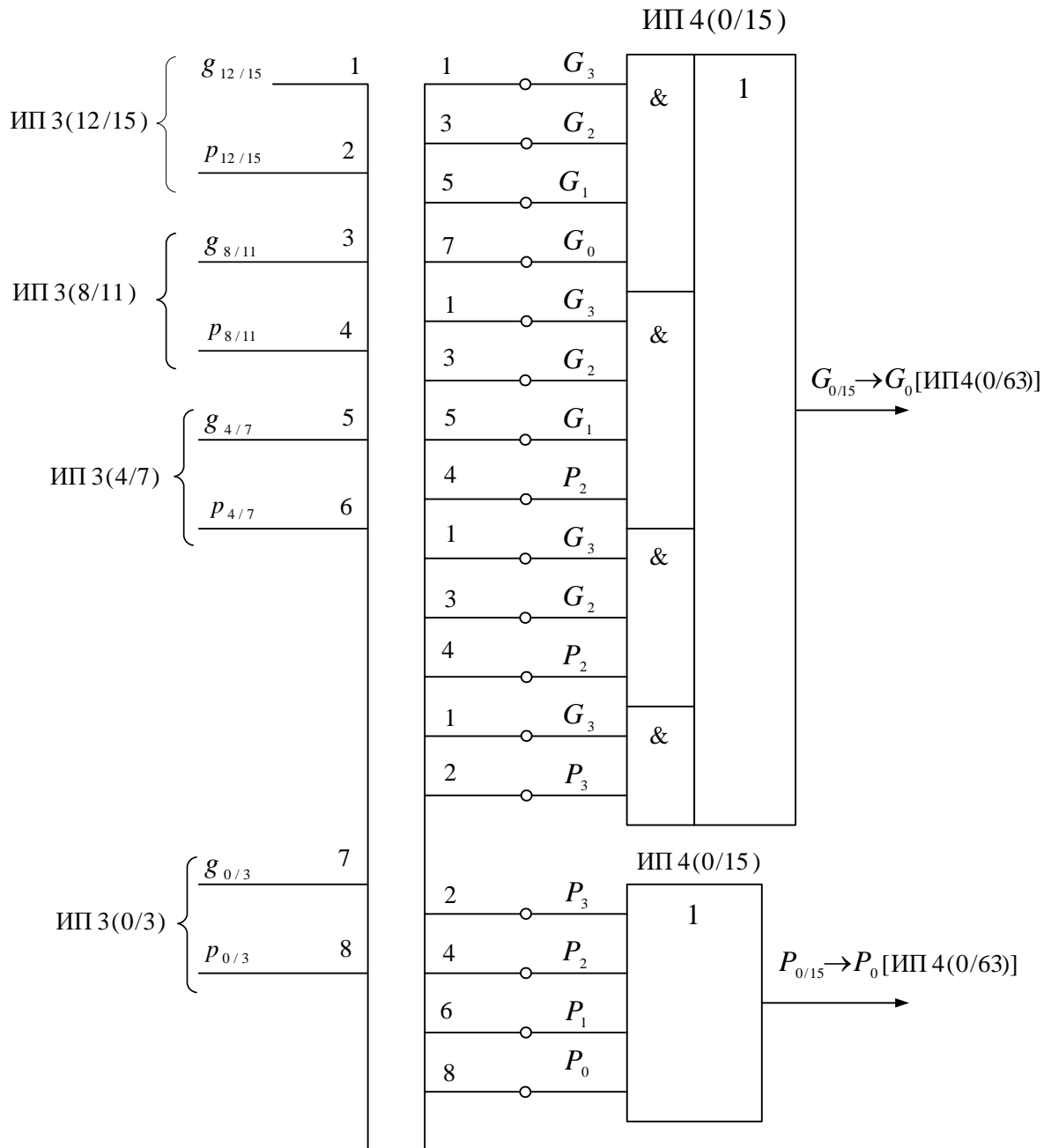


Рисунок 2.44 – Структурна схема формування підготовчих функцій в мікросхемі ИП4(0/15) з використанням відповідних підготовчих функцій секцій ИП3: ИП3(0/3), ИП3(4/7), ИП3(8/11), ИП3(12/15)

Згідно з (2.79 - 2.81) для змінних  $G$ ,  $R$ ,  $L$  та  $r$  маємо логічні рівняння:

$$G = (\Psi + \pi) = G_3 P_3 + G_3 G_2 P_2 + G_3 G_2 G_1 P_1 + G_3 G_2 G_1 G_0; \quad (2.83)$$

$$\begin{aligned} R = \Psi \pi &= (G_3 P_3 + G_3 G_2 P_2 + G_3 G_2 G_1 P_1)(G_3 G_2 G_1 G_0) = \\ &= G_3 G_2 G_1 G_0 P_3 + G_3 G_2 G_1 G_0 P_2 + G_3 G_2 G_1 G_0 P_1 = \\ &= G_3 G_2 G_1 G_0 (P_3 + P_2 + P_1); \end{aligned} \quad (2.84)$$

$$\begin{aligned} L = R + \pi P_0 &= G_3 G_2 G_1 G_0 (P_3 + P_2 + P_1) + G_3 G_2 G_1 G_0 P_0 = \\ &= G_3 G_2 G_1 G_0 (P_3 + P_2 + P_1 + P_0); \end{aligned} \quad (2.85)$$

$$\begin{aligned}
r &= \Psi + L = G_3 P_3 + G_3 G_2 P_2 + G_3 G_2 G_1 P_1 + \\
&+ G_3 G_2 G_1 G_0 (P_3 + P_2 + P_1 + P_0) = \\
&= (G_3 P_3 + G_3 G_2 P_2 + G_3 G_2 G_1 P_1 + G_3 G_2 G_1 G_0) \wedge \\
&[(G_3 P_3 + G_3 G_2 P_2 + G_3 G_2 G_1 P_1 + P_3 + P_2 + P_1 + P_0)] = \\
&= (G_3 P_3 + G_3 G_2 P_2 + G_3 G_2 G_1 P_1 + G_3 G_2 G_1 G_0) \wedge \\
&[P_3(1 + G_3) + P_2(1 + G_3 G_2) + P_1(1 + G_3 G_2 G_1) + P_0] = \\
&= (G_3 P_3 + G_3 G_2 P_2 + G_3 G_2 G_1 P_1 + G_3 G_2 G_1 G_0) \wedge \\
&(P_3 + P_2 + P_1 + P_0) = GP,
\end{aligned} \tag{2.86}$$

$$\text{де } P = P_3 + P_2 + P_1 + P_0. \tag{2.87}$$

Таким чином, згідно отриманих формул для суматора, який наведено на рис. 2.43, остаточно маємо:

$$e_x[\text{ИП4}(0/63)] = e_{16}[\text{ИП3}] = (G_{0/15} P_{0/15}) + G_{0/15} e_0, \tag{2.88}$$

$$G_{0/15} = (G_3 P_3) + G_3 (G_2 P_2) + G_3 G_2 (G_1 P_1) + G_3 G_2 G_1 G_0, \tag{2.89}$$

$$P_{0/15} = (P_3 + P_2 + P_1 + P_0) \tag{2.90}$$

де

$G_{0/15}, P_{0/15}$  – групові підготовчі функції 16-розрядної групи (0-15) 64-розрядного суматора (рис. 2.42);

$(G_0 - G_3), (P_0 - P_3)$  – підготовчі функції чотирирозрядних секцій ИПЗ 16-розрядної групи (0-15) надпаралельного 64-розрядного суматора (рис. 2.43);

$e_0$  – ознака вхідного переносу 16-розрядного суматора.

Реалізація побудованих підготовчих функцій мікросхеми ИП4(0/15) та переносу  $\overline{e_x}$  ИП4(0/63) в 16-розрядну групу (16-31) 64-розрядного суматора (рис. 2.42) наведена на рис. 2.44 - 2.45.

Далі необхідно визначити логічні співвідношення підготовчих функцій мікросхеми ИП4(16/31) в 64-розрядному суматорі (рис. 2.42). З цієї метою розглянемо алгоритм формування сигналу переносу  $e_y(e_{32})$  в мікросхемі ИП4(0/63) (рис. 2.46).

Оскільки в логічному відношенні змінні  $e_y(e_{32})$  з виходу ИП4(0/63) та  $e_{32}$ (ИПЗ) мусять бути однаковими, для побудови логічного співвідношення  $e_y(e_{32})$  скористаємося формулою (2.71) для змінної  $e_{32}$ (ИПЗ):

$$e_{32}(\text{ИПЗ}) = g_{28/31} p_{28/31} + g_{28/31} e_z, \tag{2.91}$$

де  $e_z(e_{28})$  – сигнал паралельного переносу мікросхеми ИП4(16/31).

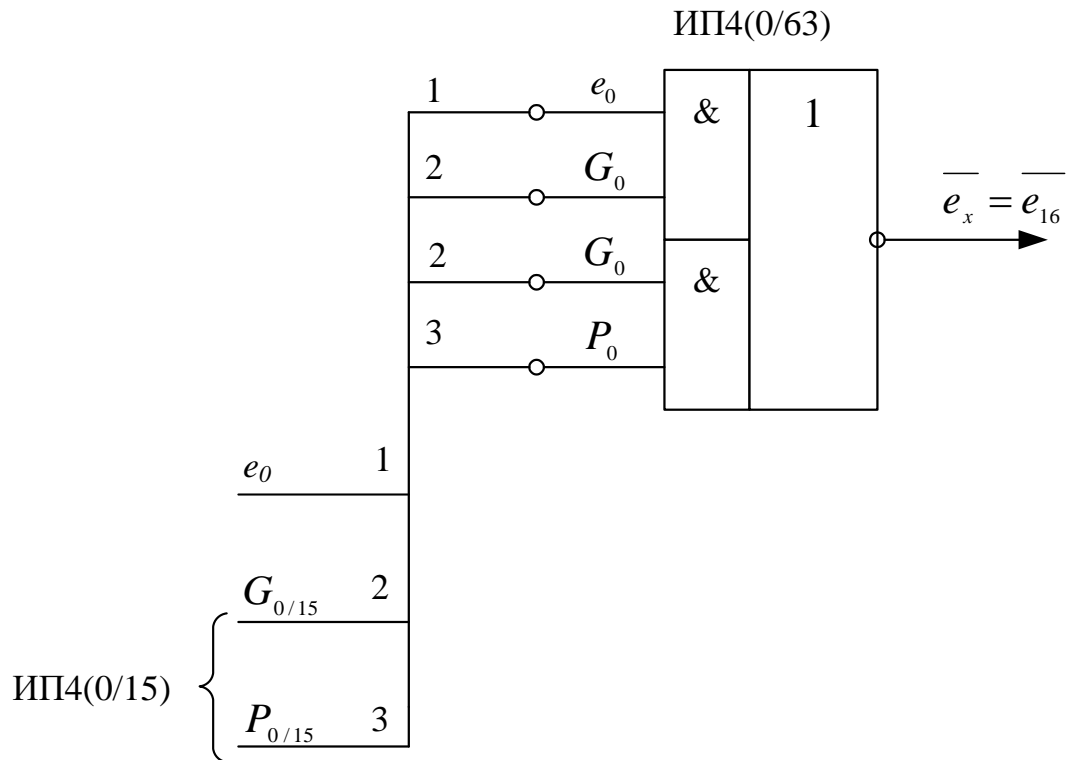


Рисунок 2.45 - Структурна схема формування вихідного непереносу  $\overline{e_x}$  в мікросхемі ИП4(0/63)

Згідно з структурною схемою суматора ИП4(0/63) (рис.2.46) в схемі прискореного переносу ИП4(16/31) змінна  $e_z(e_{28})$  формується за формулою

$$e_z(e_{28}) = g_{24/27}P_{24/27} + g_{24/27}(g_{20/23}P_{20/23}) + g_{24/27}g_{20/23}(g_{16/19}P_{16/19}) + g_{24/27}g_{20/23}g_{16/19}e_x \quad (2.92)$$

де  $e_x = e_{16}$  – вхідний сигнал переносу в мікросхемі ИП4(16/31) та ИП3(16/19).

Для спрощення виконання логічних перетворень в формулі (2.92) введемо змінні:

$$\begin{aligned} g_{28/31} &= G_3; & p_{28/31} &= P_3; & g_{24/27} &= G_2; & p_{24/27} &= P_2; \\ g_{20/23} &= G_1; & p_{20/23} &= P_1; & g_{16/19} &= G_0; & p_{16/19} &= P_0. \end{aligned}$$

Тоді, згідно з виразами (2.91) та (2.92), для вихідного переносу  $e_{32}$  секції ИП3(28/31) можна записати:

$$e_{32}(\text{ИП3}) = G_3P_3 + G_3(G_2P_2) + G_3G_2(G_1P_1) + G_3G_2G_1(G_0P_0) + G_3G_2G_1G_0e_0 \quad (2.93)$$

Таким чином, змінна вихідного переносу  $e_y(e_{32})$  в мікросхемі ИП4(0/63) мусить обчислюватися за формулою:



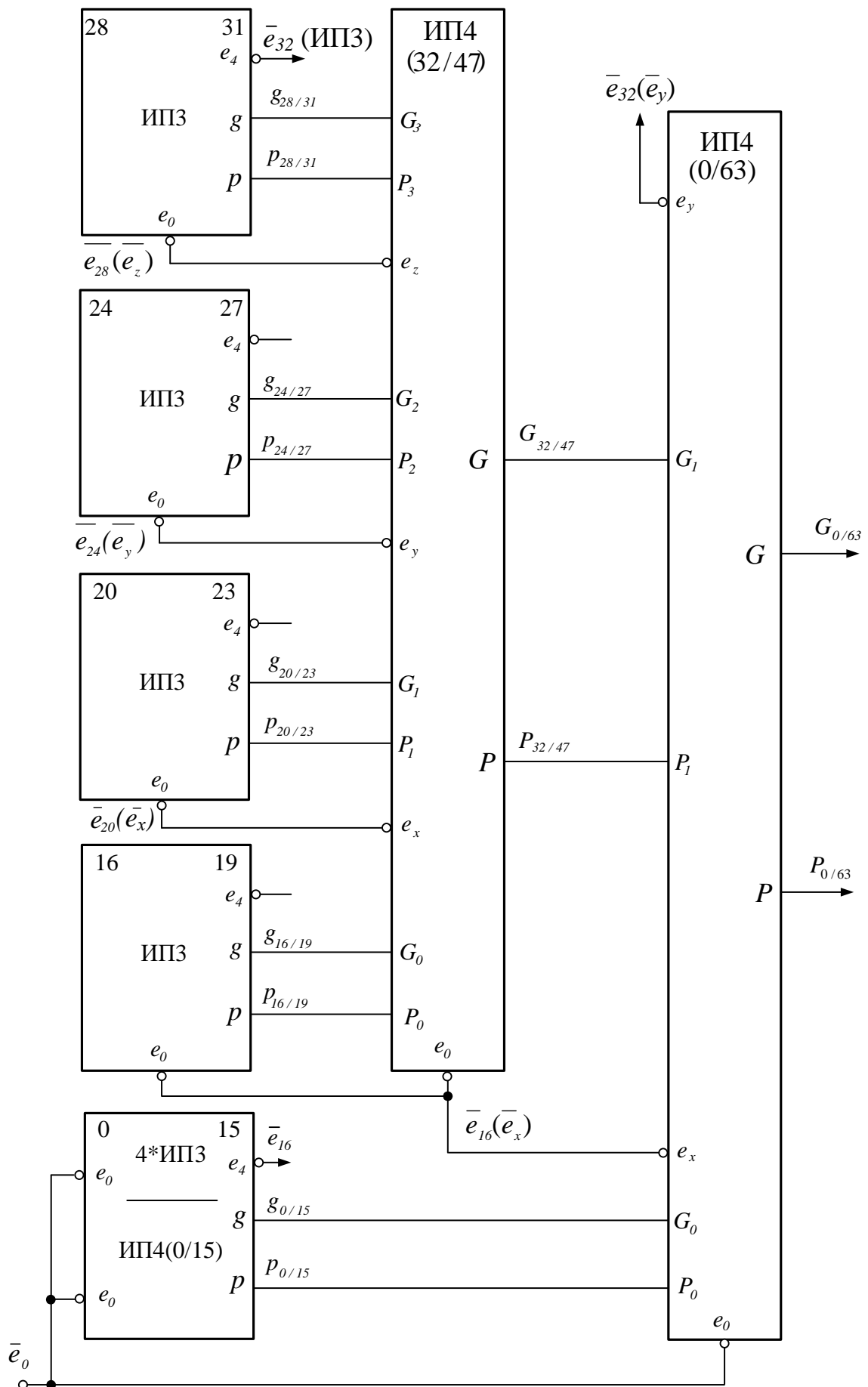


Рисунок 2.46 – Структурна схема формування підготовчих функцій  $P_{16/31}$ ,  $G_{16/31}$  в 64-розрядному надпаралельному суматорі

$$e_y(e_{32}) = \Psi_y + \pi_y P_0 + \pi_y e_0 \quad (2.94)$$

$$\begin{aligned} \text{де } \Psi_y &= G_3 P_3 + G_3 G_2 P_2 + G_3 G_2 G_1 P_1; \\ \pi_y &= G_3 G_2 G_1 G_0. \end{aligned}$$

Тоді, на основі (2.79) логічне співвідношення  $e_y$  можна записати в нормальній формі, яка використовується в схемі ИПЗ:

$$e_y(e_{32}) = G_{16/31} P_{16/31} + G_{16/31} e_x, \quad (2.95)$$

$$P_{16/31} = (P_3 + P_2 + P_1 + P_0);$$

$$G_{16/31} = G_3 P_3 + G_3 G_2 P_2 + G_3 G_2 G_1 P_1 + G_3 G_2 G_1 G_0$$

де  $G_{16/31}$  – умова розповсюдження вхідного переносу  $e_x(e_{16})$  через 16-розрядну групу (16/31) 64-розрядного суматора;

$G_{16/31} P_{16/31}$  – місцевий перенос з групи (16/31) 64-розрядного суматора.

Таким чином, згідно з (2.95), в мікросхемі ИП4(16/31) формування підготовчих функцій мусить обчислюватись за формулами:

$$\begin{aligned} G_{16/31} &= G_3 P_3 + G_3 G_2 P_2 + G_3 G_2 G_1 P_1 + \\ &+ G_3 G_2 G_1 G_0; \end{aligned} \quad (2.96)$$

$$P_{16/31} = (P_3 + P_2 + P_1 + P_0), \quad (2.97)$$

де  $(G_3 P_3), (G_2 P_2), (G_1 P_1), (G_0 P_0)$  – значення відповідних підготовчих функцій  $P_{x/x}, g_{x/x}$  чотирирозрядних секцій ИПЗ: ИПЗ(28/31), ИПЗ(24/27), ИПЗ(20/23), ИПЗ(16/19).

Структурна схема формування підготовчих функцій ИП4(16-31) побудована за допомогою логічних співвідношень (2.96) та (2.97) і приведена на рис. 2.47.

Для побудови функції  $e_y(e_{32})$  мікросхеми ИП4(0/63) відносно вхідного переносу  $e_0$  суматора в формулі (2.95) використаємо вираз (2.71). Тоді, після відповідних перетворень остаточно можна отримати відповідні логічні співвідношення ИП4 (рис. 2.48):

$$e_y(e_{32}) = (G_{16/31} P_{16/31}) + G_{16/31} (G_{0/15} P_{0/15}) + (G_{16/31} G_{0/15}) e_0 \quad (2.98)$$

де  $(G_{16/31} P_{16/31})$  – місцевий перенос з групи (16/31) суматора;

$(G_{0/15} P_{0/15})$  – місцевий перенос з групи (0/15) суматора;

$G_{16/31}$  – умова розповсюдження місцевого переносу з групи (0/15) через групу (16/31);

$(G_{16/31} G_{0/15})$  – умова розповсюдження вхідного переносу  $e_0$  через групи (0/15) і (16/31).

Визначимо тепер логічні рівняння підготовчих функцій ИП4(32/47). Для цього розглянемо алгоритм формування вихідного сигналу переносу  $e_{48}$  в секції ИПЗ(44/47) суматора (рис. 2.49).

Очевидно, що відносно підготовчих функцій ИПЗ(32/35), ИПЗ(36/39), ИПЗ(40/43), ИПЗ(44/47) вихідний перенос  $e_{48}$  (ИПЗ) може бути записаний у вигляді:

$$e_{48}(\text{ИПЗ}) = g_{44/47}P_{44/47} + g_{44/47}e_{44} \quad (2.99)$$

де  $e_{44}$  – вихідний сигнал переносу секції ИПЗ(44/47);

$g_{44/47}, P_{44/47}$  – підготовчі функції секції ИПЗ(44/47) суматора.

Відповідно до структурної схеми суматора (рис. 2.49) вхідний сигнал ознаки переносу в секцію ИПЗ(44/47)  $e_{44}$  формується за допомогою схеми прискореного переносу мікросхеми ИП4(32/47), тобто в цьому випадку можна записати:

$$e_{44}(\text{ИПЗ}) = g_{40/43}P_{40/43} + g_{40/43}(g_{36/39}P_{36/39}) + \\ + g_{40/43}g_{36/39}(g_{32/35}P_{32/35}) + (g_{40/43}g_{36/39}g_{32/35})e_y$$

де  $e_y, (e_{32})$  – вхідний сигнал прискореного переносу ИП4(0/63) в групу (32/47) 64-розрядного суматора.

Отже, для групи (32/47) 64-розрядного суматора можна записати:

$$e_{48}(\text{ИПЗ}) = (g_{44/47}P_{44/47}) + g_{44/47}(g_{40/43}P_{40/43}) + \\ + g_{44/47}g_{40/43}(g_{36/39}P_{36/39}) + g_{44/47}g_{40/43}g_{36/39}(g_{32/35}P_{32/35}) + \\ + g_{44/47}g_{40/43}g_{36/39}g_{32/35}e_y.$$

Для спрощення виразу введемо змінні:

$$g_{44/47} = G_3; \quad P_{44/47} = P_3; \quad g_{40/43} = G_2; \quad P_{40/43} = P_2; \\ g_{36/39} = G_1; \quad P_{36/39} = P_1; \quad g_{32/35} = G_0; \quad P_{32/35} = P_0.$$

Тоді отримаємо:

$$e_{48}(\text{ИПЗ}) = (G_3P_3) + G_3(G_2P_2) + G_3G_2(G_1P_1) + \\ + G_3G_2G_1(G_0P_0) + (G_3G_2G_1G_0)e_y \quad (2.100)$$

З алгоритмічної точки зору в 64-розрядному суматорі (рис. 2.49)

$$\overline{e_{48}}(\text{ИПЗ}) = \overline{e_z}(e_{48}).$$

Отже, згідно з (2.100) для обчислення змінної  $\overline{e_z}(e_{48})$  в мікросхемі ИП4(0/63) необхідно реалізувати логічне співвідношення:

$$e_z(e_{48}) = G_3 P_3 + G_3(G_2 P_2) + G_3 G_2(G_1 P_1) + G_3 G_2 G_1(G_0 P_0) + G_3 G_2 G_1 G_0 e_y$$

$$\text{або} \quad e_z(e_{48}) = \Psi_z + \pi_z P_0 + \pi_z e_y \quad (2.101)$$

$$\text{де } \Psi_z = G_3 P_3 + G_3 G_2 P_1 + G_3 G_2 G_1 P_1;$$

$$\pi_z = G_3 G_2 G_1 G_0.$$

Таким чином, відповідно до (2.79) остаточно можна одержати

$$e_z(e_{48}) = G_{32/47} P_{32/47} + G_{32/47} e_y \quad (2.102)$$

$$P_{32/47} = (P_3 + P_2 + P_1 + P_0)$$

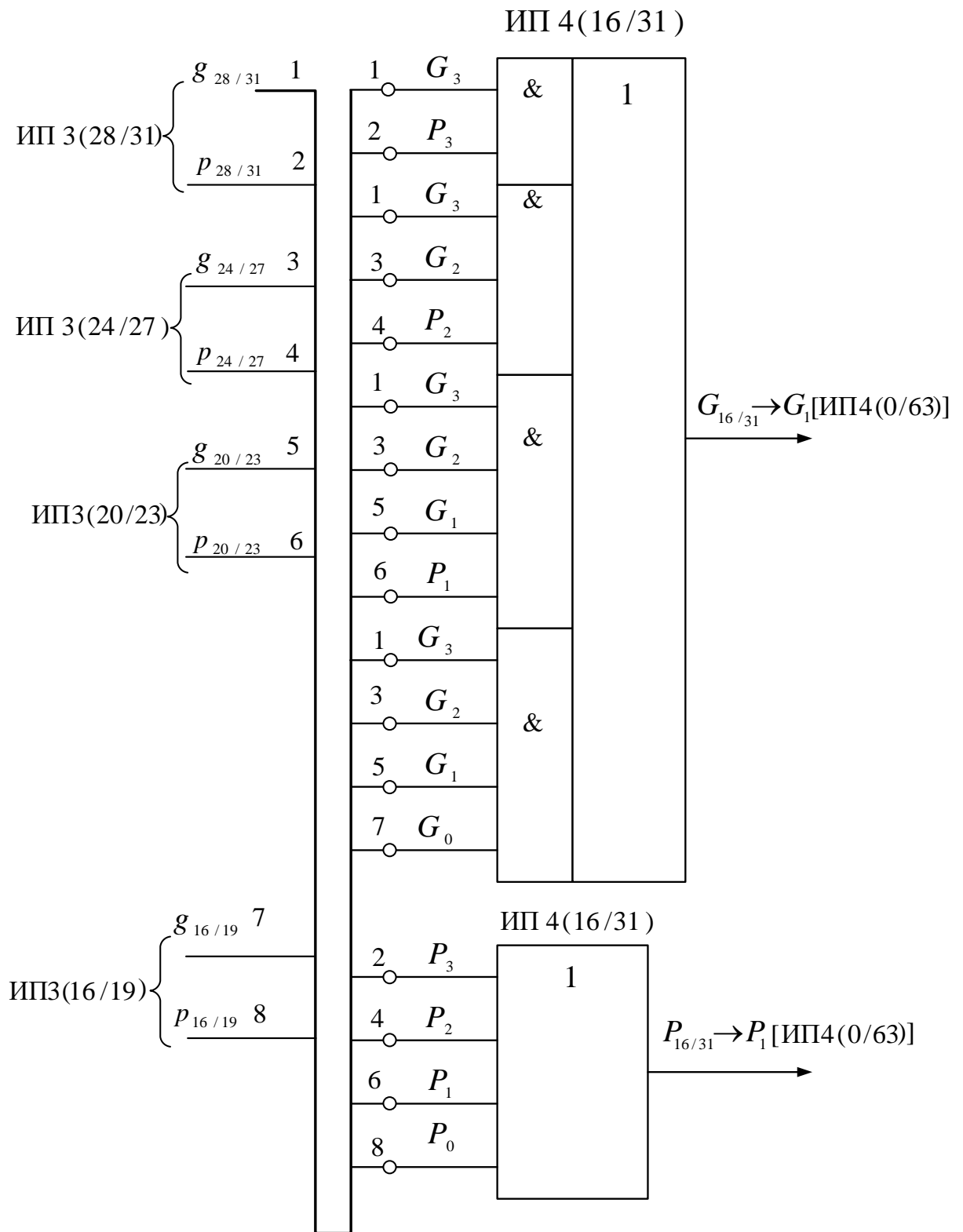


Рисунок 2.47 – Структурна схема формування підготовчих функцій в мікросхему ИП4( 16/31 ):  $g_{x/x}, p_{x/x}$  – підготовчі функції окремих секцій ИПЗ групового суматора ( 16-31 )

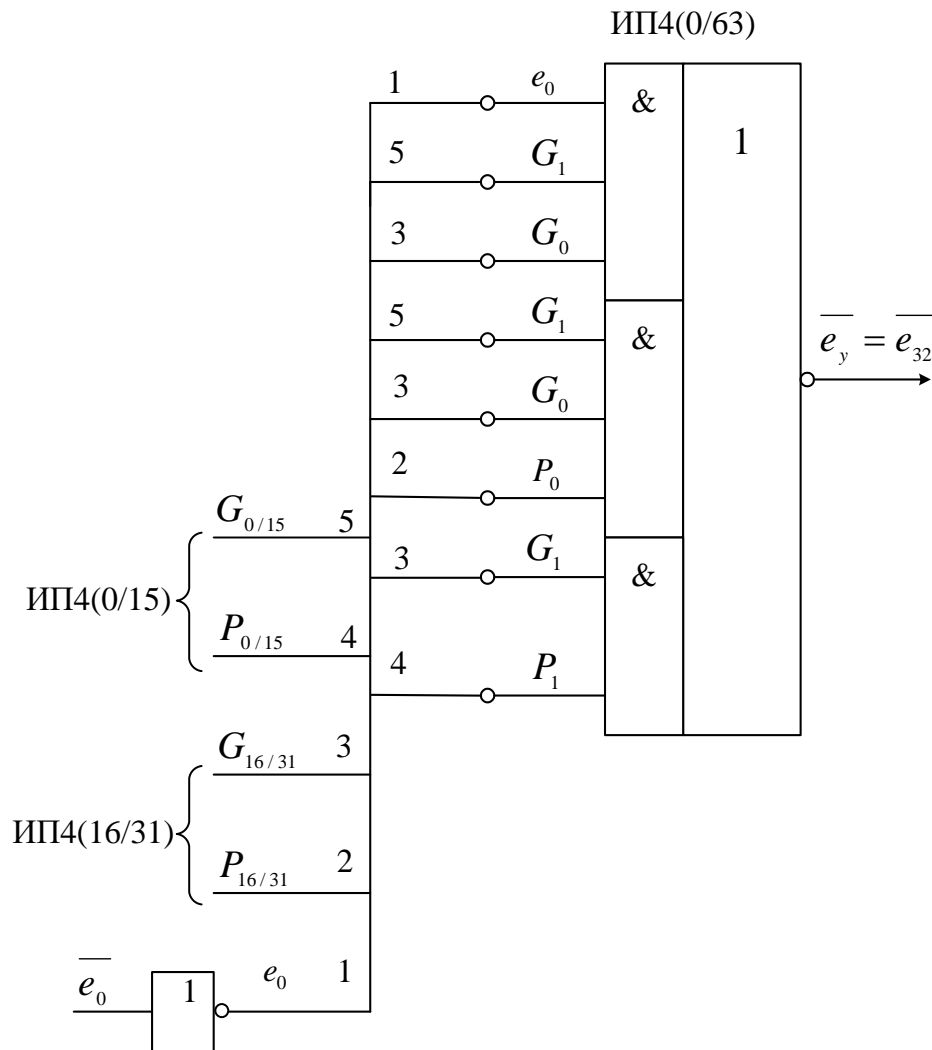


Рисунок 2.48 – Структурна схема формування сигналу непереносу  $\overline{e}_y$  в мікросхемі ИП4( 0/63 ) з використанням відповідних підготовчих функцій блоків ИП4( 0/15 ) і ИП4( 16/31 )

де  $G_{32/47} = G_3P_3 + G_2G_1P_2 + G_3G_2G_1P_1 + G_3G_2G_1G_0$  - умова розповсюдження переносу через групу ( 32/47 ) суматора;

$P_{32/47}G_{32/47}$  – місцевий перенос з групи 32/47 64-розрядного суматора.

Таким чином, згідно з ( 2.102 ), в мікросхемі ИП4(32/47) підготовчі функції мусять обчислюватися за формулами ( рис. 2.50 ):

$$G_{32/47} = G_3P_3 + G_3G_2P_2 + G_3G_2G_1P_1 + G_3G_2G_1G_0; \quad (2.103)$$

$$P_{42/47} = P_3 + P_2 + P_1 + P_0, \quad (2.104)$$

де  $G_3, G_2, G_1, G_0$  і  $P_3, P_2, P_1, P_0$  – відповідні підготовчі функції окремих секцій ИПЗ суматора (  $g_{44/47}, g_{40/43}, g_{36/39}, g_{32/35}$  ) і (  $p_{44/47}, p_{40/43}, p_{36/39}, p_{32/35}$  ).

Обчислення вихідного переносу в групу (48/63) суматора  $e_z$  в мікросхемі ИП4(0/63) виконується одночасно (паралельно) з сигналом переносу  $e_y$ . В зв'язку з цим вираз (2.102) перетворюється з використанням співвідношення (2.98) таким чином :

$$e_z(e_{48}) = (G_{32/47}P_{32/47}) + G_{32/47}(G_{16/31}P_{16/31}) + G_{32/47}G_{16/31}(G_{0/15}P_{0/15}) + (G_{32/47}G_{16/31}G_{0/15})e_0, \quad (2.105)$$

де  $e_0$  – ознака вхідного переносу в 64-розрядному суматорі;

$G_{x/x}, P_{x/x}$  - підготовчі функції відповідних мікросхем верхнього рівня 64-розрядного суматора.

З додержанням необхідних фаз сигналів  $e_z(e_{48})$  та  $e_0$  згідно з формулою (2.105) в мікросхемі ИП4(0/63) побудована структурна схема формування вихідного переносу  $e_z$  (рис. 2.51).

Таким чином, відповідно до проведеного аналізу і отриманих моделей блоків прискореного переносу надпаралельного суматора можна зробити такий висновок.

Одержані логічні співвідношення та структурні схеми формування прискореного переносу і підготовчих функцій свідчать, що як в першому ярусі, так і на всіх інших ярусах блоку прискореного переносу надпаралельного суматора можна застосовувати однакову логічну структуру в мікросхемі ИП4 (рис. 2.52 - 2.53) з еквівалентними елементами.

Крім того, можна також зазначити, що на будь-якому ярусі вихідні підготовчі функції схеми прискореного переносу мікросхеми ИП4  $G$  і  $P$  мають однаковий логічний зміст. Змінна  $G$  являє собою по суті сигнал розповсюдження вхідного переносу через секцію ИП4 наступного ярусу, а кон'юнкція змінних  $G$  і  $P$ , тобто  $(G \wedge P)$  являє собою ознаку місцевого переносу з даної мікросхеми ИП4.

Ця властивість мікросхеми ИП4 дозволяє значно спростити схему арифметичного пристрою для обробки оберненого (зворотного) коду при використанні підготовчих функцій  $G$  і  $P$  надпаралельного суматора.

Як відомо [ 1, 5 ], для отримання оберненого (зворотного) коду суми  $(A + B)_{ок}$  в арифметичному пристрої необхідно використовувати так зване коло циклічного (кільцевого) переносу. Очевидно, що в звичайному комбінаційному суматорі коло кільцевого переносу сприяє утворенню зворотного зв'язку в комбінаційному суматорі, що приводить до самозбудження коливань в суматорі (рис. 2.54). В зв'язку з цим, звичайно, коло кільцевого переносу реалізують з використанням фактично двоступеневого суматора (рис. 2.55).

На рис. 2.54 використовуються такі скорочення:

$e_0$  – ознака вхідного переносу суматора;

$e_{16}$  – ознака вихідного переносу суматора;

$A_{ок}, B_{ок}$  – відповідно обернений код алгебричного числа

$A(\pm xx.xx)$  і  $B(\pm xx.xx)$ ;

$(A + B)_{ок}$  – обернений (зворотний) код алгебричної суми чисел  $(A + B)$ .



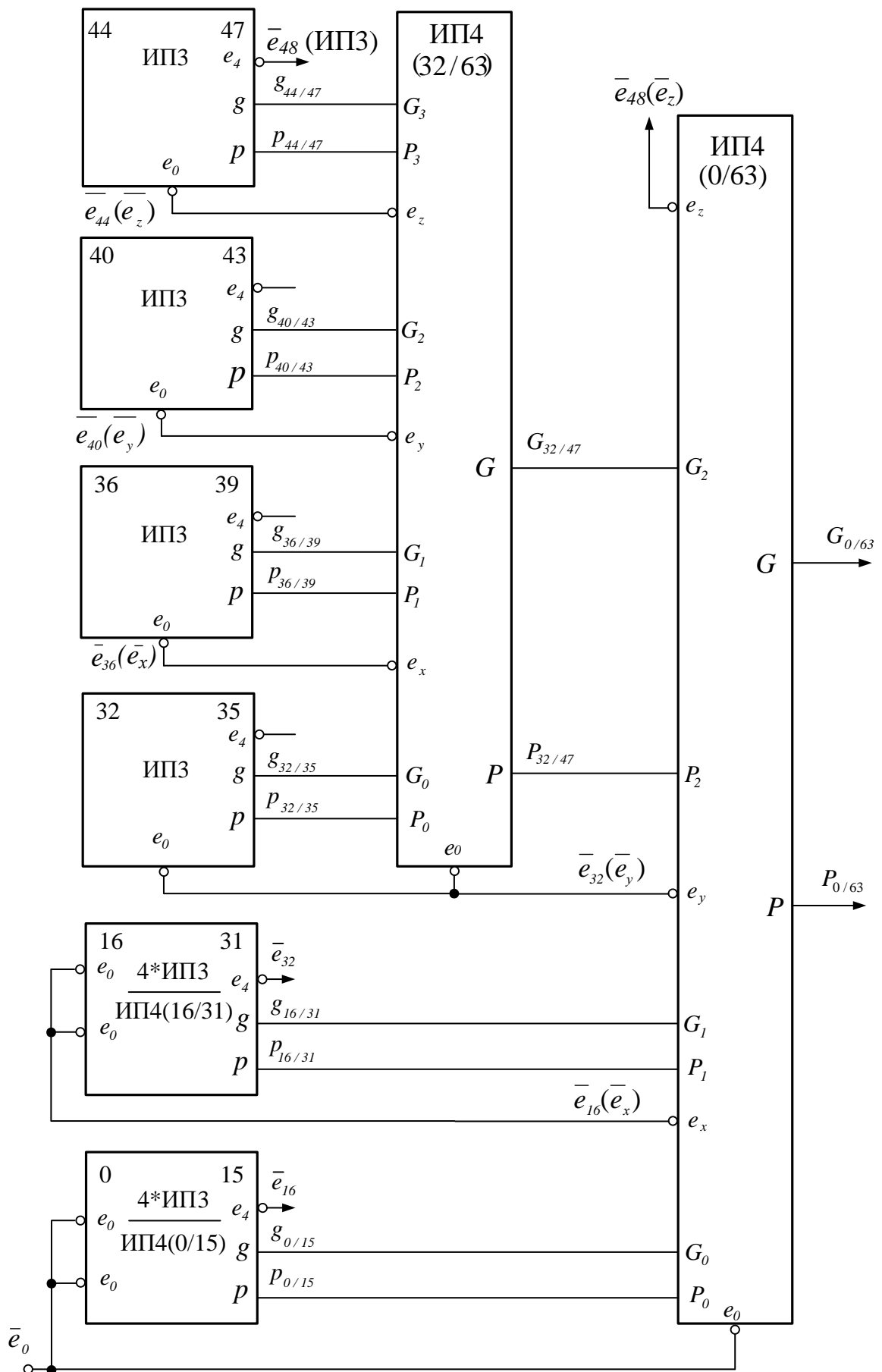


Рисунок 2.49 - Структурна схема формування підготовчих функцій  $P_{32/47}$ ,  $G_{32/47}$  ИП4(32/47) в 64-розрядному суматорі

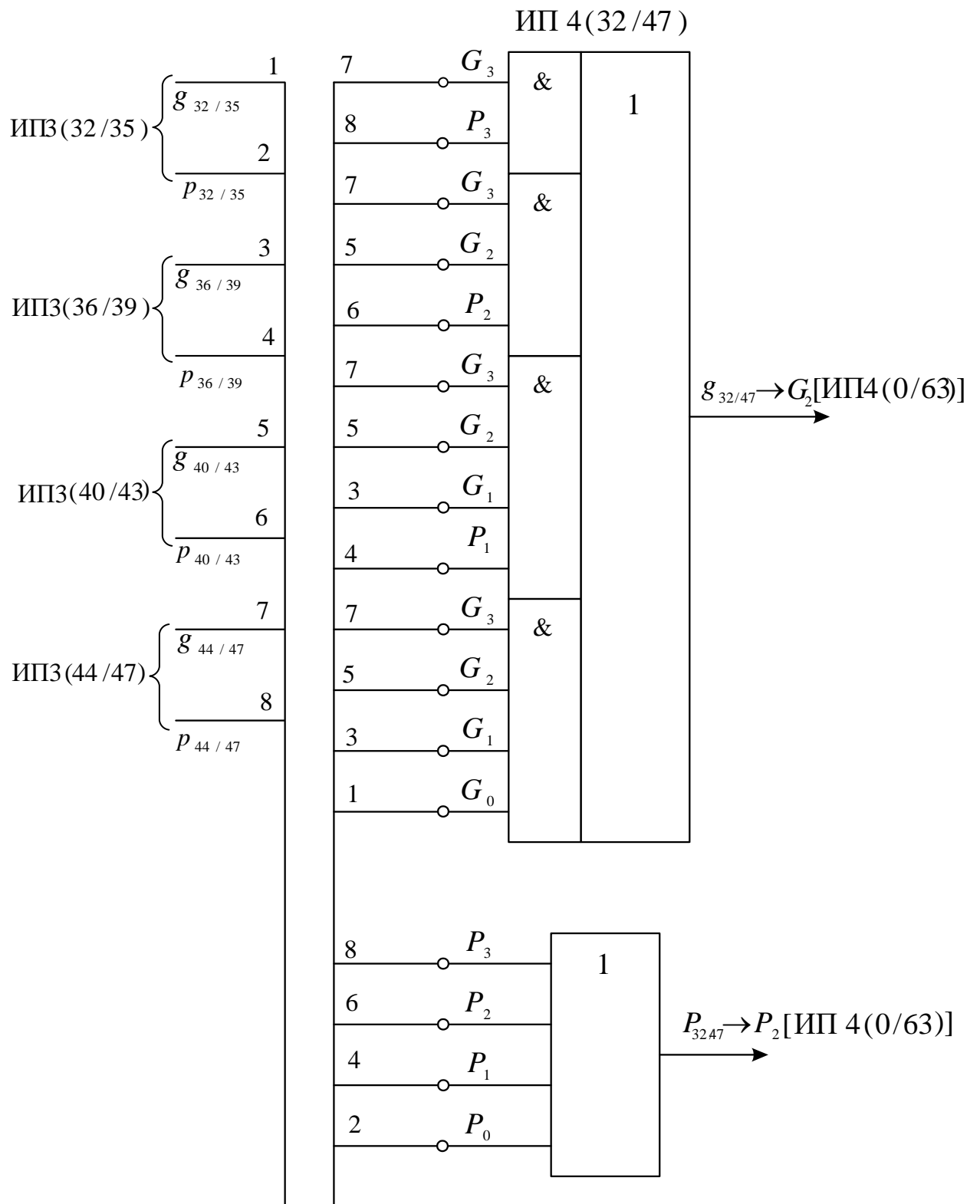


Рисунок 2.50 - Структурна схема формування підготовчих функцій в мікросхемі ИП4(32/47)

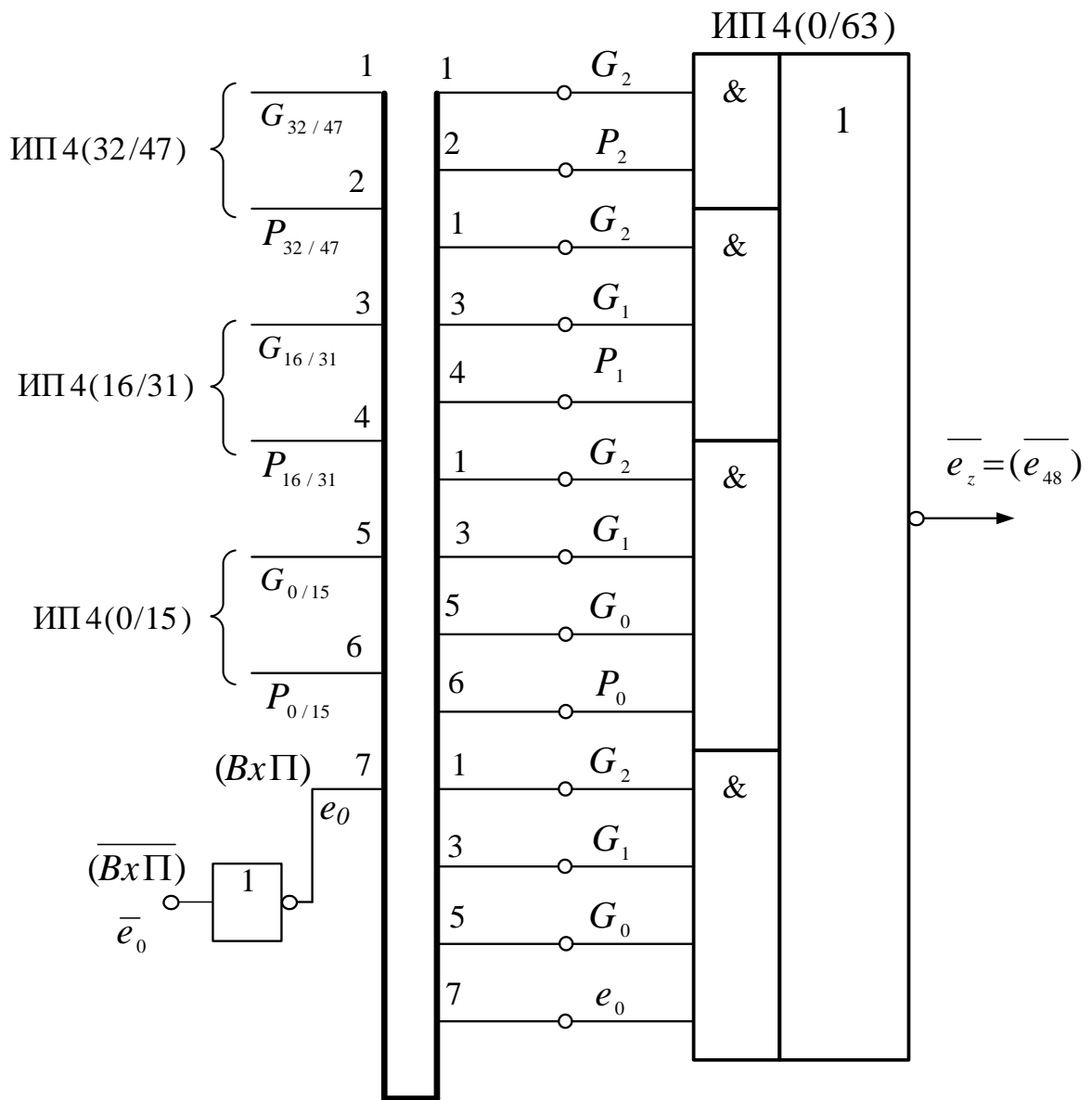


Рисунок 2.51 – Структурна схема формування сигналу непереносу  $\bar{e}_z = \bar{e}_{48}$  в мікросхемі ИП4(0/63)

На рис. 2.55 використовуються такі скорочення:

INC – інкрементор;

$e_0^s, e_0^i$  – відповідно ознака вхідного переносу суматора і інкрементатора;

$e_0^M$  – ознака вихідного переносу суматора обернених коду алгебричних операндів  $A(\pm xx.xx)$  і  $B(\pm xx.xx)$ , тобто ознака місцевого переносу з групи (0/15) суматора оберненого коду ( $A_{ок}$  і  $B_{ок}$ ).

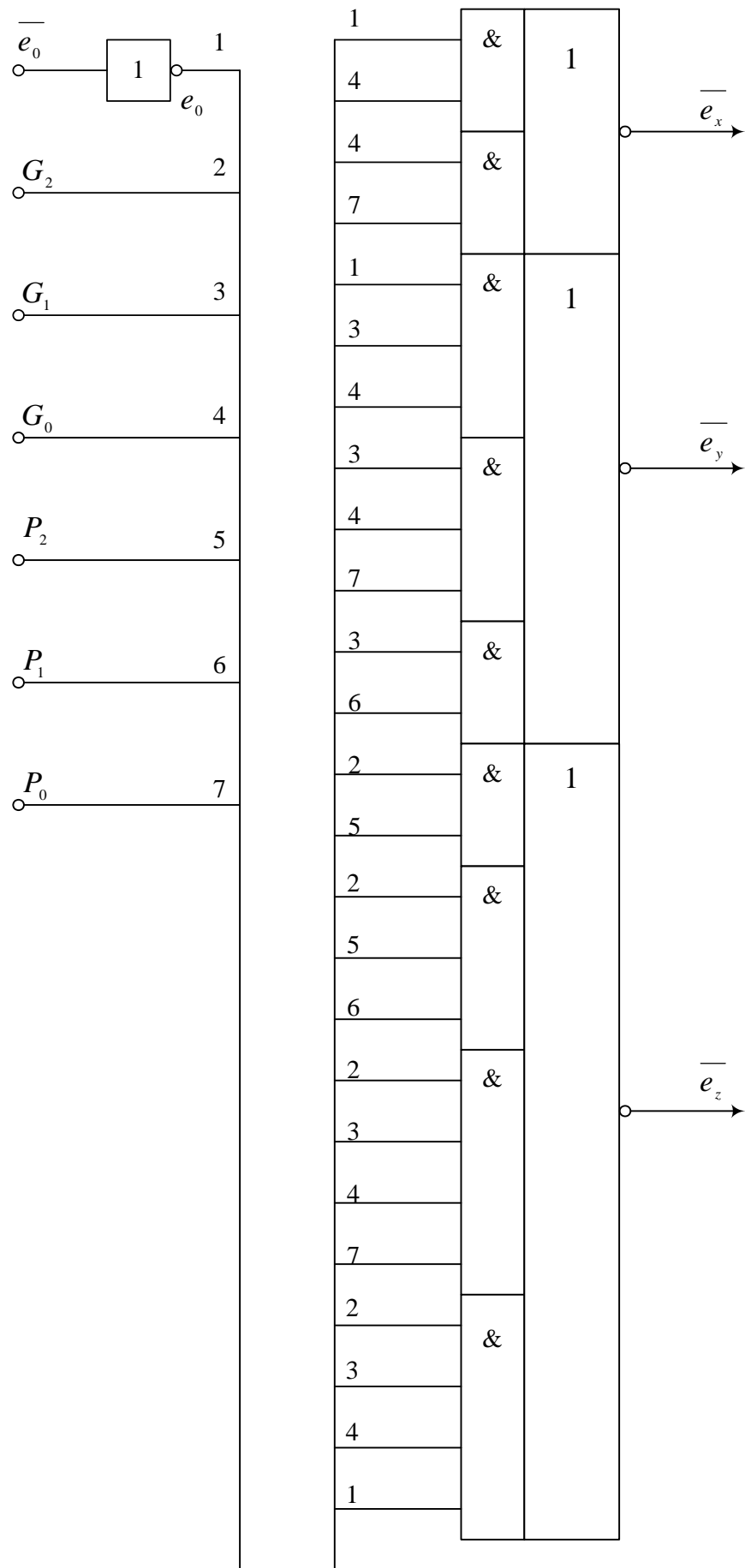


Рисунок 2.52 - Структурна схема мікросхеми ИП4 для формування паралельного переносу в 16-розрядній групі

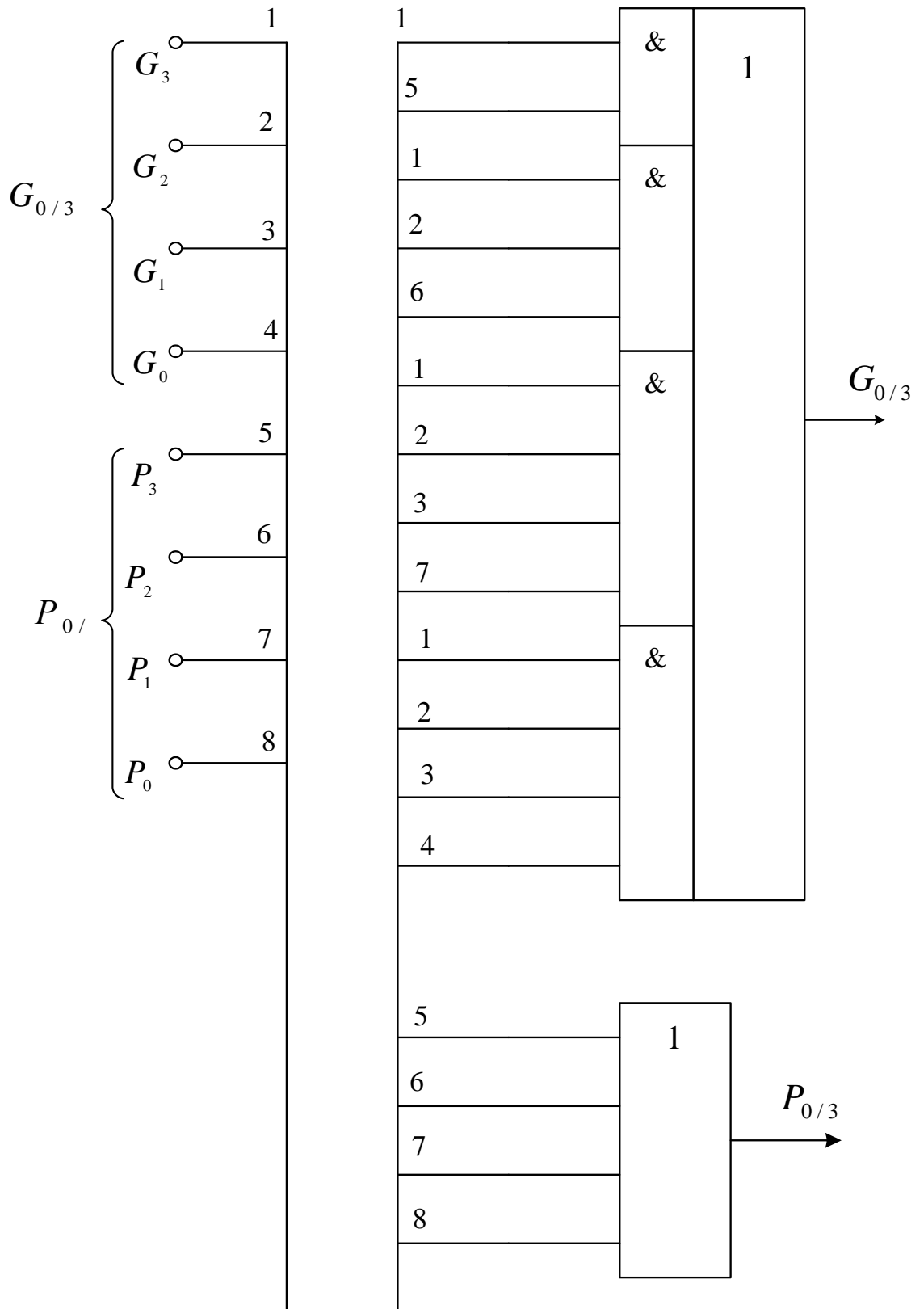


Рисунок 2.53 - Структурна схема мікросхеми ИП4 для формування підготовчих функцій в 16-розрядній групі

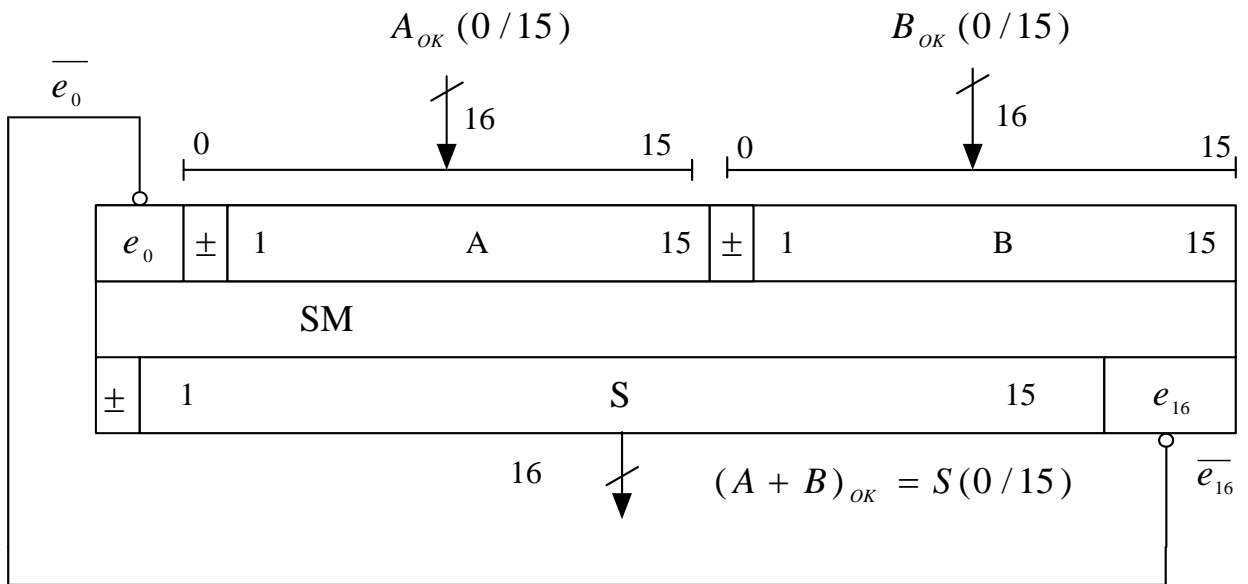


Рисунок 2.54 – Структурна схема суматора оберненого коду (ОК)

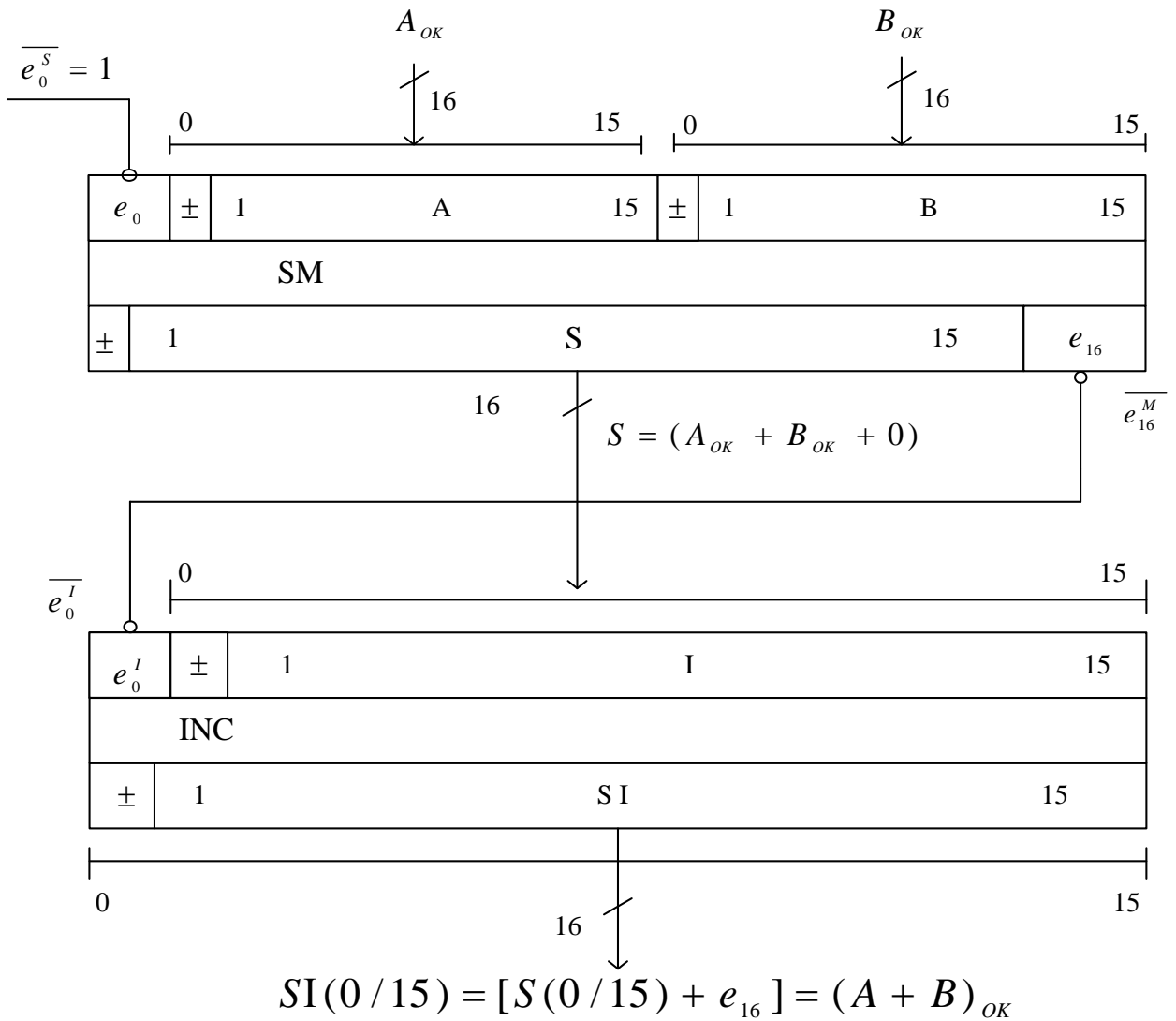


Рисунок 2.55 – Двухступеневый суматор оберненого коду (ОК)

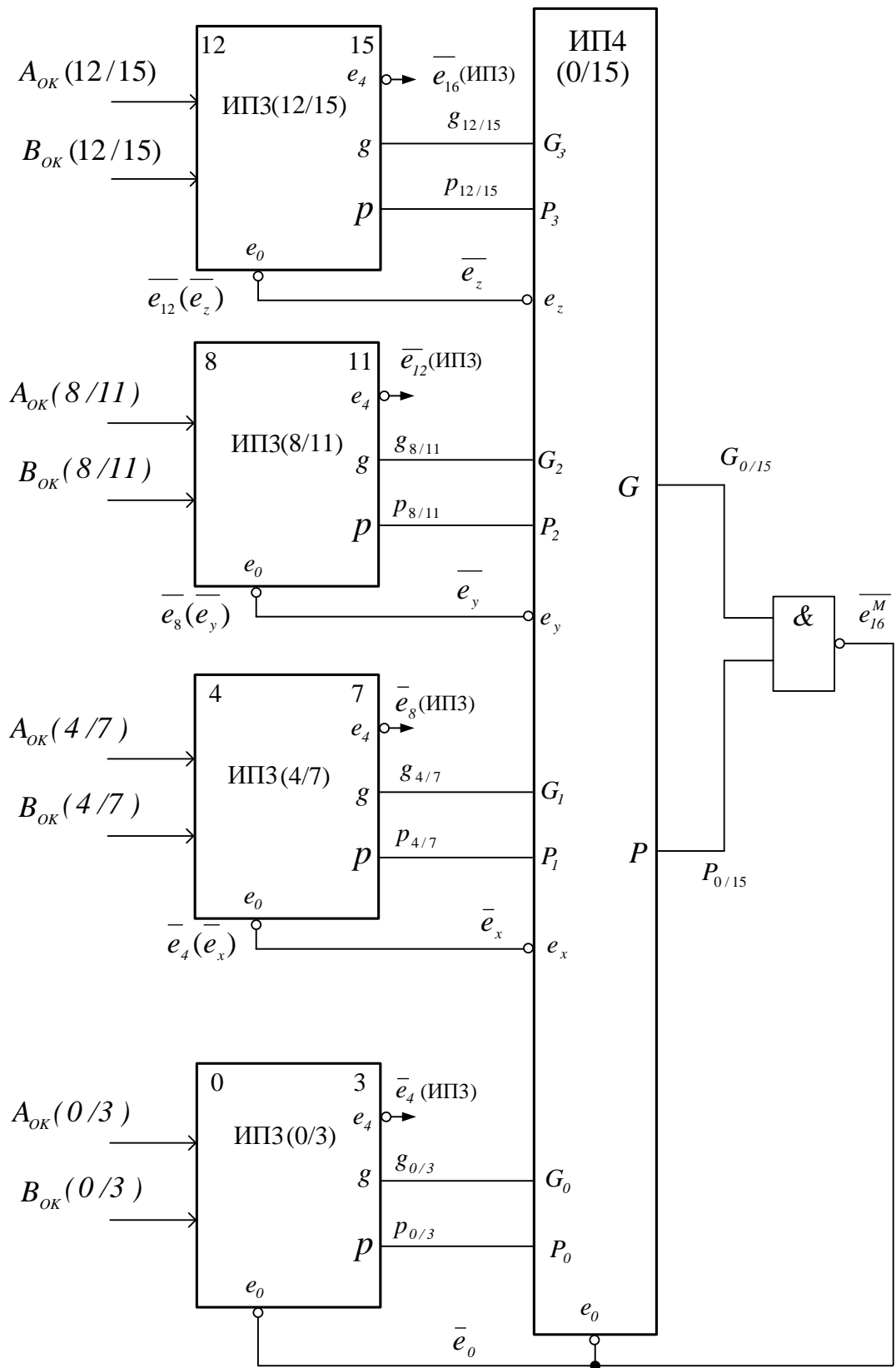


Рисунок 2.56 – Суматор оберненого коду 16-розрядних операндів на основі надпаралельного суматора:

$e_0$  – ознака вхідного переносу суматора (0/15);

$e_{16}^M$  – ознака місцевого переносу суми операндів ( $A_{OK} + B_{OK}$ ).

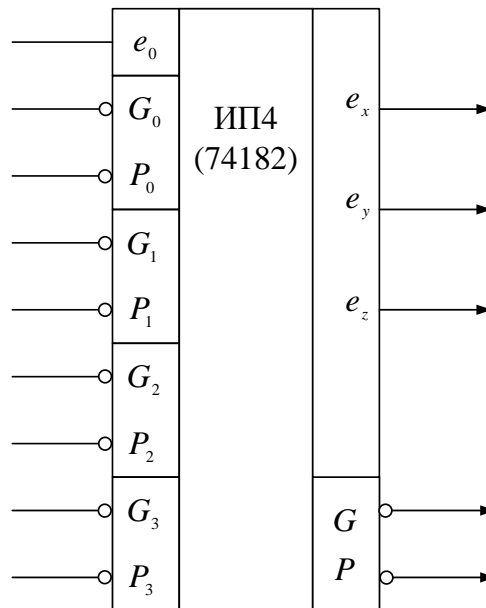


Рисунок 2.57 – Умовне графічне зображення К155ИП4 за умови використання негативної логіки для зображення вхідних і вихідних сигналів

В надпаралельному суматорі оберненого коду (рис. 2.56) ознаку кільцевого переносу (місцевого переносу  $\overline{e_{i6}^M}$ ) згідно з формулою (2.102) можна формувати з використанням підготовчих функцій  $G$  і  $P$  схеми прискореного переносу ИП4(0/15), які відтворюються тільки значеннями вхідних операндів  $A$  та  $B$  і не залежать від ознаки вхідного переносу  $e_0$  в суматорі.

В зв'язку з цим, коло кільцевого переносу в надпаралельному суматорі оберненого коду не спричиняє утворенню зворотного зв'язку в комбінаційному суматорі і принципово не викликає самозбудження коливань в логічній схемі.

Мікросхеми ИП4 можна також застосовувати за низькими активними рівнями сигналів на вхідних і вихідних виводах, тобто з використанням інверсних значень вхідних і вихідних сигналів з позитивною логікою. З урахуванням властивості самоподвійності арифметичних пристроїв стан логічних операцій ИП4 при цьому залишається незмінним. В зв'язку з цим, в структурних схемах надпаралельних суматорів за умови використання негативної логіки, застосовується умовне графічне зображення ИП4, яке наведено на рис. 2.57.

Структурна схема 16-розрядного надпаралельного суматора при застосуванні низьких активних рівнів операндів та функцій мікросхем ИП3 і ИП4 приведена на рис. 2.58.



Природно, що функціонування мікросхеми ИПЗ в цій схемі для кожного керуючого коду  $MS_0S_1S_2S_3$  відбувається згідно з таблицею операцій секцій ИПЗ за умови використання негативної логіки для зображення операндів і функцій (табл. 2.6).

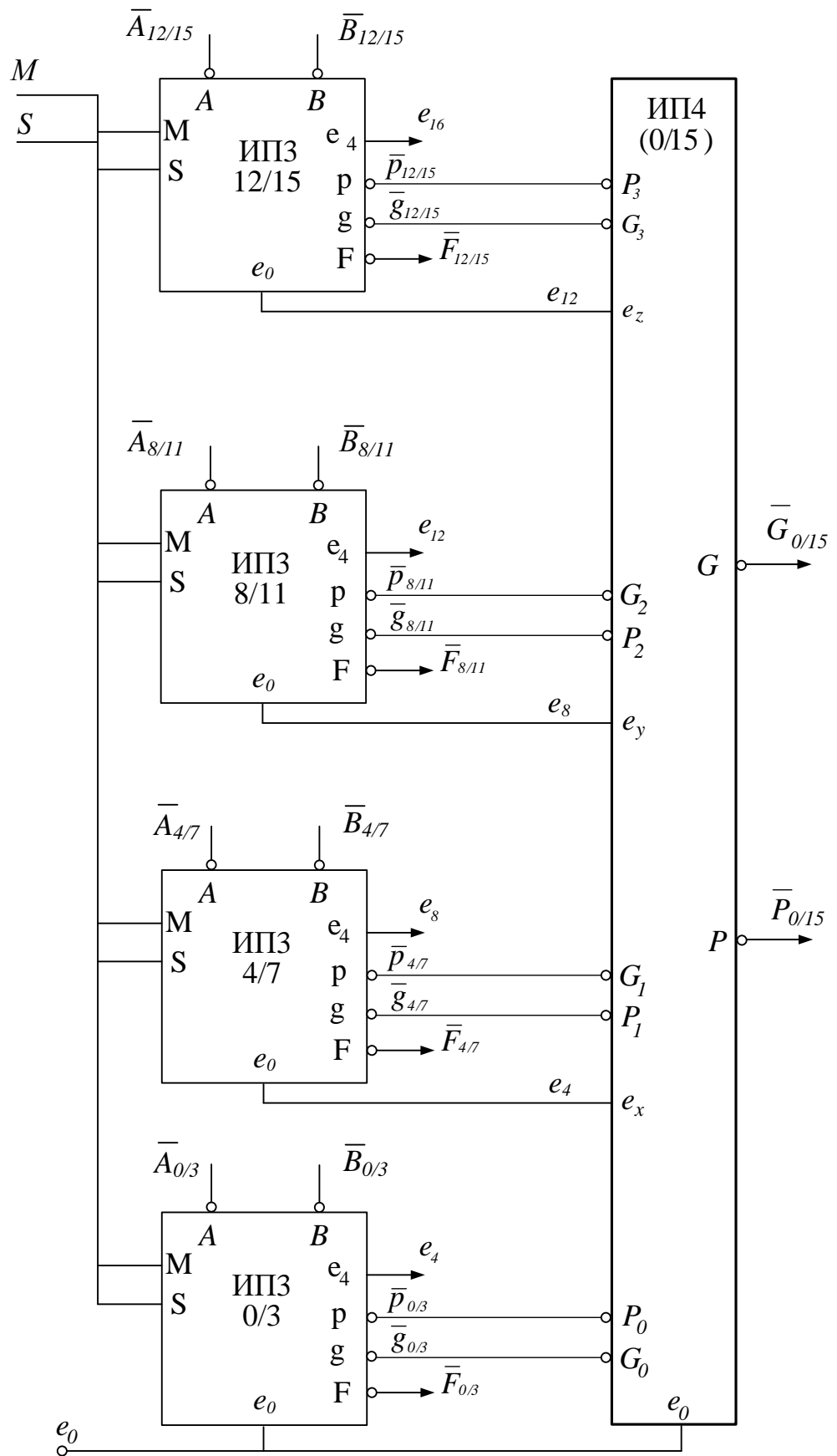


Рисунок 2.58 – Структурна схема 16-розрядного надпаралельного суматора при застосуванні активних низьких рівнів для зображення операндів і функцій в мікросхемах ИПЗ та ИП4

## Контрольні завдання та запитання

1. До якого класу цифрових схем відноситься арифметико-логічний пристрій ИПЗ?
2. Охарактеризуйте призначення та принцип функціонування інтегральної схеми К155ИПЗ.
3. Охарактеризуйте призначення виводів АЛП ИПЗ.
4. Приведіть умовне графічне позначення АЛП на базі інтегральної схеми К155ИПЗ.
5. Як виконати налаштування АЛП на основі ИПЗ на виконання логічних операцій?
6. Як виконати налаштування АЛП на основі ИПЗ на виконання арифметичних операцій?
7. Для чого використовуються вхід вибору режиму  $M$  і входи завдання мікрооперації  $S$ ?
8. Для чого використовуються виводи  $F_{A=B}$ ,  $p$ ,  $g$ ,  $\overline{e_0}$ ,  $\overline{e_4}$ ,  $f_0 - f_3$ ,  $A$ ,  $B$  (рис. 2.28).
9. Поясніть функції, які виконує мікросхема АЛП ИПЗ
10. Поясніть функції, які виконує мікросхема ИП4.
11. Як будується віднімач на основі секції ИПЗ?
12. Як побудувати інкрементор на основі секції ИПЗ?
13. Як визначити логічні функції, які виконує АЛП ИПЗ при використанні негативної логіки кодування змінних?
14. Як будується АЛП з негативною логікою кодування змінних на основі мікросхеми ИПЗ?
15. Охарактеризуйте мікрооперації, які може виконувати ИПЗ.
16. Які логічні операції можуть бути реалізовані в АЛП ИПЗ?
17. Охарактеризуйте два режими роботи АЛП ИПЗ – арифметичний і логічний.
18. Обґрунтуйте формулу ( 2.55 ).
19. За якими правилами реалізуються логіко-арифметичні операції в ИПЗ і чому?
20. Як можна збільшити швидкодію 24-розрядного суматора на основі АЛП ИПЗ?
21. Як будується 20-розрядний суматор на основі інтегральних схем ИПЗ і ИП4?
22. Що таке функція генерації місцевого переносу в мікросхемах ИПЗ і ИП4?

23. До якого класу цифрових схем відноситься схема прискореного переносу ИП4?
24. Що таке функція транзиту вхідного переносу в інтегральних схемах ИП3 і ИП4?
25. Як будуються групові підготовчі функції секції ИП3 та мікросхем ИП4?
26. Поясніть побудову кільцевого переносу в секції ИП4.
27. Поясніть термін «кільцевий перенос».
28. Охарактеризуйте призначення інтегральної схеми ИП4?
29. За якими правилами організуються зв'язки між інтегральними схемами ИП3 та ИП4?
30. Охарактеризуйте швидкодію 64-розрядного суматора на основі ИП3 та на основі сумісного використання мікросхем ИП3 і ИП4.
31. Побудуйте 16-розрядний суматор на базі мікросхем ИП3 та ИП4 з використанням негативної логіки кодування логічних змінних.

## **2.5. Дослідження характеристик і властивостей багаторозрядних суматорів на базі інтегральних модулів методами схемотехнічного моделювання**

Дослідження двійкових багаторозрядних суматорів розглянутих в розділах 2.2 - 2.4, здійснено з використанням генераторів двійкових кодів, функцій і логічних елементів бібліотеки системи схемотехнічного моделювання MicroCap [ 7 ].

На рис. 2.59 наведено склад блоків з бібліотеки інтегральних TTL-елементів для дослідження арифметичних властивостей суматора ИМ2 (рис. 2.19).

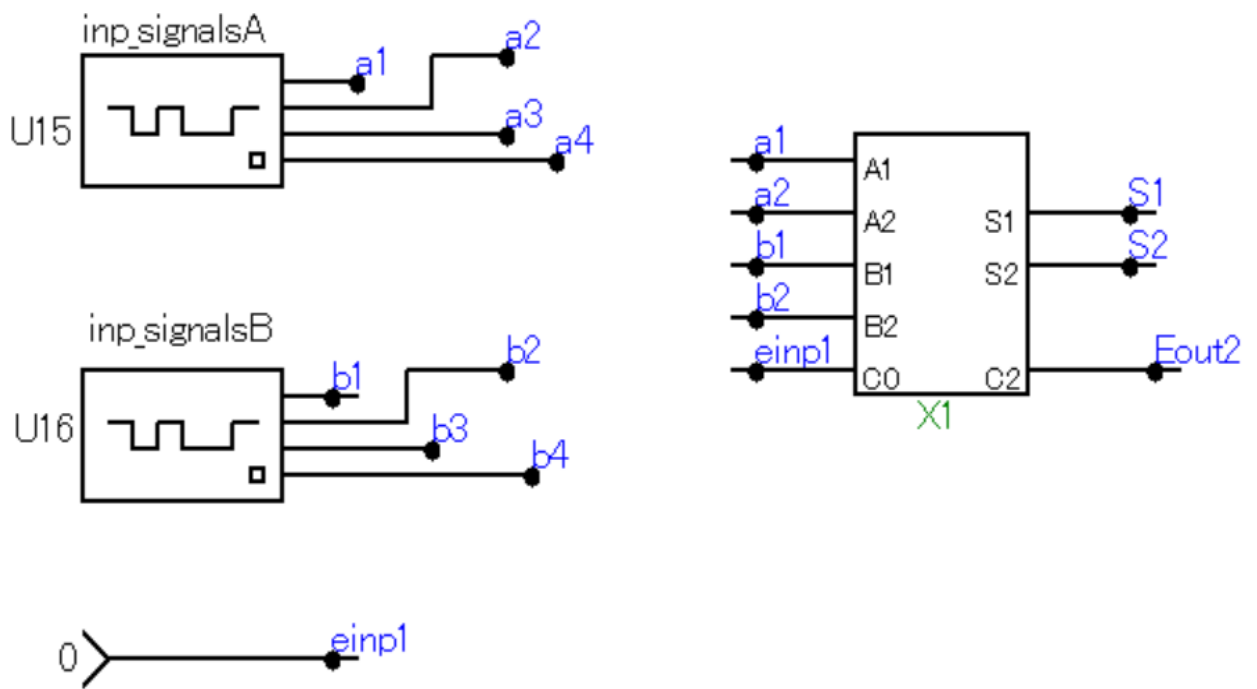


Рисунок 2.59 – Схема моделювання двійкового суматора ИМ2

В схемі моделювання на рис. 2.59 використані генератори прямокутних імпульсів **inp\_signalsA** і **inp\_signalsB**, які задають двобітні операнди  $a_2a_1$ ,  $b_2b_1$  відповідні на входах  $A_2A_1$  і  $B_2B_1$  (комбінація сигналів  $a_4a_3$ ,  $b_4b_3$  не використовуються).

Сигнали суми і вихідного переносу двобітних доданків формуються в моделі відповідно на виходах  $S_2S_1$  і  $Eout_2$  модуля ИП2.

Часові діаграми моделі суматора ИМ2 наведені на рис 2.60. На рисунку приведені діаграми вхідних і вихідних сигналів суматора в десятковому форматі, побудованому за допомогою вбудованої функції `dec()`, і в звичайному двійковому форматі. Коректність функціонування суматора підтверджується відповідністю таблиці істинності суматора (табл.1.2) і отриманих результатів моделювання.

На рис. 2.61 наведено часові діаграми мікросхеми ИМ2 з визначенням часу розповсюдження переносу через всі розряди суматора при надходженні на входи суматора «найгірших» з точки зору швидкодії операндів.

З рис. 2.61 випливає, що час затримки розповсюдження переносу при таких вхідних кодах ( $A = 11$ ,  $B = 01$ ,  $e_1 = 0$ ) складає 25нс.

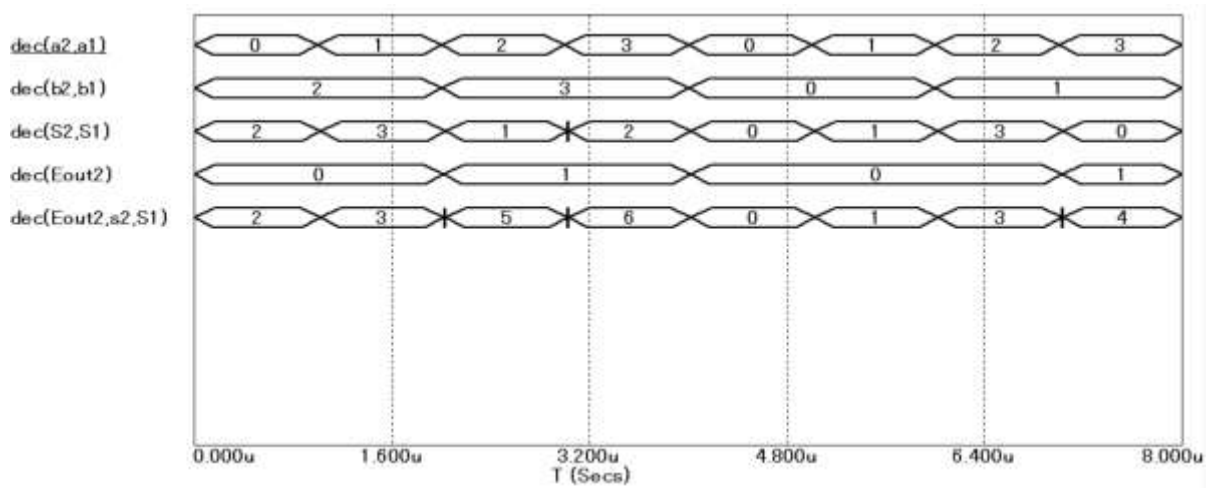


Рисунок 2.60 – Часові діаграми суматора ИМ2

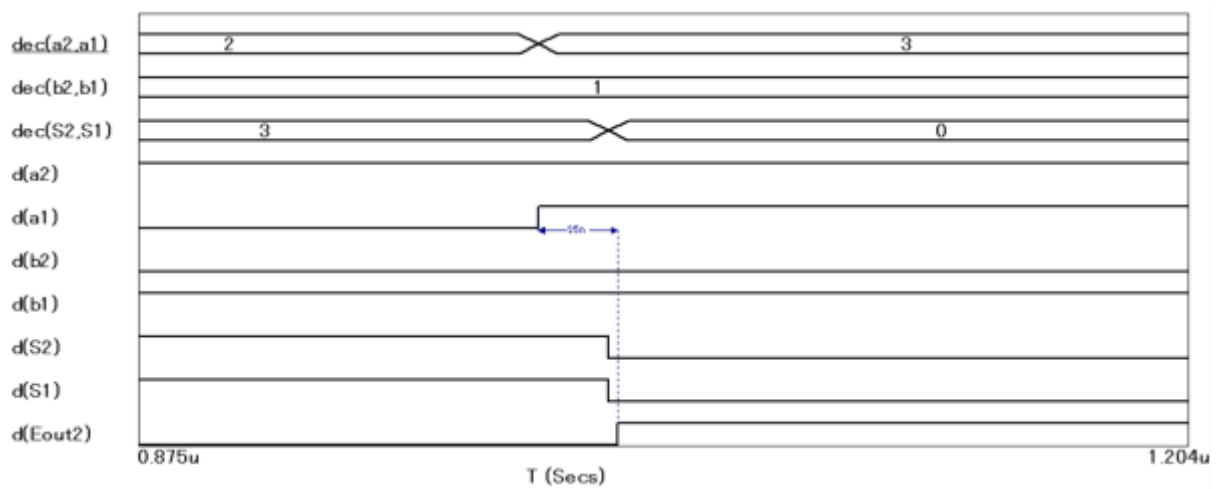


Рисунок 2.61 – Часові діаграми з визначенням часу спрацьовування суматора ИМ2

Склад моделі для дослідження логічної структури інтегральної схеми дворозрядного суматора ИМ2 (рис. 2.20) приведено на рис.2.62.

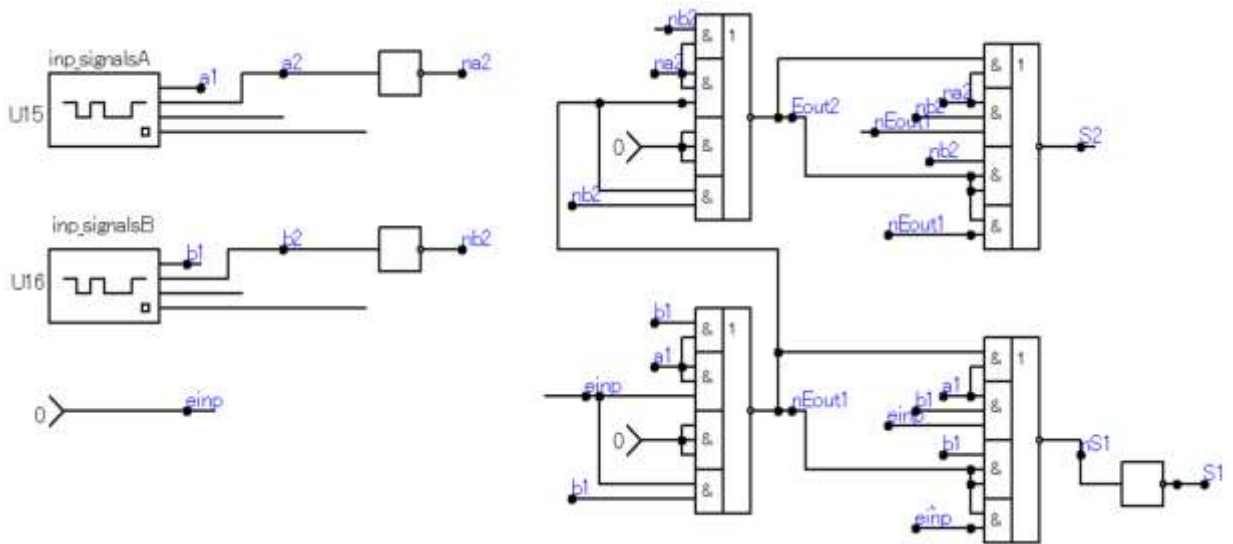


Рисунок 2.62 – Склад моделі для дослідження логічної структури дворозрядного суматора ІМ2

Результати моделювання організації мікросхеми ІМ2 приведено на рис. 2.63.

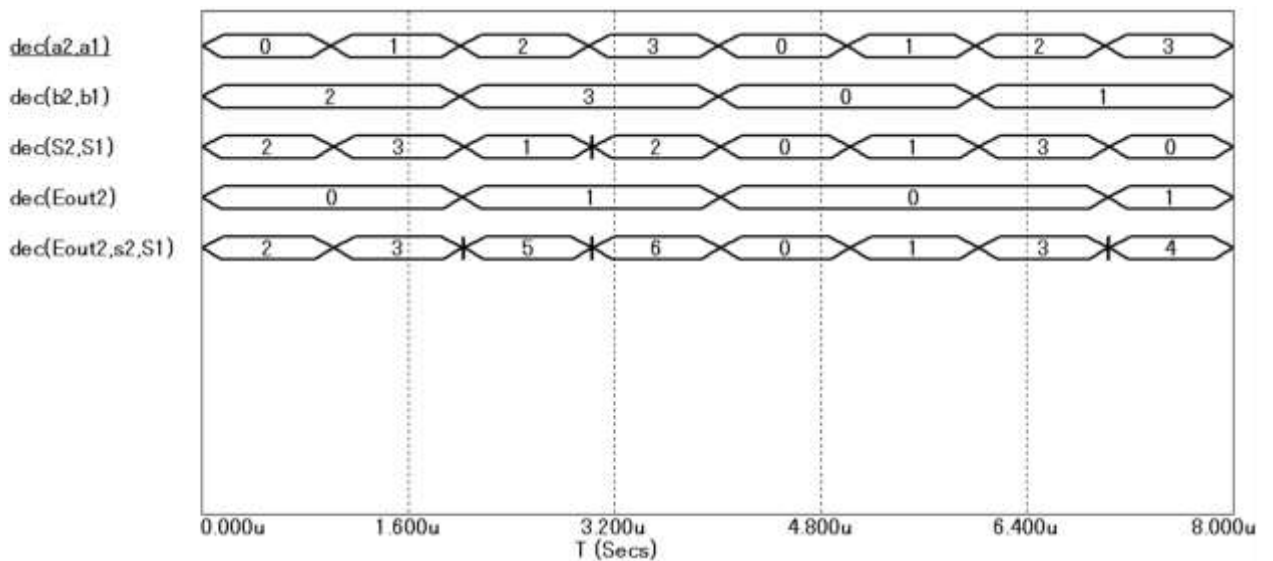


Рисунок 2.63 – Часові діаграми логічної структури суматора ІМ2

На рис.2.64 приведена схема для дослідження функціональних властивостей чотирирозрядного суматора, побудованого за допомогою каскадного з'єднання двох мікросхем ІМ2.

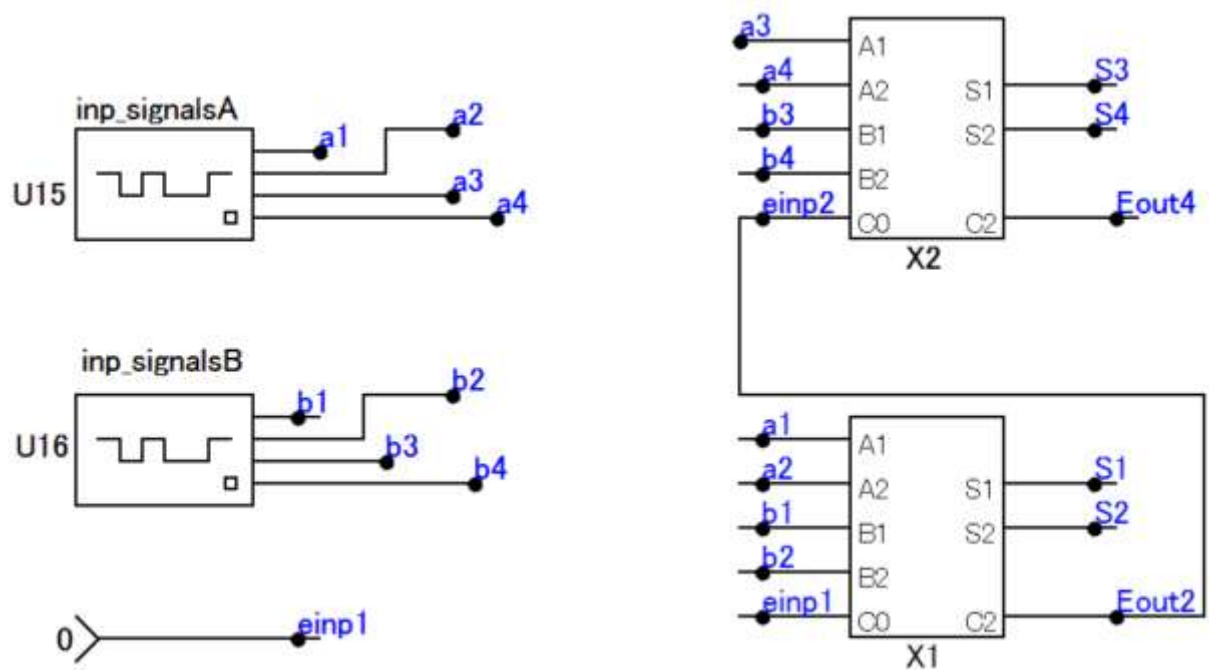


Рисунок 2.64 – Компоновка мікросхем ИМ2 в моделі чотирирозрядного суматора двійкових чисел

Результати моделювання арифметичних властивостей чотирирозрядного суматора (рис. 2.64), побудованого на базі інтегральних схем суматорів ИМ2, приведені в десятковому форматі на рис. 2.65.

На рис. 2.66 приведені результати моделювання з визначенням часу розповсюдження сигналу переносу через всі розряди чотирибітного суматора на базі мікросхем ИМ2. Визначення цього параметра здійснювалося при надходженні на входи суматора «найгірших» з точки зору швидкодії операндів. З рис. 2.66 випливає, що час затримки розповсюдження переносу при таких вхідних кодах ( $A = 1111, B = 0001, e_1 = 0$ ) складає 37нс.



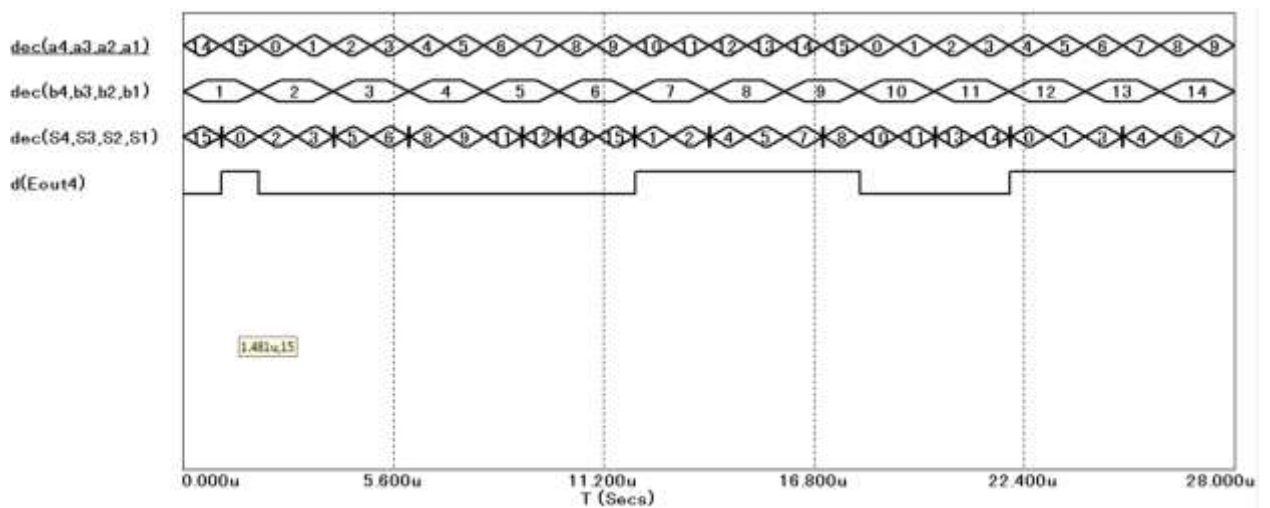


Рисунок 2.65 – Результати моделювання арифметичних властивостей чотирирозрядного суматора на базі інтегральних схем ИМ2

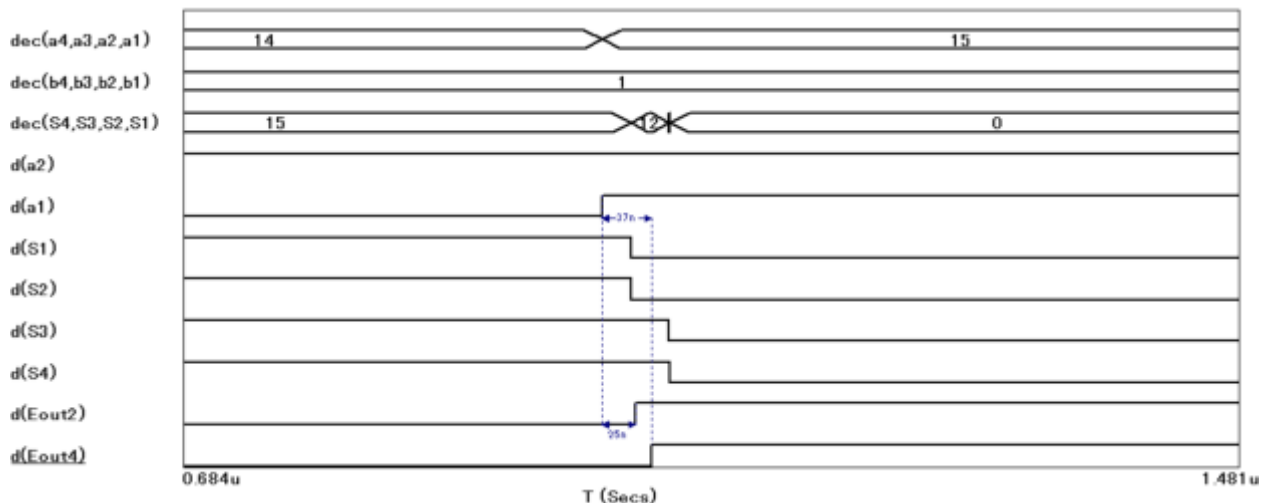


Рисунок 2.66 – Часові діаграми з визначенням часу розповсюдження переносу чотирирозрядного суматора на базі інтегральних схем ИМ2

На рис. 2.67 приведена склад моделі для дослідження чотирирозрядного арифметичного пристрою (рис. 2.22) на базі двох інтегральних схем суматорів ИМ2. В пристрої виконується мікрооперації підсумовування при надходженні керуючого сигналу  $y = 0$  та віднімання (при надходженні керуючого сигналу  $y = 1$ ) вмісту чотирирозрядних регістрів  $P1(3/0)$  і  $P2(3/0)$ .

Результати моделювання функціонування арифметичного пристрою на базі суматорів ИМ2 в режимах підсумовування (за сигналом  $y = 0$ ) і віднімання (за сигналом  $y = 1$ ) модулів чотирирозрядних двійкових чисел приведені на рис. 2.68.

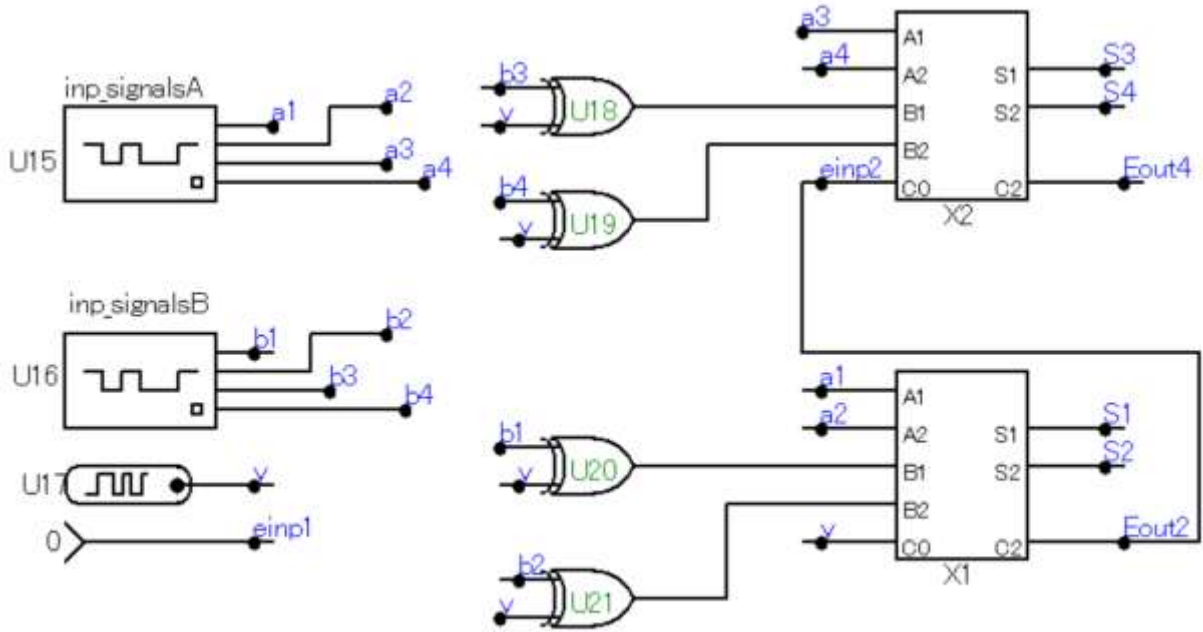


Рисунок 2.67 – Склад моделі для дослідження арифметичного пристрою для обробки модулів чотирирозрядних двійкових чисел

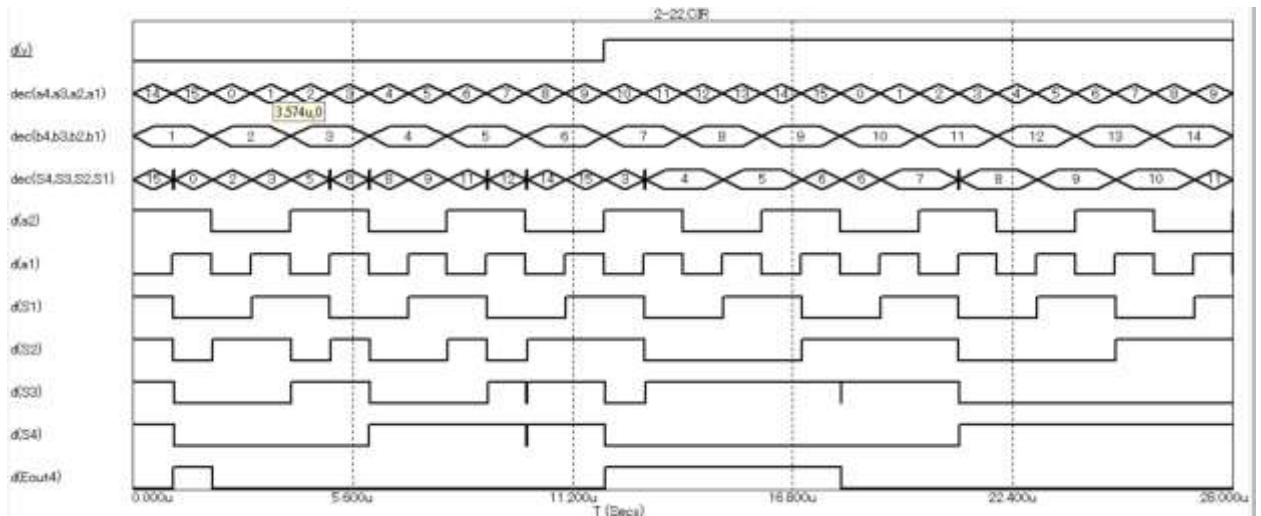


Рисунок 2.68 – Результати моделювання арифметичного пристрою в режимах підсумовування (при  $y = 0$ ) або віднімання (при  $y = 1$ ) модулів чотирирозрядних двійкових чисел

На рис. 2.69 приведено склад моделі для дослідження інтегральної схеми чотирирозрядного двійкового суматора K155ИМ3 (SN7483), умовне графічне позначення якого приведено на рис.2.23. Для виконання моделювання використана модуль суматора ИМ3 зі складу бібліотеки інтегральних схем ТТЛ системи моделювання.

Результати моделювання функціонування суматора ІМЗ приведені на рис.2.70. На рисунку наведено часові діаграми вхідних і вихідних сигналів суматора в десятковому форматі і в звичайному двійковому форматі.

Коректність моделі суматора підтверджується визначення відповідністю таблиці істинності суматора (табл. 1.2) і отриманих результатів моделювання ІС суматора.

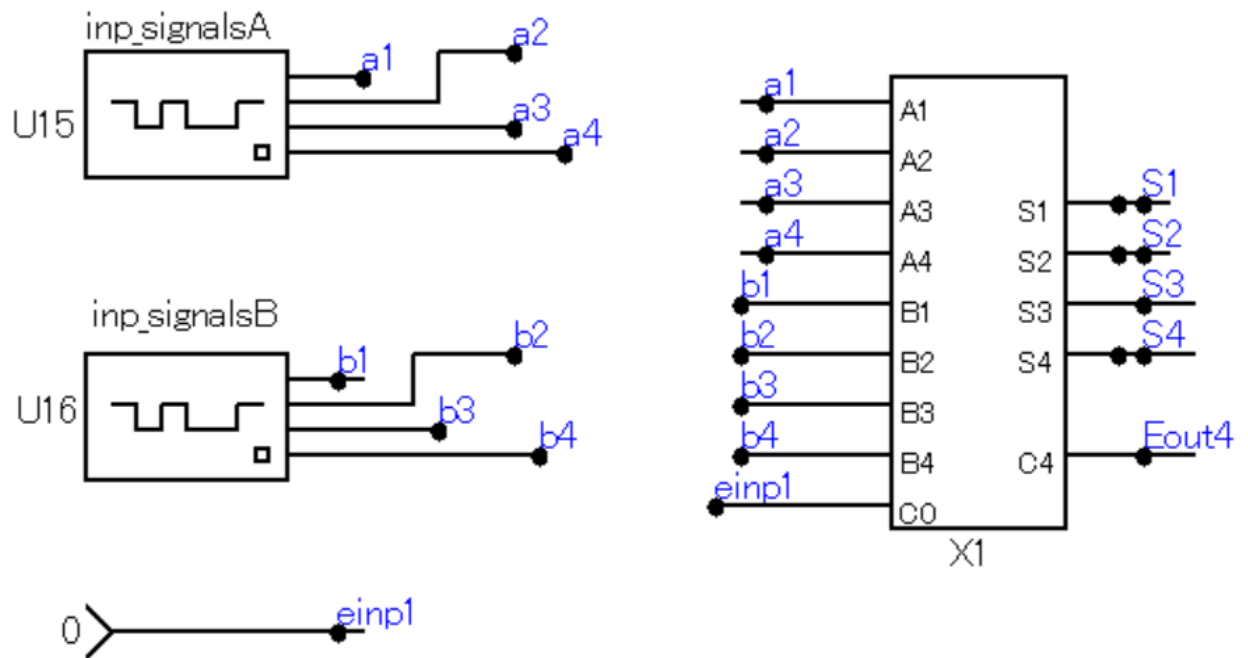


Рисунок 2.69 – Склад моделі для дослідження функціональних властивостей двійкового суматора ІМЗ

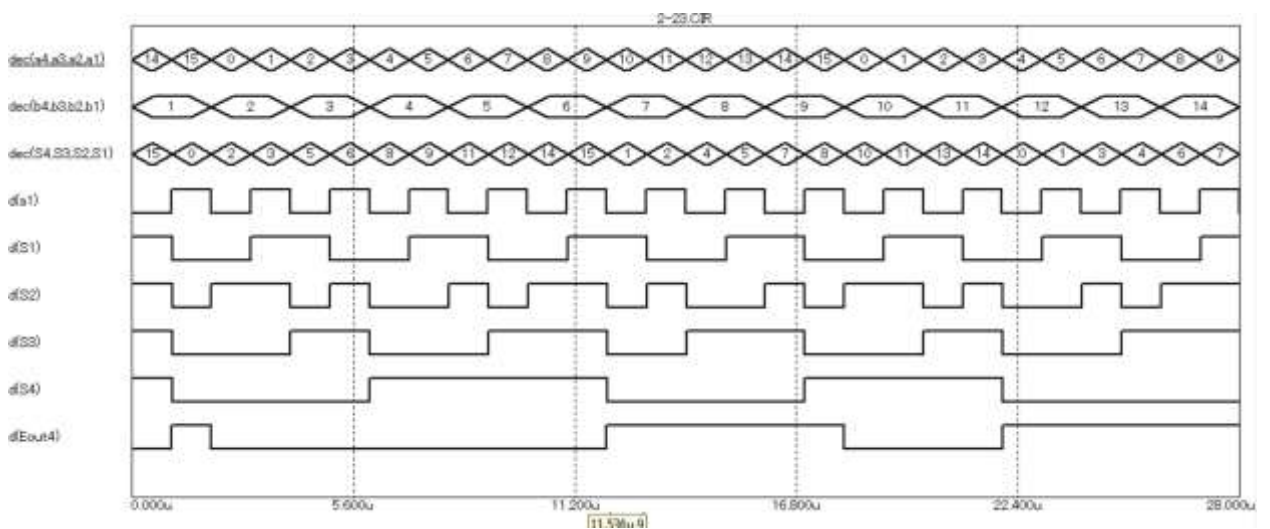


Рисунок 2.70 – Часові діаграми підсумовування чисел в двійковому суматорі ІМЗ

На рис.2.71 приведені часові діаграми з визначенням часу затримки розповсюдження переносу через всі розряди суматора ІМЗ при надходженні

на входи суматора «найгірших» з точки зору швидкодії операндів. З результатів досліджень динамічних параметрів суматора ИМЗ ( рис.2.71 ) випливає, що час затримки розповсюдження переносу при надходженні таких вхідних кодів (  $A = 1111$ ,  $B = 0001$ ,  $e_1 = 0$  ) складає 9 нс, а величина затримки формування сигналів суми відносно моменту появи вхідного переносу складає 16 нс.

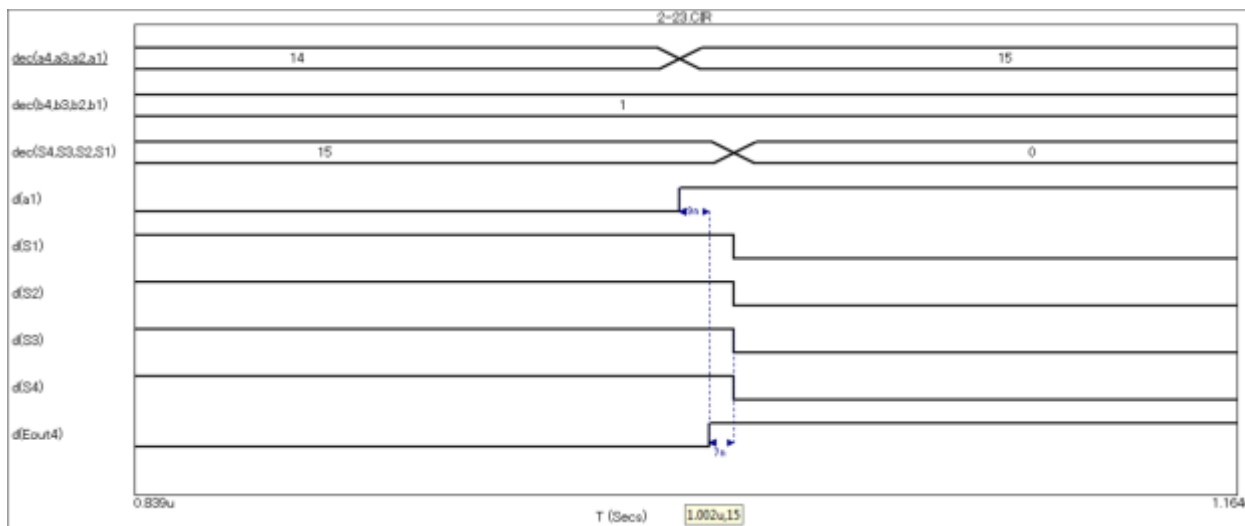


Рисунок 2.71 – Результати дослідження з визначенням динамічних параметрів суматора ИМЗ

На рис. 2.72 приведено склад моделі для дослідження функціональних властивостей інтегральної схеми арифметико-логічного пристрою К155ИПЗ ( SN74181 ), умовне графічне позначення якого приведено на рис. 2.28.

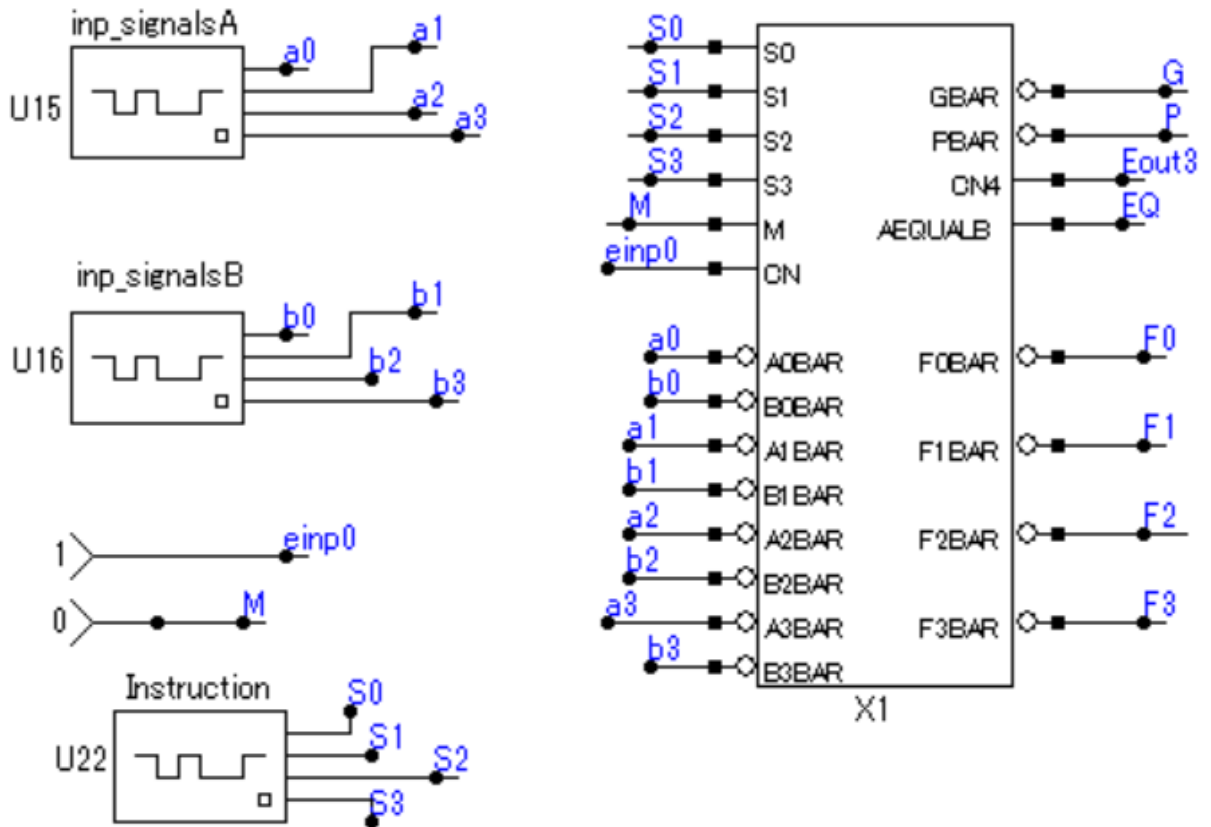


Рисунок 2.72 – Склад моделі для дослідження функціональних властивостей арифметико-логічного пристрою ИПЗ

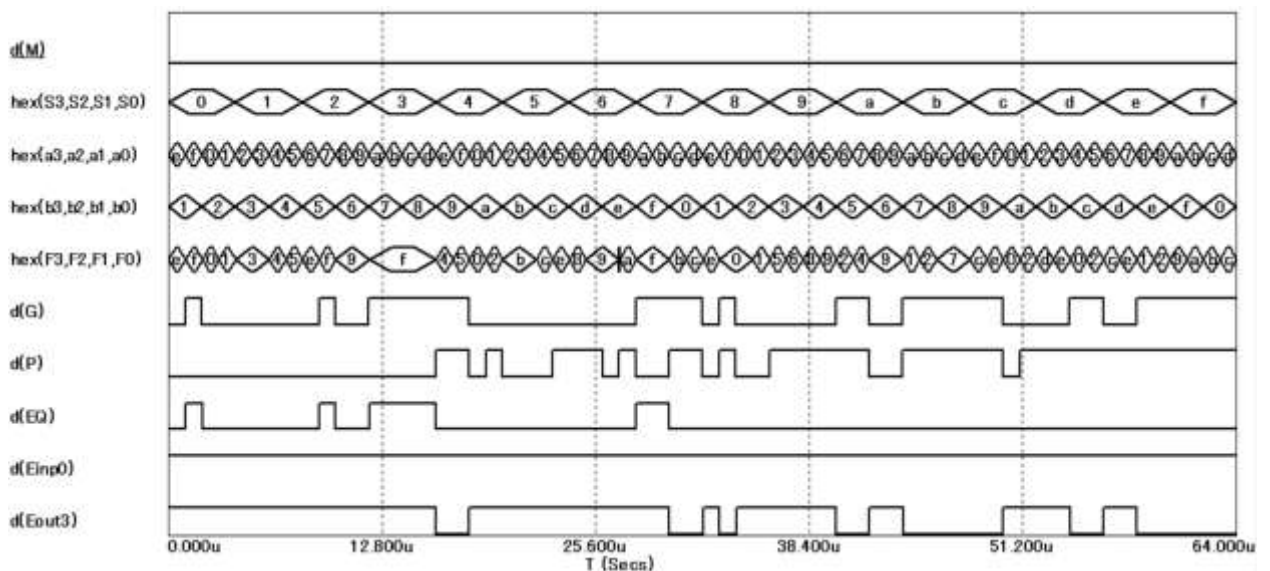


Рисунок 2.73 – Часові діаграми АЛП ИПЗ в режимі виконання логічних операцій

При виконанні моделювання арифметичних властивостей АЛП використано модуль арифметико-логічного пристрою ИПЗ зі складу бібліотеки інтегральних схем ТТЛ системи моделювання.

Результати моделювання функціонування арифметико-логічного пристрою ИПЗ в режимі виконання логічних операцій ( на вхід **Mode Control M** подано сигнал високого рівня ) приведені на рис 2.73. На рисунку приведені часові діаграми вхідних і вихідних сигналів пристрою в шістнадцятковому форматі з використанням функції *hex()* та в звичайному двійковому форматі.

Коректність функціонування АЛП підтверджується відповідністю таблиці виконання логічних операцій з використанням позитивної логіки кодування сигналів пристрою (табл.2.5) і отриманих результатів моделювання.

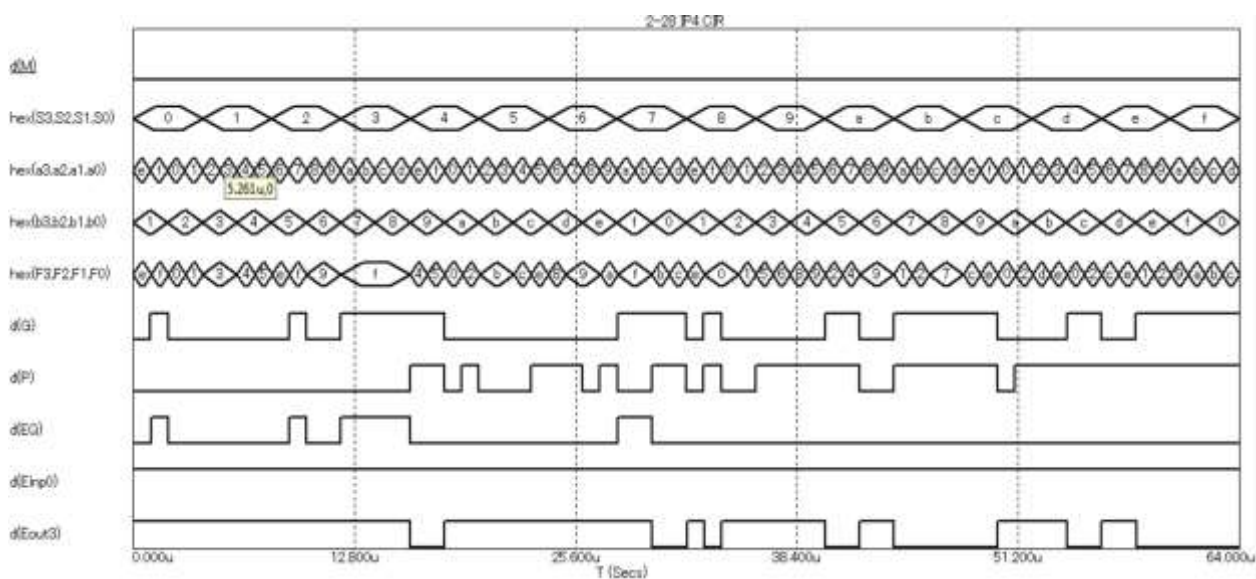


Рисунок 2.74 – Часові діаграми АЛП ИПЗ в режимі виконання логіко-арифметичних операцій при неактивному значенні сигналу вхідного переносу

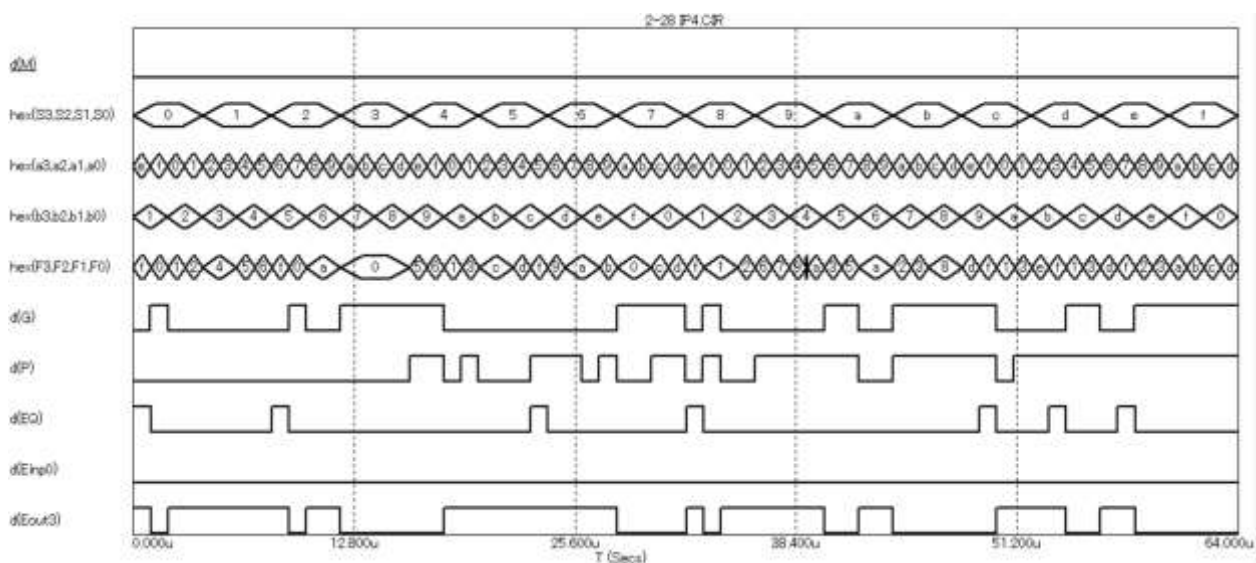




Рисунок 2.75 – Часові діаграми функціонування АЛП ИПЗ в режимі виконання логіко-арифметичних операцій при активному значенні сигналу вхідного переносу

Результати моделювання функціонування арифметико-логічного пристрою ИПЗ в режимі виконання логіко-арифметичних операцій ( на вхід **Mode Control M** подано сигнал низького рівня при неактивному значенні сигналу вхідного переносу ) приведені на рис 2.74.

Коректність функціонування АЛП підтверджується відповідністю таблиці виконання логіко-арифметичних операцій ( з використанням позитивної логіки кодування сигналів ) пристрою (табл.2.7) і результатів моделювання.

Результати моделювання функціональних властивостей АЛП ИПЗ в режимі виконання логіко-арифметичних операцій ( на вхід **Mode Control M** подано сигнал низького рівня за активним значенням сигналу вхідного переносу ) приведені на рис 2.75.

На рис.2.76 приведені часові діаграми з визначенням часу затримки розповсюдження переносу через всі розряди суматора арифметико-логічного пристрою ИПЗ при надходженні на входи операндів, за яких спостерігається найменша швидкодія пристрою.

З результатів моделювання динамічних параметрів АЛП ИПЗ ( рис.2.76 ) випливає, що час затримки розповсюдження переносу при надходженні вхідних кодів  $A = 1111, B = 0001, e_1 = 0$  складає 27 нс.

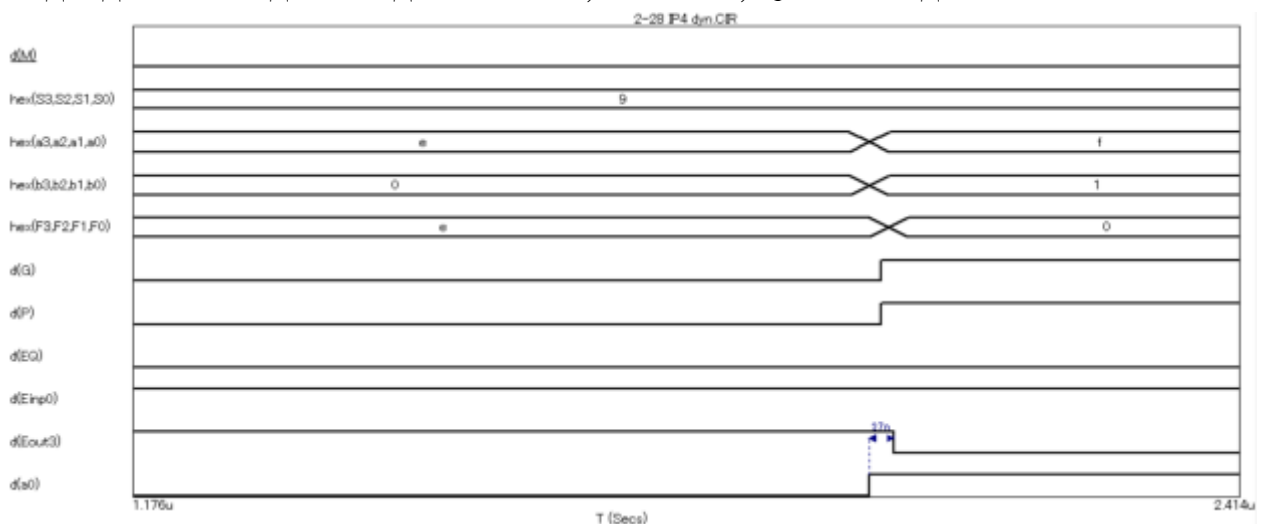


Рисунок 2.76 – Часові діаграми з визначенням динамічних параметрів АЛП ИПЗ

Склад моделі для дослідження логічних схем формування  $i$ -того розряду результатів при виконанні логічних і логіко-арифметичних операцій в АЛП ИПЗ ( $F_3, F_2, F_1, F_0$ ) приведено на рис. 2.77. Результати моделювання

схеми приведено на рис. 2.78 в шістнадцятковій і звичайній двійковій системах числення.

Коректність функціонування схеми формування результатів роботи АЛП підтверджується за допомогою порівняння відповідності таблиць виконання операцій( табл. 2.5, 2.7 ) АЛП ( з використанням позитивної логіки кодування сигналів ) і отриманих результатів моделювання.

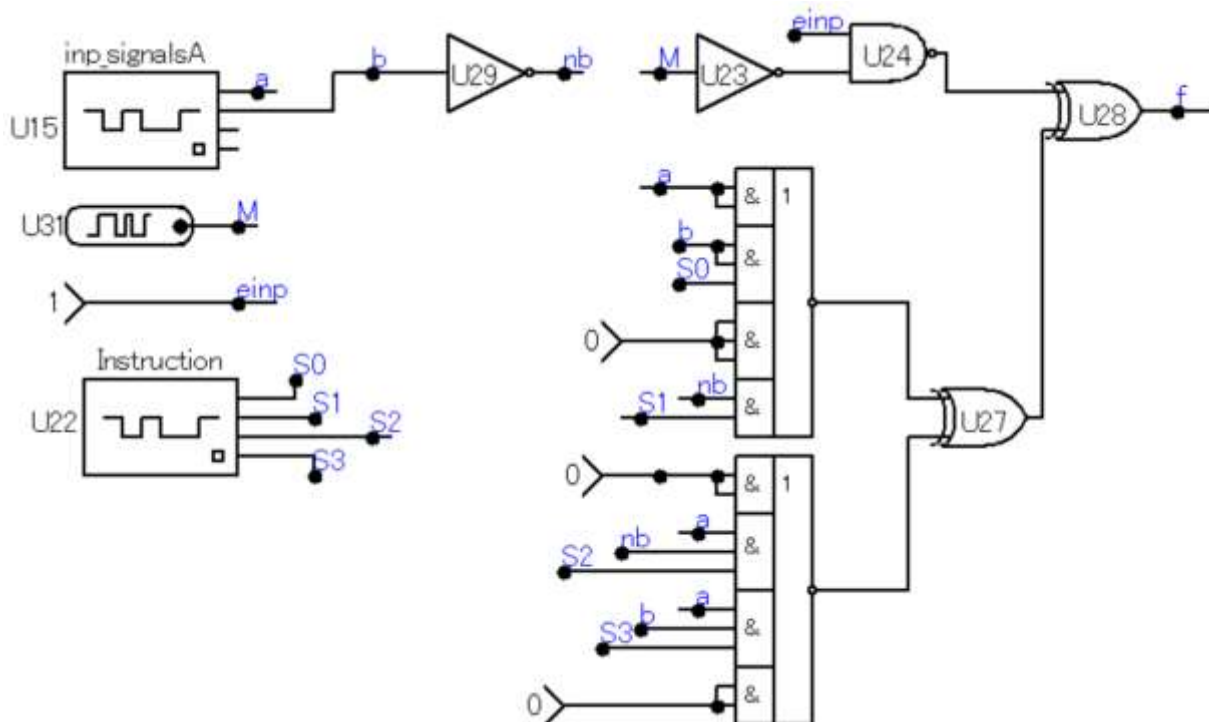


Рисунок 2.77 – Склад моделі для дослідження формування *i*-того розряду результатів виконання операцій в АЛП ИП3

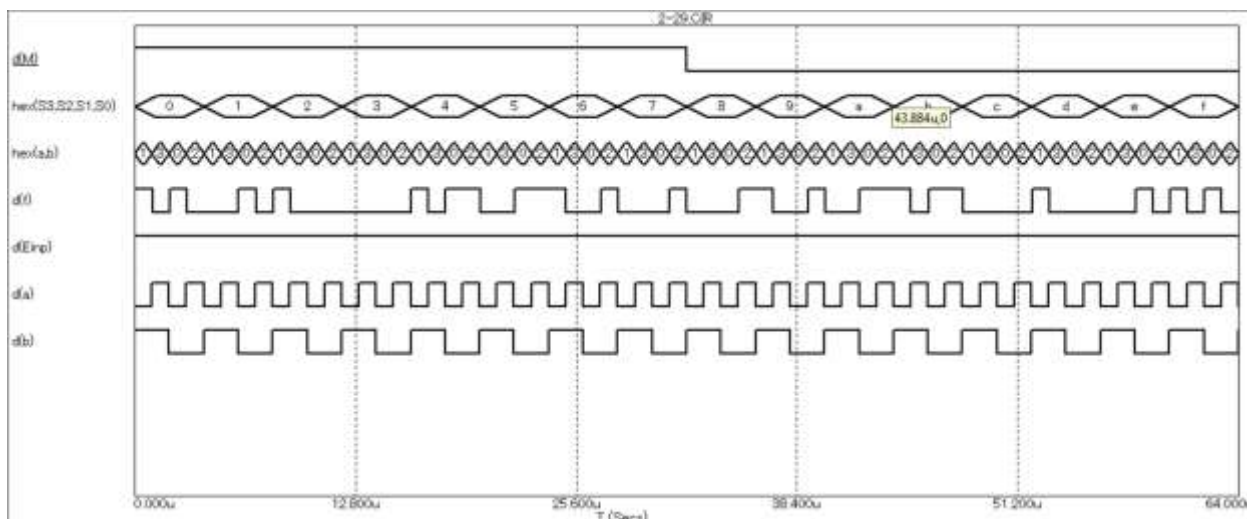


Рисунок 2.78 – Результати досліджень формування *i*-того розряду результатів виконання операцій в АЛП ИП3



На рис. 2.79 наведено склад моделі для дослідження функціональних властивостей 16-розрядного АЛП на основі чотирьох мікросхем ИПЗ з використанням сигналів переносу  $\overline{e_0} - \overline{e_3}$  (при послідовному тракці розповсюдження переносу між секціями ИПЗ) за умови використання позитивної логіки кодування сигналів.

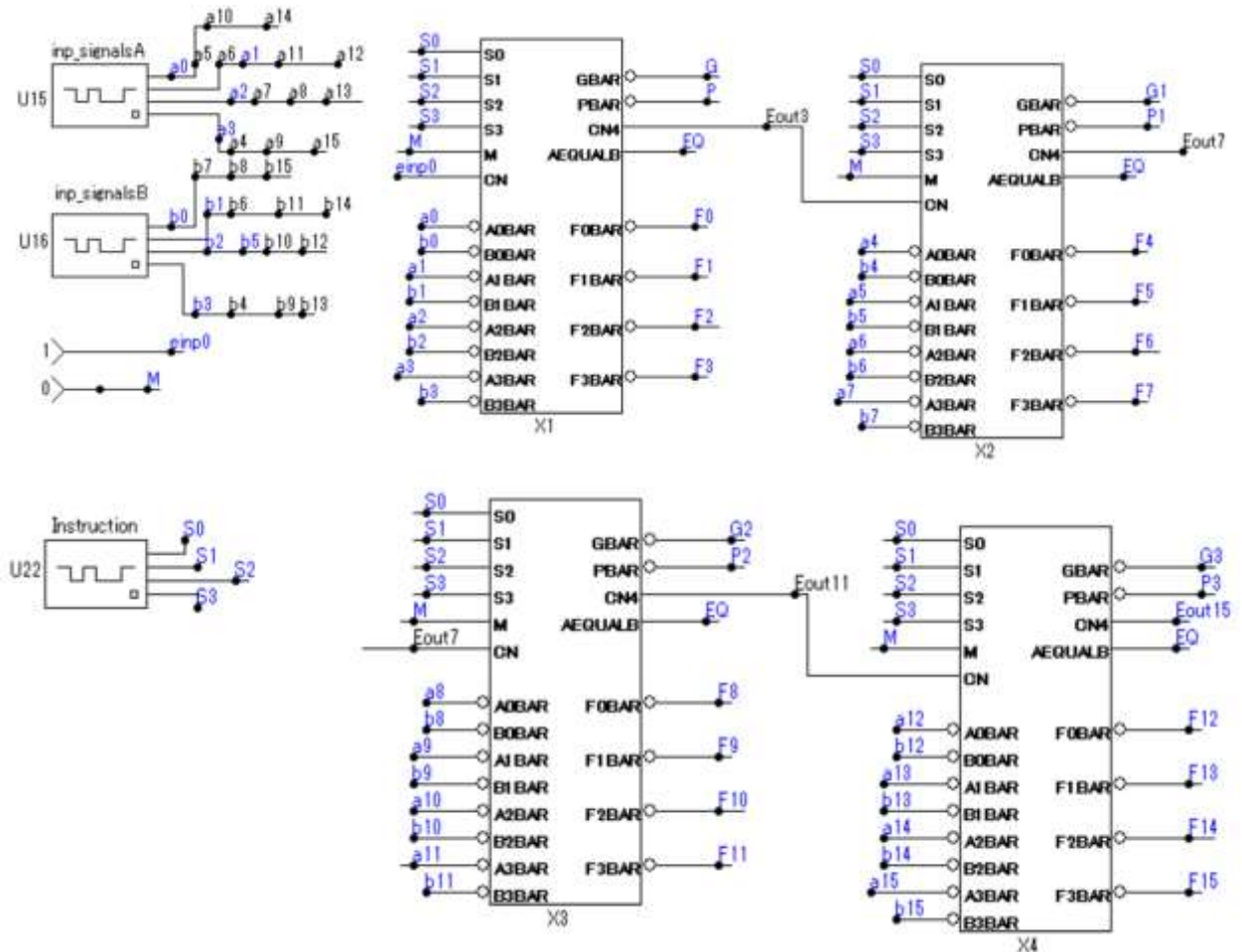


Рисунок 2.79 – Склад моделі для дослідження 16-розрядного АЛП на основі мікросхем ИПЗ з використанням сигналів переносу  $\overline{e_0} - \overline{e_3}$

Результати моделювання функціональних властивостей схеми 16-розрядного АЛП на основі мікросхем ИПЗ з послідовним трактом розповсюдження переносу між секціями АЛП приведено на рис. 2.80 в шістнадцятковій і звичайній двійковій системах числення. На рисунку представлені результати моделювання при виконанні арифметико-логічним пристроєм операції додавання операндів  $A+B$  (при  $M=L$ ,  $S_3S_2S_1S_0=HLLH$ , значення вхідного переносу  $e_0$  відповідає неактивному високому рівню сигналу).

На рис. 2.81 приведені часові діаграми з визначенням часу затримки розповсюдження переносу через всі секції АЛП ИПЗ при надходженні на

входи операндів, за яких спостерігається найменша швидкодія пристрою. Для визначення швидкодії використовується операція додавання двох таких операндів, заданих шістнадцятковими кодами ( $A_{16} = FFFF$ ,  $B_{16} = 0000$  і активному значенні вхідного переносу). За результатами моделювання динамічних параметрів АЛП ИПЗ (рис.2.81) випливає, що час затримки розповсюдження переносу складає 52 нс. Крім того, на рисунку спостерігається поступове спрацьовування вихідних сигналів переносу кожної секції  $E_3, E_7, E_{11}, E_{15}$ .

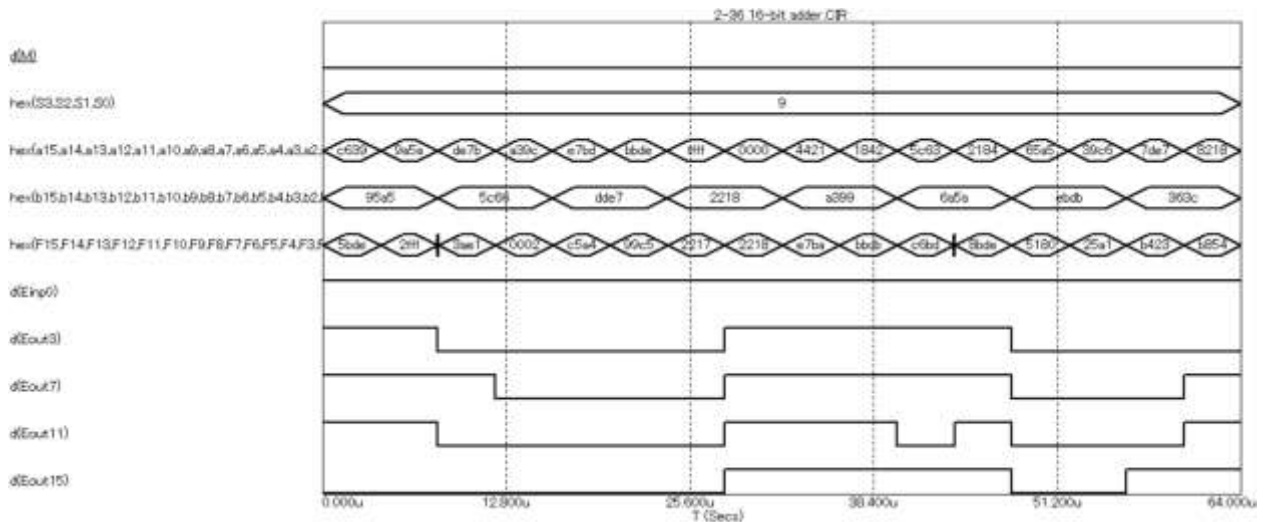


Рисунок 2.80 – Часові діаграми 16-розрядного АЛП з послідовним трактом розповсюдження переносу між секціями ИПЗ

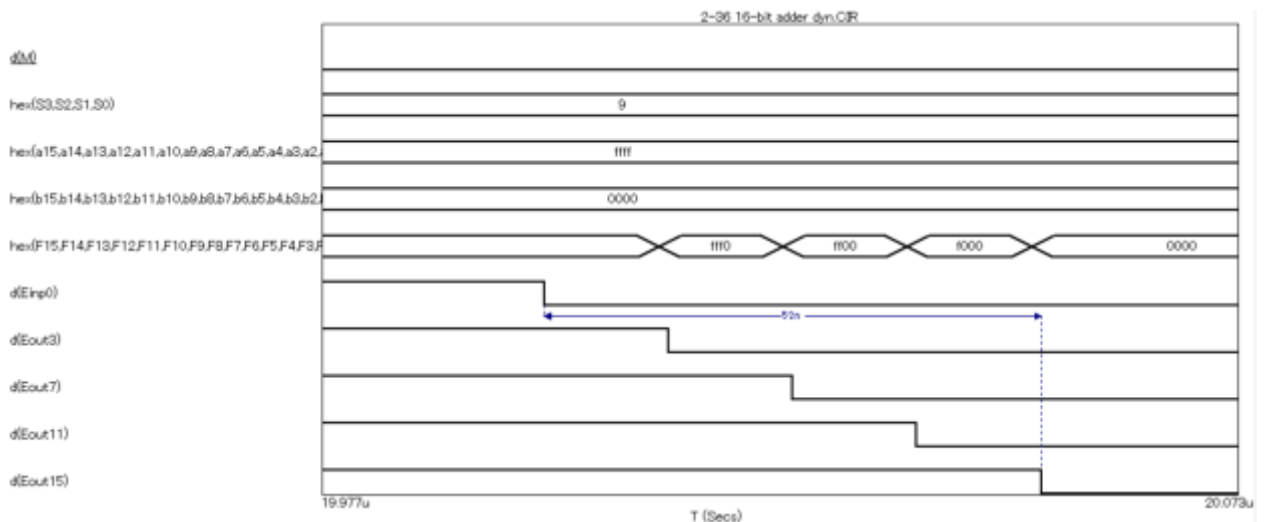


Рисунок 2.81 – Часові діаграми з визначенням динамічних параметрів 16-розрядного АЛП з послідовним трактом розповсюдження переносу

На рис. 2.82 приведено склад моделі для дослідження функціональних властивостей модуля обробки підготовчих функцій суматорів для формування

сигналів прискорення переносів K155ИП4 (SN74182), умовне графічне позначення якої приведено на рис. 2.39.

При виконанні операції моделювання використано модуль схеми прискореного переносу ИП4 зі складу бібліотеки інтегральних схем ТТЛ системи моделювання.

Результати дослідження функціональних властивостей схеми прискореного переносу ИП4 приведено на рис.2.83. На рисунку приведені часові діаграми вхідних і вихідних сигналів пристрою в звичайному двійковому форматі, побудованих з використанням функції *bin()*.

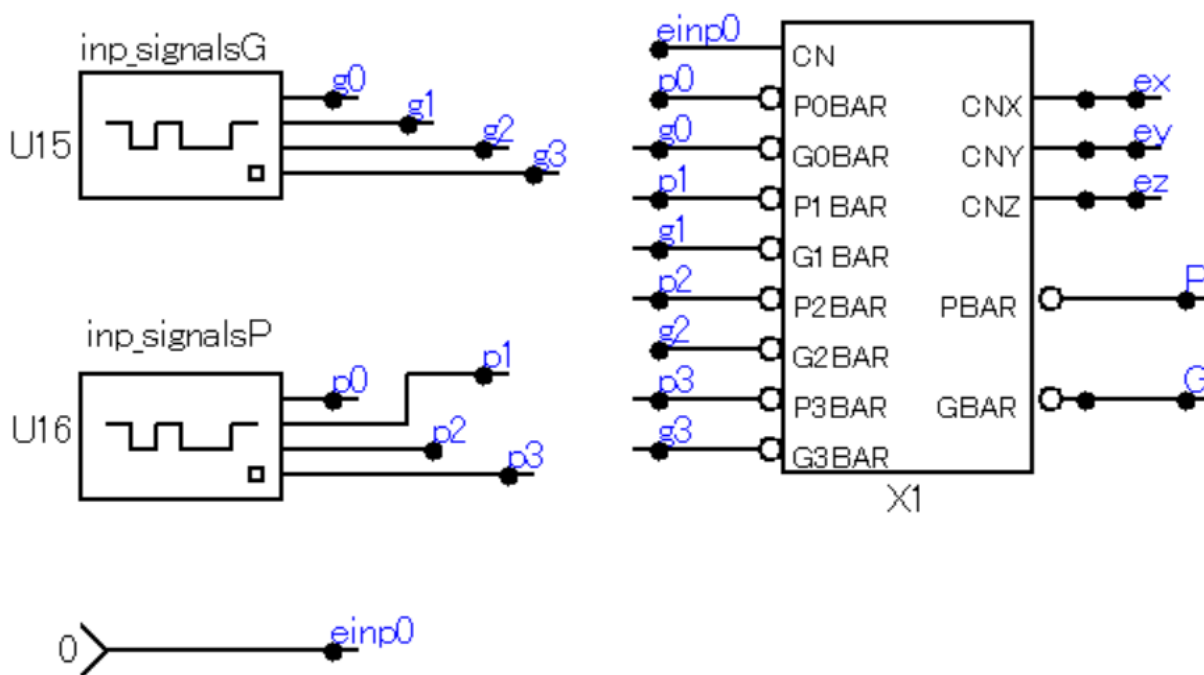


Рисунок 2.82 – Склад моделі для дослідження функціональних властивостей схеми прискореного переносу ИП4

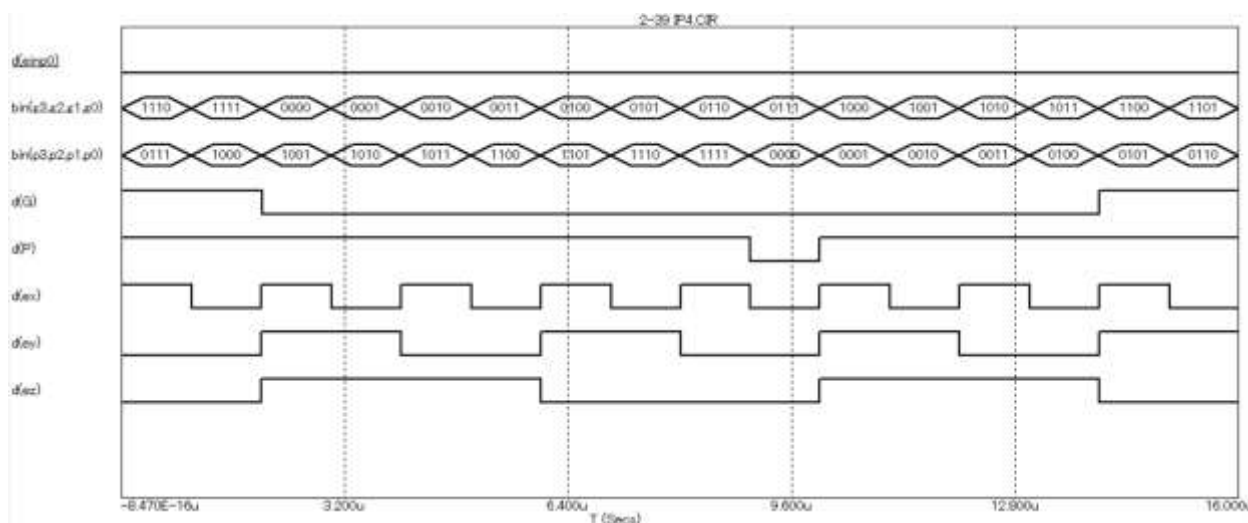


Рисунок 2.83 – Часові діаграми схеми прискореного переносу ИП4

На рис. 2.84 приведено логічну схему 16-розрядного надпаралельного суматора, побудованого на основі каскадного з'єднання секцій АЛП ИПЗ і СПП ИП4 з використанням підготовчих функцій (при паралельному тракті розповсюдження переносу між секціями ИПЗ) і за умови використання позитивної логіки кодування сигналів.

Результати дослідження функціональних властивостей схеми 16-розрядного надпаралельного суматора приведено на рис.2.85 в шістнадцятковій і двійковій системах числення. На рисунку представлені результати моделювання при виконанні суматором операції додавання операндів  $A+B$  (при  $M=L$ ,  $S_3S_2S_1S_0=HLLH$ , значення вхідного переносу  $e_0$  відповідає неактивному високому рівню сигналу).

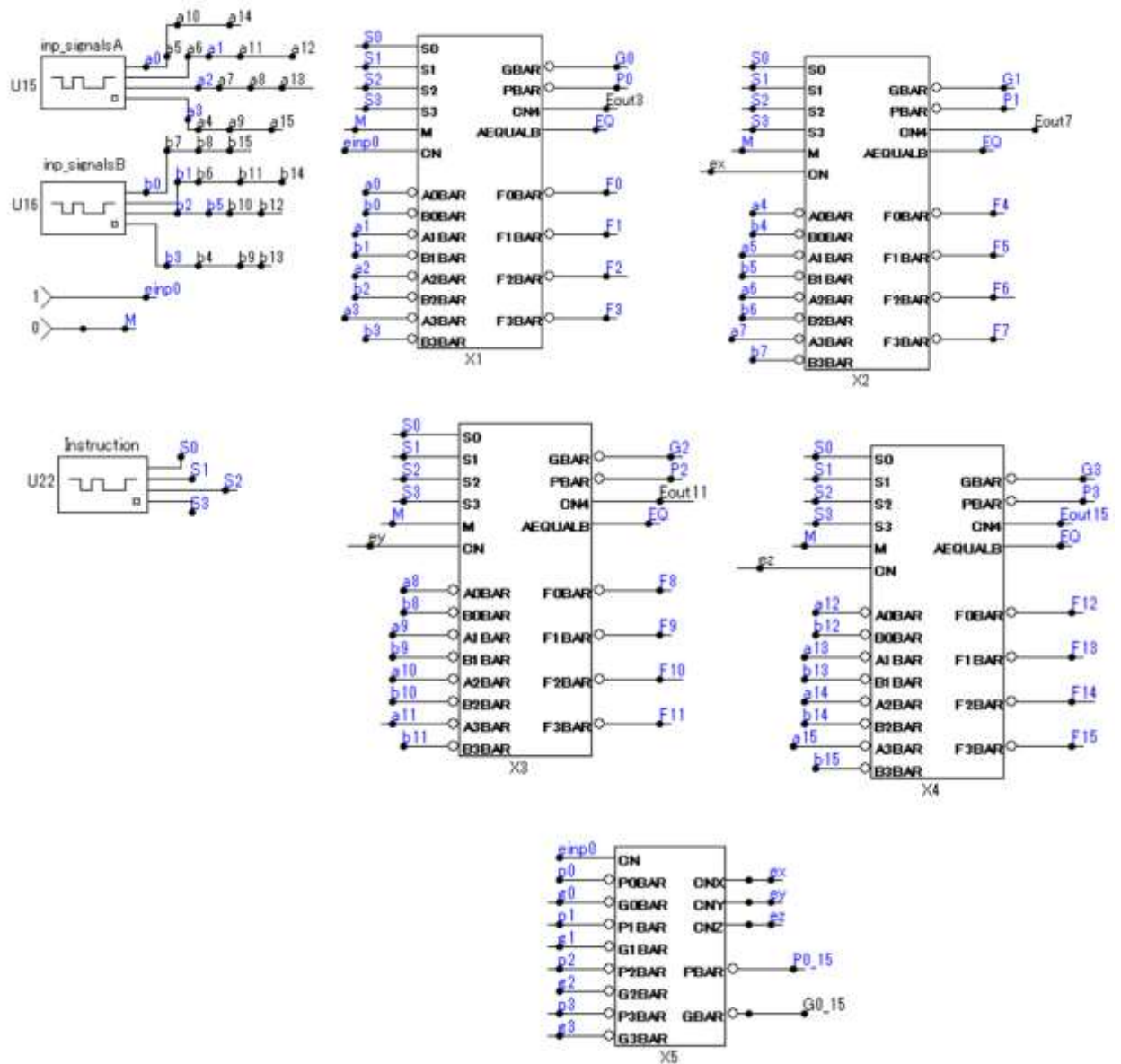


Рисунок 2.84 – Склад моделі для дослідження функціональних властивостей каскадного з'єднання секцій АЛП ИПЗ за допомогою мікросхеми прискореного переносу ИП4

На рис. 2.86 приведені часові діаграми з визначенням часу затримки розповсюдження переносу через всі секції суматора при надходженні на входи операндів, за яких спостерігається найменша швидкодія пристрою. Для визначення швидкодії використано операцію додавання двох таких операндів, заданих шістнадцятковими кодами при  $A_{16} = FFFF$ ,  $B_{16} = 0000$  і активному значенні вхідного переносу. За результатами моделювання динамічних параметрів суматора ( рис. 2.86 ) впливає, що час затримки розповсюдження переносу складає 15 нс. Крім того, на рисунку спостерігається одночасне переключення сигналів  $e_x$ ,  $e_y$ ,  $e_z$ , тобто формування паралельного переносу на виходах ИП4.

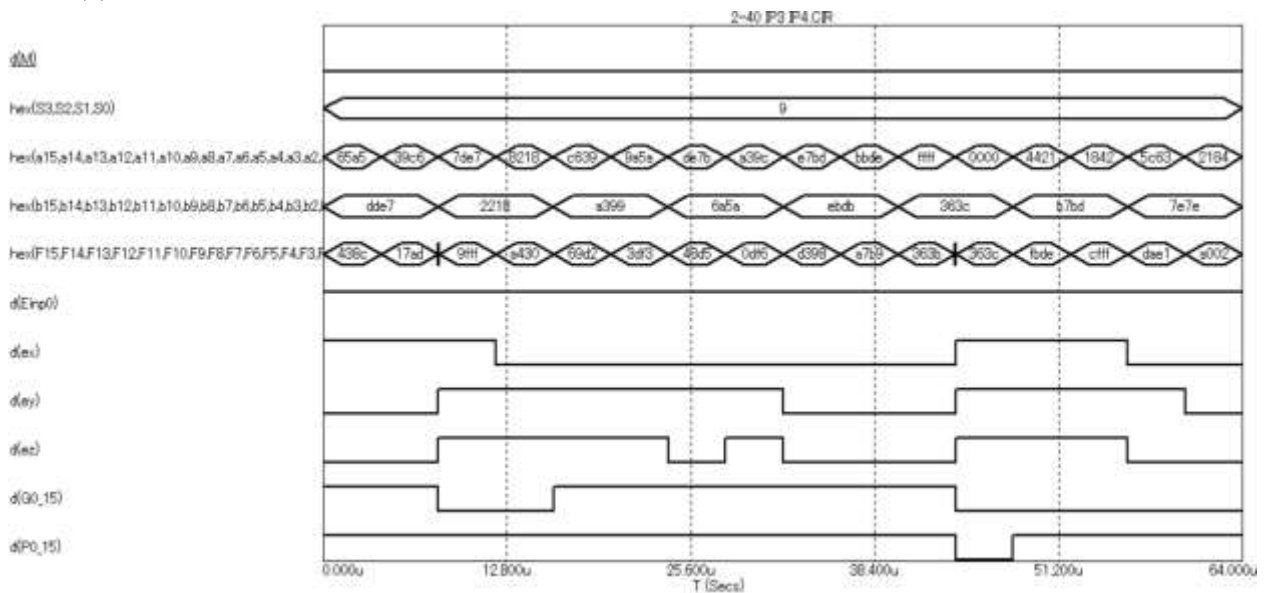


Рисунок 2.85 – Часові діаграми 16-розрядного надпаралельного суматора на основі мікросхем ИП3 і ИП4

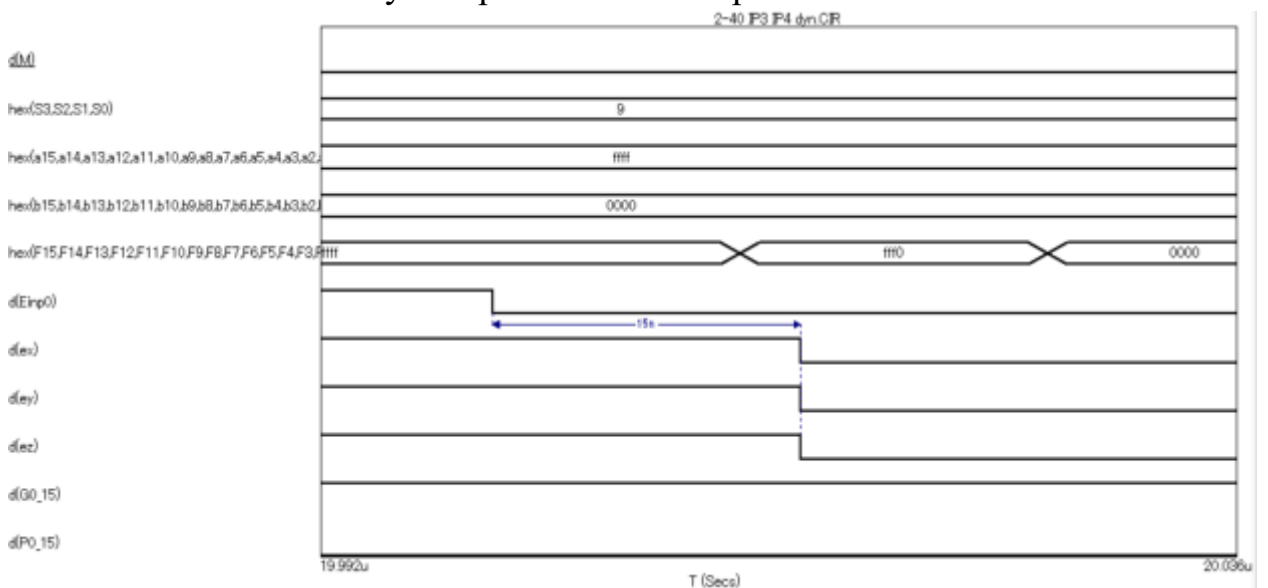


Рисунок 2.86 – Часові діаграми з визначенням динамічних параметрів надпаралельного 16-розрядного суматора на основі мікросхем ИП3 і ИП4

### 3. ТЕСТИ ДЛЯ САМОПЕРЕВІРКИ

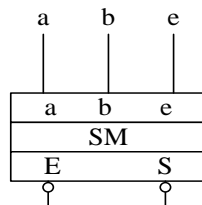
В завданнях, визначених нижче, визначити одну правильну відповідь:

- В результаті логічної операції над двійковими змінними  $X=0$  та  $Y=1$  отримано результат  $Z=0$ . Яку логічну операцію було виконано?  
A) операція "І-НІ";  
B) операція "АБО-НІ";  
C) операція "додавання за модулем 2";  
D) операція "АБО";  
E) немає правильної відповіді.
- В результаті логічної операції над двійковими змінними  $X=1$  та  $Y=0$  отримано результат  $Z=0$ . Яку логічну операцію було виконано?  
A) операція "АБО";  
B) операція "І";  
C) операція «додавання за модулем 2»;  
D) операція "І-НІ";  
E) немає правильної відповіді.
- В результаті логічної операції над двійковими змінними  $X=0$  та  $Y=1$  отримано результат  $Z=1$ . Яку логічну операцію було виконано?  
A) операція "І-НІ";  
B) операція "АБО-НІ";  
C) операція "XNOR";  
D) операція "І";  
E) немає правильної відповіді.
- Булеві змінні приймають значення:  
A) TRUE і FALSE  
B) будь-які цілі;  
C) тільки додатні;  
D) дробові;  
E) немає правильної відповіді.
- Логічні змінні можуть приймати значення:  
A) додатні;  
B) цілі;  
C) 0 і 1;  
D) будь-які;  
E) немає правильної відповіді.
- Визначити значення виразу  $\bar{a} \& a$   
A)  $\bar{a}$ ; B) 1; C) a; D) 0; E) немає правильної відповіді.
- Визначити значення виразу  $\bar{a} \vee a$   
A)  $\bar{a}$ ; B) 1; C) a; D) 0; E) немає правильної відповіді.
- Визначити значення виразу  $1 \oplus a$   
A)  $\bar{a}$ ; B) 1; C) a; D) 0; E) немає правильної відповіді.
- Визначити значення виразу  $\bar{a} \oplus a$   
A)  $\bar{a}$ ; B) 1; C) a; D) 0; E) немає правильної відповіді.
- Визначити значення виразу  $a \oplus a$   
A)  $\bar{a}$ ; B) 1; C) a; D) 0; E) немає правильної відповіді.
- Визначити значення виразу  $\bar{a} \oplus \bar{a}$

- A)  $\bar{a}$ ; B) 1; C) a; D) 0; E) немає правильної відповіді.
12. Визначити значення виразу  $\bar{a} \oplus \bar{a} \oplus \bar{a}$   
 A)  $\bar{a}$ ; B) 1; C) a; D) 0; E) немає правильної відповіді.
13. Визначити значення виразу  $a \oplus a \oplus \bar{a}$   
 A)  $\bar{a}$ ; B) 1; C) a; D) 0; E) немає правильної відповіді.
14. Визначити значення виразу  $a \oplus \bar{a} \oplus \bar{a}$   
 A)  $\bar{a}$ ; B) 1; C) a; D) 0; E) немає правильної відповіді.
15. Спростити логічний вираз  $y = a \vee \bar{a}b \vee \bar{a}c$   
 A)  $\bar{a} \vee b \vee c$ ; B)  $\bar{a}$ ; C)  $a \vee b \vee c$ ;  
 D)  $\bar{a}b \vee \bar{a}c$ ; E) немає правильної відповіді.
16. Спростити логічний вираз  $y = a \vee \bar{a}\bar{b} \vee \bar{a}c$   
 A)  $\bar{a} \vee \bar{a}\bar{b} \vee \bar{a}c$ ; B) a; C)  $a \vee \bar{b} \vee c$ ;  
 D)  $\bar{a}\bar{b} \vee \bar{a}c$ ; E) немає правильної відповіді.
17. Спростити логічний вираз  $y = a \vee \bar{a}\bar{b}$   
 A)  $\bar{b}$ ; B)  $\bar{b} \vee a$ ; C) a;  
 D)  $\bar{a} \vee b$ ; E) немає правильної відповіді.
18. Спростити логічний вираз  $y = \bar{a} \vee \bar{a}\bar{b}c$   
 A)  $\bar{b}c$ ; B)  $\bar{b}c \vee a$ ; C)  $\bar{a}$ ;  
 D)  $\bar{a} \vee \bar{b}c$ ; E) немає правильної відповіді.
19. Спростити логічний вираз  $y = b \vee \bar{a}\bar{b} \vee \bar{b}c$   
 A)  $b \vee \bar{a} \vee c$ ; B) b; C)  $b \vee \bar{a} \vee \bar{b}$ ;  
 D)  $\bar{a}\bar{b} \vee \bar{b}c$ ; E) немає правильної відповіді.
20. Визначити значення суми  $11_2 + 10_8 + 11_{16}$  в двійковій системі числення (індекс позначає основу системи числення, наприклад,  $10_8$  позначає, що число записано у вісімковій системі числення).  
 A) 11000; B) 10000; C) 11110; D) 11100;  
 E) немає правильної відповіді.
21. Виконати додавання беззнакових чисел в двійковій системі числення  
 $10\ 0110\ 1111 + 01\ 1100\ 1001$ .  
 A) 100 0011 1000; B) 100 0011 0000; C) 100 1011 0000;  
 D) 11 0011 1000; E) немає правильної відповіді.

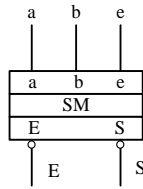


22. Операнди  $A = 1.1011$  і  $B = 1.1001$  задані в зворотному коді. Виконати арифметичну операцію  $A + B$  за допомогою зворотного коду та визначити результат цієї операції.  
 A)  $1.0100$ ; B)  $1.1010$ ; C)  $1.0101$ ; D)  $1.1011$ ;  
 E) немає правильної відповіді.
23. Операнди  $A = 1.1001$  і  $B = 0.0010$  задані в зворотному коді. Виконати арифметичну операцію  $A + B$  за допомогою зворотного коду та визначити результат цієї операції.  
 A)  $1.0100$ ; B)  $1.1011$ ; C)  $1.0101$ ; D)  $0.0100$ ;  
 E) немає правильної відповіді.
24. Операнди  $A = 1.0101$  і  $B = 0.0101$  задані в додатковому коді. Виконати арифметичну операцію  $A + B$  за допомогою додаткового коду та визначити результат цієї операції.  
 A)  $1.0000$ ; B)  $0.1010$ ; C)  $1.1010$ ; D)  $1.0100$ ;  
 E) немає правильної відповіді.
25. Операнди  $A = 1.1011$  і  $B = 1.1001$  задані в зворотному коді. Виконати арифметичну операцію  $A - B$  за допомогою зворотного коду та визначити результат цієї операції.  
 A)  $1.0100$ ; B)  $0.0010$ ; C)  $1.0110$ ; D)  $0.0100$ ;  
 E) немає правильної відповіді.
26. Операнди  $A = 1.1001$  і  $B = 0.0101$  задані в додатковому коді. Виконати арифметичну операцію  $A - B$  за допомогою додаткового коду та визначити результат цієї операції.  
 A)  $1.0100$ ; B)  $1.0010$ ; C)  $1.1100$ ; D)  $0.1100$ ;  
 E) немає правильної відповіді.
27. Заданий двійковий однобітний суматор. Визначити формулу для виходу  $\bar{E}$ .



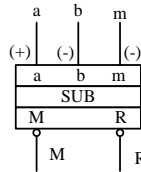
- A)  $ab \vee ae \vee be$ ; B)  $(a \vee b)(a \vee e)(b \vee e)$ ; C)  $\bar{a} \bar{b} \vee b \bar{e} \vee a \bar{e}$ ;  
 D)  $\bar{a} \bar{b} \vee \bar{a} \bar{e} \vee \bar{b} \bar{e}$ ; E) немає правильної відповіді.
28. Заданий двійковий однобітний суматор. Визначити формулу для виходу  $\bar{S}$ .





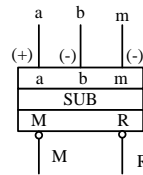
- A)  $a\bar{E} \vee b\bar{E} \vee e\bar{E} \vee \bar{a}\bar{b}\bar{e}$ ; B)  $\bar{a}b\bar{e} \vee a\bar{b}\bar{e} \vee ab\bar{e} \vee \bar{a}\bar{b}e$ ;  
 C)  $a\bar{E} \vee b\bar{E} \vee e\bar{E} \vee abe$ ; D)  $(a \vee b \vee E)\bar{e} \vee \bar{a}\bar{b}\bar{e}$ ;  
 E) немає правильної відповіді.

29. Заданий двійковий однобітний віднімач. Визначити формулу для виходу  $\bar{M}$ .



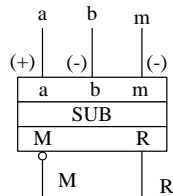
- A)  $\bar{a}\bar{b} \vee \bar{a}\bar{m} \vee \bar{b}\bar{m}$ ; B)  $\bar{a}\bar{b} \vee \bar{m} \vee \bar{b}\bar{m}$ ;  
 C)  $\bar{a}\bar{b} \vee \bar{a}\bar{m} \vee \bar{b}\bar{m}$ ; D)  $\bar{a}\bar{b} \vee \bar{a}\bar{m} \vee bm$ ;  
 E) немає правильної відповіді.

30. Заданий двійковий однобітний віднімач. Визначити формулу для виходу  $\bar{R}$ .



- A)  $\bar{a}\bar{b}\bar{m} \vee \bar{a}\bar{b}m \vee \bar{a}b\bar{m} \vee \bar{a}b\bar{m}$ ; B)  $\bar{a}b\bar{m} \vee \bar{a}\bar{b}m \vee ab\bar{m} \vee \bar{a}\bar{b}\bar{m}$ ;  
 C)  $\bar{a}\bar{b}m \vee \bar{a}b\bar{m} \vee \bar{a}b\bar{m} \vee abm$ ; D)  $abm \vee \bar{a}\bar{b}m \vee \bar{a}b\bar{m} \vee \bar{a}\bar{b}\bar{m}$ ;  
 E) немає правильної відповіді.

31. Заданий двійковий однобітний віднімач. Визначити формулу для виходу  $R$ .



- A)  $\bar{a}\bar{b}\bar{m} \vee \bar{a}\bar{b}m \vee \bar{a}b\bar{m} \vee \bar{a}b\bar{m}$ ; B)  $\bar{a}b\bar{m} \vee \bar{a}\bar{b}m \vee ab\bar{m} \vee \bar{a}\bar{b}\bar{m}$ ;  
 C)  $\bar{a}\bar{b}m \vee \bar{a}b\bar{m} \vee \bar{a}b\bar{m} \vee abm$ ; D)  $abm \vee \bar{a}\bar{b}m \vee \bar{a}b\bar{m} \vee \bar{a}\bar{b}\bar{m}$ ;  
 E) немає правильної відповіді.

32. Визначити таблицю істинності виходу суми  $S$  однобітного суматора

$a$	$b$	$e$
0	0	0

A)

$S$
1

B)

$S$
0

C)

$S$
0

D)

$S$
1

0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1

0
0
1
0
1
1
0

0
0
1
0
1
1
1

1
1
0
1
0
0
1

1
1
0
1
0
0
0

E) немає правильної відповіді.

33. Визначити таблицю істинності вихідного переносу  $E$  однобітного суматора

$a$	$b$	$e$
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1

A)

$E$
1
0
0
1
0
1
1
0

B)

$E$
0
0
0
1
0
1
1
1

C)

$E$
0
1
1
0
1
0
0
1

D)

$E$
1
1
1
0
1
0
0
0

E) немає правильної відповіді.

34. Визначити таблицю істинності виходу суми  $\bar{S}$  однобітного суматора

$a$	$b$	$e$
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1

A)

$\bar{E}$
1
0
0
1
0
1
1
0

B)

$\bar{E}$
0
0
0
1
0
1
1
1

C)

$\bar{E}$
0
1
1
0
1
0
0
1

D)

$\bar{E}$
1
1
1
0
1
0
0
0

E) немає правильної відповіді.

35. Визначити таблицю істинності вихідного переносу  $\bar{E}$  однобітного суматора

$a$	$b$	$e$
0	0	0
0	0	1

A)

$\bar{S}$
1
0

B)

$\bar{S}$
0
0

C)

$\bar{S}$
0
1

D)

$\bar{S}$
1
1

0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1

0
1
0
1
1
0

0
1
0
1
1
1

1
0
1
0
0
1

1
0
1
0
0
0

E) немає правильної відповіді.

36. Визначити таблицю істинності виходу різниці  $R$  однобітного віднімача

$a$	$b$	$t$
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1

A)

$R$
1
0
0
1
0
1
1
0

B)

$R$
0
1
1
1
0
0
0
1

C)

$R$
0
1
1
0
1
0
0
1

D)

$R$
1
0
0
0
1
1
1
0

E) немає правильної відповіді.

37. Яка арифметична операція виконується за допомогою однорозрядного двійкового суматора ( $a, b$  – операнди;  $e$  – вхідний перенос в поточний розряд)?

A)  $a + e$ ;

B)  $a + b - e$ ;

C)  $a + b$ ;

D)  $a + b + e$ ;

E) немає правильної відповіді.

38. Визначити таблицю істинності вихідної позики  $\bar{M}$  однобітного віднімача

$a$	$b$	$t$
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1

A)

$\bar{M}$
1
0
0
1
0
1
1
0

B)

$\bar{M}$
0
1
1
1
0
0
0
1

C)

$\bar{M}$
0
1
1
0
1
0
0
1

D)

$\bar{M}$
1
0
0
0
1
1
1
0

E) немає правильної відповіді.

39. Яка арифметична операція виконується за допомогою однорозрядного двійкового віднімача ( $a, b$  – операнди;  $m$  – вхідна позиція в поточний розряд)?  
 А)  $a + b + e$ ;                      В)  $a - b - m$ ;                      С)  $a - b$ ;                      D)  $a - b + m$ ;  
 Е) немає правильної відповіді.
40. Рівень електричної напруги логічного сигналу 0В кодується як логічна «1», а рівень +3,5В – як логічний «0». Визначити тип логіки, який використовується для кодування інформації.  
 А) негативна логіка;                      В) монтажна логіка;  
 С) позитивна логіка;                      D) булева логіка;  
 Е) немає правильної відповіді.
41. Рівень електричної напруги логічного сигналу 3,6В кодується як логічна «1», а рівень +0,1В – як логічний «0». Визначити тип логіки, який використовується для кодування інформації.  
 А) негативна логіка;                      В) монтажна логіка;  
 С) позитивна логіка;                      D) булева логіка;  
 Е) немає правильної відповіді.
42. Яку властивість функції суми двійкового суматора визначає вираз:  

$$f_s(a, b, e) = \overline{f_s(\bar{a}, \bar{b}, \bar{e})}$$
  
 А) асоціативність;                      В) дистрибутивність;  
 С) самоподвійність;                      D) комутативність;  
 Е) немає правильної відповіді.
43. Яку властивість функції переносу двійкового суматора визначає вираз:  

$$f_E(a, b, e) = \overline{f_E(\bar{a}, \bar{b}, \bar{e})}$$
  
 А) асоціативність;                      В) дистрибутивність;  
 С) самоподвійність;                      D) комутативність;  
 Е) немає правильної відповіді.
44. Яку властивість функції різниці двійкового віднімача визначає вираз:  

$$f_R(\bar{a}, \bar{b}, \bar{e}) = \overline{f_R(a, b, e)}$$
  
 А) асоціативність;                      В) дистрибутивність;  
 С) самоподвійність;                      D) комутативність;  
 Е) немає правильної відповіді.
45. Яку властивість функції позики двійкового віднімача визначає вираз:  

$$f_M(\bar{a}, \bar{b}, \bar{e}) = \overline{f_M(a, b, e)}$$
  
 А) асоціативність;                      В) дистрибутивність;  
 С) самоподвійність;                      D) комутативність;  
 Е) немає правильної відповіді.



53. Визначити формулу, за якою формується сигнал переносу  $\bar{E}$  канонічного двійкового суматора:
- A)  $ab\bar{e}V \bar{a}\bar{b}\bar{e}V \bar{a}\bar{b}eV \bar{a}\bar{b}e$ ;      B)  $\bar{a}\bar{b}\bar{e}V \bar{a}\bar{b}eV \bar{a}\bar{b}\bar{e}V \bar{a}\bar{b}\bar{e}$ ;  
 C)  $\overline{ab\bar{e}V \bar{a}\bar{b}\bar{e}V \bar{a}\bar{b}eV \bar{a}\bar{b}e}$ ;      D)  $\overline{\bar{a}\bar{b}\bar{e}V \bar{a}\bar{b}eV \bar{a}\bar{b}\bar{e}V \bar{a}\bar{b}\bar{e}}$ ;  
 E) немає правильної відповіді.
54. Визначити формулу, за якою формується сигнал суми  $S$  канонічного двійкового суматора:
- A)  $(aV \bar{b}V \bar{e})(\bar{a}V bV \bar{e})(\bar{a}V \bar{b}V e)(aV bV e)$ ;  
 B)  $(aV bV \bar{e})(aV \bar{b}V e)(\bar{a}V bV e)(aV bV e)$ ;  
 C)  $\overline{(aV \bar{b}V \bar{e})(\bar{a}V bV \bar{e})(\bar{a}V \bar{b}V e)(aV bV e)}$ ;  
 D)  $\overline{(aV bV \bar{e})(aV \bar{b}V e)(\bar{a}V bV e)(aV bV e)}$ ;  
 E) немає правильної відповіді.
55. Визначити формулу, за якою формується сигнал переносу  $E$  канонічного двійкового суматора:
- A)  $(aV \bar{b}V \bar{e})(\bar{a}V bV \bar{e})(\bar{a}V \bar{b}V e)(aV bV e)$ ;  
 B)  $(aV bV \bar{e})(aV \bar{b}V e)(\bar{a}V bV e)(aV bV e)$ ;  
 C)  $\overline{(aV \bar{b}V \bar{e})(\bar{a}V bV \bar{e})(\bar{a}V \bar{b}V e)(aV bV e)}$ ;  
 D)  $\overline{(aV bV \bar{e})(aV \bar{b}V e)(\bar{a}V bV e)(aV bV e)}$ ;  
 E) немає правильної відповіді.
56. Визначити функцію канонічного двійкового суматора, яка відповідає логічному виразу:  $\bar{a}\bar{b}\bar{e}V \bar{a}\bar{b}eV \bar{a}\bar{b}\bar{e}V abe$
- A)  $E$ ;    B)  $\bar{S}$ ;    C)  $\bar{E}$ ;    D)  $S$ ;    E) немає правильної відповіді.
57. Визначити функцію канонічного двійкового суматора, яка відповідає логічному виразу:  $ab\bar{e}V \bar{a}\bar{b}eV \bar{a}\bar{b}\bar{e}V abe$
- A)  $E$ ;    B)  $\bar{S}$ ;    C)  $\bar{E}$ ;    D)  $S$ ;    E) немає правильної відповіді.
58. Визначити функцію канонічного двійкового суматора, яка відповідає логічному виразу:  $\overline{ab\bar{e}V \bar{a}\bar{b}eV \bar{a}\bar{b}\bar{e}V abe}$
- A)  $E$ ;    B)  $\bar{S}$ ;    C)  $\bar{E}$ ;    D)  $S$ ;    E) немає правильної відповіді.
59. Визначити функцію канонічного двійкового суматора, яка відповідає логічному виразу:  $\overline{\bar{a}\bar{b}\bar{e}V \bar{a}\bar{b}eV \bar{a}\bar{b}\bar{e}V abe}$
- A)  $E$ ;    B)  $\bar{S}$ ;    C)  $\bar{E}$ ;    D)  $S$ ;    E) немає правильної відповіді.
60. Визначити функцію канонічного двійкового суматора, яка відповідає логічному виразу:  $ab\bar{e}V \bar{a}\bar{b}\bar{e}V \bar{a}\bar{b}eV \bar{a}\bar{b}e$
- A)  $E$ ;    B)  $\bar{S}$ ;    C)  $\bar{E}$ ;    D)  $S$ ;    E) немає правильної відповіді.

61. Визначити функцію канонічного двійкового суматора, яка відповідає логічному виразу:  $\overline{a}\overline{b}e \vee \overline{a}b\overline{e} \vee a\overline{b}\overline{e} \vee a\overline{b}e$   
 A)  $E$ ; B)  $\overline{S}$ ; C)  $\overline{E}$ ; D)  $S$ ; E) немає правильної відповіді.
62. Визначити функцію канонічного двійкового суматора, яка відповідає логічному виразу:  $(a \vee \overline{b} \vee \overline{e})(\overline{a} \vee b \vee \overline{e})(\overline{a} \vee \overline{b} \vee e)(a \vee b \vee e)$   
 A)  $E$ ; B)  $\overline{S}$ ; C)  $\overline{E}$ ; D)  $S$ ; E) немає правильної відповіді.
63. Визначити функцію канонічного двійкового суматора, яка відповідає логічному виразу:  $(a \vee b \vee \overline{e})(a \vee \overline{b} \vee e)(\overline{a} \vee b \vee e)(a \vee b \vee e)$   
 A)  $E$ ; B)  $\overline{S}$ ; C)  $\overline{E}$ ; D)  $S$ ; E) немає правильної відповіді.
64. Визначити функцію канонічного двійкового суматора, яка відповідає логічному виразу:  $\overline{a\overline{b}e \vee \overline{a}b\overline{e} \vee a\overline{b}\overline{e} \vee a\overline{b}e}$   
 A)  $E$ ; B)  $\overline{S}$ ; C)  $\overline{E}$ ; D)  $S$ ; E) немає правильної відповіді.
65. Визначити логічний вираз, за яким формується сигнал переносу  $E$  мінімального двійкового суматора:  
 A)  $\overline{a}\overline{b} + \overline{a}e + \overline{b}e$ ; B)  $e \oplus a \oplus b$ ;  
 C)  $ab + ae + be$ ; D)  $\overline{e} \oplus a \oplus b$ ;  
 E) немає правильної відповіді.
66. Визначити логічний вираз, за яким формується сигнал переносу  $\overline{E}$  мінімального двійкового суматора:  
 A)  $\overline{a}\overline{b} + \overline{a}e + \overline{b}e$ ; B)  $e \oplus a \oplus b$ ;  
 C)  $ab + ae + be$ ; D)  $\overline{e} \oplus a \oplus b$ ;  
 E) немає правильної відповіді.
67. Визначити логічний вираз, за яким формується сигнал переносу  $E$  мінімального двійкового суматора:  
 A)  $\overline{a}\overline{b} + \overline{a}e + \overline{b}e$ ; B)  $\overline{e \oplus a \oplus b}$ ;  
 C)  $\overline{ab + ae + be}$ ; D)  $\overline{\overline{e} \oplus a \oplus b}$ ;  
 E) немає правильної відповіді.
68. Визначити логічний вираз, за яким формується сигнал переносу  $\overline{E}$  мінімального двійкового суматора:  
 A)  $\overline{a}\overline{b} + \overline{a}e + \overline{b}e$ ; B)  $\overline{e \oplus a \oplus b}$ ;  
 C)  $\overline{ab + ae + be}$ ; D)  $\overline{\overline{e} \oplus a \oplus b}$ ;  
 E) немає правильної відповіді.
69. Визначити логічний вираз, за яким формується сигнал переносу  $E$  мінімального двійкового суматора:  
 A)  $(\overline{b} \vee \overline{e})(\overline{a} \vee \overline{e})(\overline{a} \vee \overline{b})$ ; B)  $(a \vee b)(a \vee e)(b \vee e)$ ;

- C)  $(\bar{b}\vee\bar{e})(a\vee\bar{e})(a\vee\bar{b})$ ;                      D)  $(\overline{b\vee\bar{e}})(\overline{a\vee e})(\overline{b\vee\bar{e}})$ ;  
 E) немає правильної відповіді.
70. Визначити логічний вираз, за яким формується сигнал переносу  $\bar{E}$  мінімального двійкового суматора:  
 A)  $(\bar{b}\vee\bar{e})(\bar{a}\vee\bar{e})(\bar{a}\vee\bar{b})$ ;                      B)  $(a\vee b)(a\vee e)(b\vee e)$ ;  
 C)  $(\bar{b}\vee\bar{e})(a\vee\bar{e})(a\vee\bar{b})$ ;                      D)  $(\overline{b\vee\bar{e}})(\overline{a\vee e})(\overline{b\vee\bar{e}})$ ;  
 E) немає правильної відповіді.
71. Визначити логічний вираз, за яким формується сигнал переносу  $\bar{E}$  мінімального двійкового суматора:  
 A)  $(\bar{b}\vee\bar{e})(\bar{a}\vee\bar{e})(\bar{a}\vee\bar{b})$ ;                      B)  $(\overline{a\vee b})(\overline{a\vee e})(\overline{b\vee e})$ ;  
 C)  $(\bar{b}\vee\bar{e})(\overline{a\vee\bar{e}})(\overline{a\vee\bar{b}})$ ;                      D)  $(\overline{b\vee\bar{e}})(\overline{a\vee e})(\overline{b\vee\bar{e}})$ ;  
 E) немає правильної відповіді.
72. Визначити формулу, за якою формується сигнал суми  $S$  двійкового суматора:  
 A)  $e \oplus a \oplus b$ ;                      B)  $\overline{e \oplus a \oplus b}$ ;  
 C)  $\overline{e \oplus a \oplus b}$ ;                      D)  $\overline{e \oplus a \oplus b}$ ;  
 E) немає правильної відповіді.
73. Визначити формулу, за якою формується сигнал суми  $\bar{S}$  двійкового суматора:  
 A)  $e \oplus a \oplus b$ ;                      B)  $\overline{e \oplus a \oplus b}$ ;  
 C)  $\overline{e \oplus a \oplus b}$ ;                      D)  $\overline{e \oplus a \oplus b}$ ;  
 E) немає правильної відповіді.
74. Визначити функцію мінімального двійкового суматора, яка відповідає логічному виразу:  $\overline{ab+ae+be}$   
 A)  $E$ ;    B)  $\bar{S}$ ;    C)  $\bar{E}$ ;    D)  $S$ ;    E) немає правильної відповіді.
75. Визначити функцію мінімального двійкового суматора, яка відповідає логічному виразу:  $(\bar{b}\vee\bar{e})(\bar{a}\vee\bar{e})(\bar{a}\vee\bar{b})$   
 A)  $E$ ;    B)  $\bar{S}$ ;    C)  $\bar{E}$ ;    D)  $S$ ;    E) немає правильної відповіді.
76. Визначити функцію двійкового суматора, яка відповідає логічному виразу:  $\overline{e \oplus a \oplus b}$   
 A)  $E$ ;    B)  $\bar{S}$ ;    C)  $\bar{E}$ ;    D)  $S$ ;    E) немає правильної відповіді.
77. Визначити функцію двійкового суматора, яка відповідає логічному виразу:  $\overline{e \oplus a \oplus b}$   
 A)  $E$ ;    B)  $\bar{S}$ ;    C)  $\bar{E}$ ;    D)  $S$ ;    E) немає правильної відповіді.



78. Визначити логічну функцію, яка відповідає заданому виразу  $(a+b) \oplus ab$ :

A)  $ab$ ; B)  $a \oplus \bar{b}$ ; C)  $a \oplus b$ ; D)  $\overline{a \oplus b}$ ;  
 E) немає правильної відповіді.

79. Визначити логічну функцію, яка відповідає виразу  $(a+b)\bar{a}\bar{b}$ :

A)  $\bar{a}\bar{b}$ ; B)  $a+b$ ; C)  $a \oplus b$ ; D)  $\overline{a \oplus b}$ ;  
 E) немає правильної відповіді.

80. В якому вигляді записано логічний вираз для реалізації сигналу переносу  $E$  двійкового суматора  $ab + ae + be$ :

A) ДДНФ; B) МКНФ; C) МДНФ; D) ДКНФ;  
 E) немає правильної відповіді.

81. В якому вигляді записано логічний вираз для реалізації сигналу переносу  $E$  двійкового суматора:  $(a \vee b)(a \vee e)(b \vee e)$

A) ДДНФ; B) МКНФ; C) МДНФ; D) ДКНФ;  
 E) немає правильної відповіді.

82. Який логічний вираз відповідає формулі переносу мінімального суматора з каналом  $(\bar{e}) \rightarrow E$ ?

A)  $\overline{\bar{a}\bar{b} + \bar{a}\bar{e} + \bar{b}\bar{e}}$ ; B)  $\overline{ab + ae + be}$ ; C)  $ab + ae + be$ ;  
 D)  $\bar{a}\bar{b} + \bar{a}\bar{e} + \bar{b}\bar{e}$ ; E) немає правильної відповіді.

83. Якій логічній функції двійкового суматора відповідає задана карта Карно?

	<i>be</i>	00	01	11	10
<i>a</i>	0	0	1	0	1
	1	1	0	1	0

A)  $E$ ; B)  $\bar{S}$ ; C)  $\bar{E}$ ; D)  $S$ ; E) немає правильної відповіді.

84. Якій логічній функції двійкового суматора відповідає задана карта Карно?

	<i>be</i>	00	01	11	10
<i>a</i>	0	1	0	1	0
	1	0	1	0	1

A)  $E$ ; B)  $\bar{S}$ ; C)  $\bar{E}$ ; D)  $S$ ; E) немає правильної відповіді.

85. Якій логічній функції двійкового суматора відповідає задана карта Карно?

		$be$			
		00	01	11	10
$a$	0	0	0	1	0
	1	0	1	1	1

- A)  $E$ ; B)  $\bar{S}$ ; C)  $\bar{E}$ ; D)  $S$ ; E) немає правильної відповіді.
86. Який логічний вираз відповідає формулі переносу мінімального суматора з каналом  $e \rightarrow \bar{E}$ ?
- A)  $\overline{ab+ae+be}$ ; B)  $\overline{ab+ae+be}$ ; C)  $ab+ae+be$ ;  
D)  $\overline{ab+ae+be}$ ; E) немає правильної відповіді.
87. Визначте значення  $E_3 \bar{E}_2 E_1 \bar{E}_0$  на виходах чотирирозрядного суматора при додаванні чисел:  $a_3 a_2 a_1 a_0 = 0110$ ,  $b_3 b_2 b_1 b_0 = 0101$ ,  $e_0 = 0$ ;
- A) 0001; B) 0100; C) 0101;  
D) 1010; E) немає правильної відповіді.
88. Який логічний вираз відповідає формулі переносу мінімального суматора з каналом  $(\bar{e}) \rightarrow \bar{E}$ ?
- A)  $\overline{ab+ae+be}$ ; B)  $\overline{ab+ae+be}$ ; C)  $ab+ae+be$ ;  
D)  $\overline{ab+ae+be}$ ; E) немає правильної відповіді.
89. Визначте значення  $E_3 \bar{E}_2 E_1 \bar{E}_0$  на виходах чотирирозрядного суматора при додаванні чисел:  $a_3 a_2 a_1 a_0 = 0110$ ,  $b_3 b_2 b_1 b_0 = 1001$ ,  $e_0 = 1$ ;
- A) 0000; B) 1111; C) 0101;  
D) 1010; E) немає правильної відповіді.
90. Вкажіть двійкові коди операндів  $a_3 a_2 a_1 a_0$  і  $b_3 b_2 b_1 b_0$ , при яких чотирирозрядний суматор має найменшу швидкодію при  $e_0 = 0$ .
- A) 0110 і 1101; B) 1111 і 1111; C) 0101 і 1011;  
D) 1010 і 0101; E) немає правильної відповіді.
91. Вкажіть двійкові коди операндів  $a_3 a_2 a_1 a_0$  і  $b_3 b_2 b_1 b_0$ , при яких чотирирозрядний суматор має найбільшу швидкодію при  $e_0 = 1$ .
- A) 0110 і 1100; B) 1110 і 1111; C) 0101 і 1010;  
D) 1010 і 0100; E) немає правильної відповіді.
92. Час формування переносу в кожному розряді суматора складає 10нс, а час формування сигналу суми – 8нс. Визначити час спрацьовування чотирибітного суматора при надходженні операндів 1101 і 0011 при  $e_0 = 0$ .
- A) 8нс; B) 18нс; C) 28нс; D) 38нс; E) 48нс;  
F) 40нс; G) немає правильної відповіді.

93. Час формування переносу в кожному розряді суматора складає 10нс, а час формування сигналу суми – 8нс. Визначити час спрацьовування чотирибітного суматора при надходженні операндів 1100 і 0010 при  $e_0 = 1$ .

- A) 8нс;                      B) 18нс;                      C) 28нс;                      D) 38нс;                      E) 48нс;  
 F) 40нс                      G) немає правильної відповіді.

94. Визначити логічний вираз, за яким формується сигнал розширеної мінімальної форми функції суми  $S$  двійкового суматора:

- A)  $a\bar{E} + b\bar{E} + e\bar{E} + abe$ ;                      B)  $\overline{a\bar{E} + b\bar{E} + e\bar{E} + abe}$ ;  
 C)  $\bar{a}E + \bar{b}E + \bar{e}E + abe$ ;                      D)  $\bar{a}E + \bar{b}E + \bar{e}E + \bar{a}\bar{b}\bar{e}$ ;  
 E) немає правильної відповіді.

95. Визначити логічний вираз, за яким формується сигнал розширеної мінімальної форми функції суми  $\bar{S}$  двійкового суматора:

- A)  $a\bar{E} + b\bar{E} + e\bar{E} + abe$ ;                      B)  $\overline{a\bar{E} + b\bar{E} + e\bar{E} + abe}$ ;  
 C)  $\bar{a}E + \bar{b}E + \bar{e}E + abe$ ;                      D)  $\bar{a}E + \bar{b}E + \bar{e}E + \bar{a}\bar{b}\bar{e}$ ;  
 E) немає правильної відповіді.

96. Якій логічній функції двійкового суматора відповідає задана карта Карно?

	$be$	00	01	11	10
$a$	0	1	1	0	1
	1	1	0	0	0

- A)  $E$ ;                      B)  $\bar{S}$ ;                      C)  $\bar{E}$ ;                      D)  $S$ ;                      E) немає правильної відповіді.

97. Визначити логічний вираз, за яким формується сигнал розширеної мінімальної форми функції суми  $S$  двійкового суматора:

- A)  $\overline{a\bar{E} + b\bar{E} + e\bar{E} + abe}$ ;                      B)  $\bar{a}\bar{E} + \bar{b}\bar{E} + \bar{e}\bar{E} + abe$ ;  
 C)  $\bar{a}E + \bar{b}E + \bar{e}E + abe$ ;                      D)  $\overline{\bar{a}E + \bar{b}E + \bar{e}E + \bar{a}\bar{b}\bar{e}}$ ;  
 E) немає правильної відповіді.

98. Вкажіть функцію суми, яка відповідає розширеному мінімальному суматору:

- A)  $f_s(a, b, e)$ ;                      B)  $f_s(a, b, e, E)$ ;                      C)  $f_s(a, b)$ ;  
 D)  $f_s(a, b, e, S)$ ;                      E) немає правильної відповіді.

99. Вкажіть функцію вихідного переносу, яка відповідає розширеному мінімальному суматору:

- A)  $f_E(a, b, e)$ ;                      B)  $f_E(a, b, e, E)$ ;                      C)  $f_E(a, b)$ ;  
 D)  $f_E(a, b, e, S)$ ;                      E) немає правильної відповіді.

100. Визначити логічний вираз, за яким формується підготовча функція генерації вихідного переносу композиційного суматора:
- A)  $ab$ ; B)  $\bar{a}b$ ; C)  $a \vee b$ ; D)  $\bar{a} \vee b$ ;  
 E) немає правильної відповіді.
101. Визначити логічний вираз, за яким формується підготовча функція генерації вихідного переносу композиційного суматора:
- A)  $\overline{a \oplus b}$ ; B)  $\overline{ab}$ ; C)  $\overline{a \vee b}$ ; D)  $\overline{\bar{a}b}$ ;  
 E) немає правильної відповіді.
102. Визначити логічний вираз, за яким формується підготовча функція розповсюдження переносу композиційного суматора:
- A)  $ab$ ; B)  $\bar{a} \vee b$ ; C)  $a \vee b$ ; D)  $\bar{a}b$ ;  
 E) немає правильної відповіді.
103. Визначити логічний вираз, за яким формується підготовча функція розповсюдження переносу композиційного суматора:
- A)  $ab$ ; B)  $\overline{a \oplus b}$ ; C)  $\bar{a} \vee \bar{b}$ ; D)  $\overline{\bar{a}b}$ ;  
 E) немає правильної відповіді.
104. Визначити логічний вираз, за яким формується вихідний перенос двійкового суматора з використанням підготовчих функцій:
- A)  $\bar{p} + \bar{g}e$ ; B)  $g + \bar{p}e$ ; C)  $g + pe$ ; D)  $p + ge$ ;  
 E) немає правильної відповіді.
105. Визначити логічний вираз, за яким формується вихідний перенос двійкового суматора з використанням підготовчих функцій:
- A)  $\overline{g pe}$ ; B)  $\overline{g + pe}$ ; C)  $\overline{g pe}$ ; D)  $\overline{p + ge}$ ;  
 E) немає правильної відповіді.
106. Визначити логічний вираз, за яким формується вихідний перенос  $\bar{E}$  двійкового суматора з використанням підготовчих функцій:
- A)  $\overline{g + pe}$ ; B)  $p + ge$ ; C)  $\overline{g + pe}$ ; D)  $\bar{p} + \bar{g}e$ ;  
 E) немає правильної відповіді.
107. Визначити логічний вираз, за яким формується вихідний перенос  $\bar{E}$  двійкового суматора з використанням підготовчих функцій:
- A)  $\overline{\overline{g pe}}$ ; B)  $\overline{\overline{p ge}}$ ; C)  $\overline{\overline{g pe}}$ ; D)  $\overline{\overline{p ge}}$ ;  
 E) немає правильної відповіді.
108. Знайдіть назву логічних функцій  $g$  і  $p$  композиційного двійкового суматора:
- A) керуючі функції; B) підготовчі функції;  
 C) функції генерації переносу;

D) мажоритарні функції; E) немає правильної відповіді.

109. Визначити таблицю істинності підготовчої функції генерації переносу:

$a$	$b$	A)	$g$	B)	$g$	C)	$g$	D)	$g$
0	0		1		0		0		0
0	1		0		0		1		1
1	0		0		0		1		1
1	1		1		1		1		0

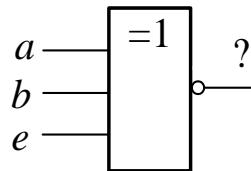
E) немає правильної відповіді.

110. Визначити таблицю істинності підготовчої функції розповсюдження переносу:

$a$	$b$	A)	$g$	B)	$g$	C)	$g$	D)	$g$
0	0		1		0		0		0
0	1		0		0		1		1
1	0		0		0		1		1
1	1		1		1		1		0

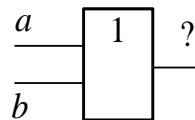
E) немає правильної відповіді.

111. Визначити функцію суматора, яка реалізується за допомогою наведеної нижче схеми.



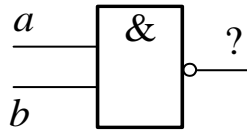
- A)  $S$ ; B)  $E$ ; C)  $g$  D)  $p$ ; E)  $\bar{S}$ ; F)  $\bar{E}$ ;  
 G)  $\bar{g}$ ; H)  $\bar{p}$ ; I) немає правильної відповіді.

112. Визначити функцію суматора, яка реалізується за допомогою наведеної нижче схеми.



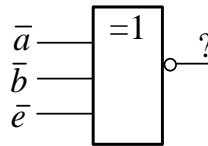
- A)  $S$ ; B)  $E$ ; C)  $g$  D)  $p$ ; E)  $\bar{S}$ ; F)  $\bar{E}$ ;  
 G)  $\bar{g}$ ; H)  $\bar{p}$ ; I) немає правильної відповіді.

113. Визначити функцію суматора, яка реалізується за допомогою наведеної нижче схеми.



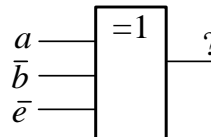
- A)  $S$ ; B)  $E$ ; C)  $g$  D)  $p$ ; E)  $\bar{S}$ ; F)  $\bar{E}$ ;  
 G)  $\bar{g}$ ; H)  $\bar{p}$ ; I) немає правильної відповіді.

114. Визначити функцію суматора, яка реалізується за допомогою наведеної нижче схеми.



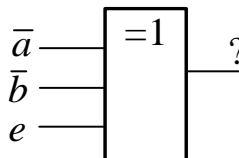
- A)  $S$ ; B)  $E$ ; C)  $g$  D)  $p$ ; E)  $\bar{S}$ ; F)  $\bar{E}$ ;  
 G)  $\bar{g}$ ; H)  $\bar{p}$ ; I) немає правильної відповіді.

115. Визначити функцію суматора, яка реалізується за допомогою наведеної нижче схеми.



- A)  $S$ ; B)  $E$ ; C)  $g$  D)  $p$ ; E)  $\bar{S}$ ; F)  $\bar{E}$ ;  
 G)  $\bar{g}$ ; H)  $\bar{p}$ ; I) немає правильної відповіді.

116. Визначити функцію суматора, яка реалізується за допомогою наведеної нижче схеми.



- A)  $S$ ; B)  $E$ ; C)  $g$  D)  $p$ ; E)  $\bar{S}$ ; F)  $\bar{E}$ ;  
 G)  $\bar{g}$ ; H)  $\bar{p}$ ; I) немає правильної відповіді.

117. Визначити значення сигналів генерації  $G = g_3g_2g_1g_0$  і розповсюдження  $P = p_3p_2p_1p_0$  переносу при додаванні чисел  $A = 0111$  і  $B = 0110$  та  $e_0 = 0$ .

- A)  $G = 0110, P = 0011$ ; B)  $G = 0110, P = 0111$ ;  
 C)  $G = 0010, P = 0111$ ; D)  $G = 1001, P = 1000$ ;  
 E) немає правильної відповіді.

118. Визначити значення сигналів генерації  $G = g_3g_2g_1g_0$  і розповсюдження  $P = p_3p_2p_1p_0$  переносу при додаванні чисел  $A = 0101$  і  $B = 0110$  та  $e_0 = 1$ .

- A)  $G = 0100, P = 0111$ ; B)  $G = 0101, P = 0111$ ;  
 C)  $G = 0111, P = 0101$ ; D)  $G = 0111, P = 0011$ ;



125. Визначити формулу, за якою формується сигнал різниці  $\bar{R}$  канонічного двійкового віднімача:
- A)  $\overline{abm + abm + abm + abm}$ ;    B)  $\overline{abm + abm + abm + abm}$ ;  
 C)  $\overline{abm + abm + abm + abm}$ ;    D)  $\overline{abm + abm + abm + abm}$ ;  
 E) немає правильної відповіді.
126. Визначити формулу, за якою формується сигнал вихідної позики  $\bar{M}$  канонічного двійкового віднімача:
- A)  $\overline{abm + abm + abm + abm}$ .;    B)  $\overline{abm + abm + abm + abm}$ ;  
 C)  $\overline{abm + abm + abm + abm}$ .);    D)  $\overline{abm + abm + abm + abm}$ ;  
 E) немає правильної відповіді.
127. Визначити формулу, за якою формується сигнал вихідної позики  $\bar{M}$  канонічного двійкового віднімача:
- A)  $\overline{abm + abm + abm + abm}$ ;    B)  $\overline{abm + abm + abm + abm}$ ;  
 C)  $\overline{abm + abm + abm + abm}$ ;    D)  $\overline{abm + abm + abm + abm}$ ;  
 E) немає правильної відповіді.
128. Визначити формулу, за якою формується сигнал різниці  $\bar{R}$  канонічного двійкового віднімача:
- A)  $\overline{(a + \bar{b} + \bar{m})(\bar{a} + b + \bar{m})(\bar{a} + \bar{b} + m)(a + b + m)}$ ;  
 B)  $\overline{(a + b + m)(\bar{a} + b + \bar{m})(\bar{a} + b + \bar{m})(\bar{a} + \bar{b} + m)}$ ;  
 C)  $\overline{(a + \bar{b} + \bar{m})(\bar{a} + b + \bar{m})(\bar{a} + \bar{b} + m)(a + b + m)}$ ;  
 D)  $\overline{(a + b + m)(\bar{a} + b + \bar{m})(\bar{a} + b + \bar{m})(\bar{a} + \bar{b} + m)}$ ;  
 E) немає правильної відповіді.
129. Визначити формулу, за якою формується сигнал вихідної позики  $\bar{M}$  канонічного двійкового віднімача:
- A)  $\overline{(a + \bar{b} + \bar{m})(\bar{a} + b + \bar{m})(\bar{a} + \bar{b} + m)(a + b + m)}$ ;  
 B)  $\overline{(a + b + m)(\bar{a} + b + \bar{m})(\bar{a} + b + \bar{m})(\bar{a} + \bar{b} + m)}$ ;  
 C)  $\overline{(a + \bar{b} + \bar{m})(\bar{a} + b + \bar{m})(\bar{a} + \bar{b} + m)(a + b + m)}$ ;  
 D)  $\overline{(a + b + m)(\bar{a} + b + \bar{m})(\bar{a} + b + \bar{m})(\bar{a} + \bar{b} + m)}$ ;  
 E) немає правильної відповіді.



130. Визначити формулу, за якою формується сигнал вихідної позики  $M$  канонічного двійкового віднімача:
- A)  $\overline{(a+\bar{b}+m)(\bar{a}+b+m)(\bar{a}+\bar{b}+m)(a+b+m)}$ ;  
 B)  $(a+b+m)(\bar{a}+b+m)(\bar{a}+b+\bar{m})(\bar{a}+\bar{b}+m)$ ;  
 C)  $(a+\bar{b}+\bar{m})(\bar{a}+b+\bar{m})(\bar{a}+\bar{b}+m)(a+b+m)$ ;  
 D)  $\overline{(a+b+m)(\bar{a}+b+m)(\bar{a}+b+\bar{m})(\bar{a}+\bar{b}+m)}$ ;  
 E) немає правильної відповіді.
131. Визначити функцію канонічного двійкового віднімача, яка відповідає логічному виразу:  $\overline{abm + ab\bar{m} + a\bar{b}m + a\bar{b}\bar{m}}$
- A)  $M$ ; B)  $\bar{R}$ ; C)  $\bar{M}$ ; D)  $R$ ; E) немає правильної відповіді.
132. Визначити функцію канонічного двійкового віднімача, яка відповідає логічному виразу:
- $$(a+b+m)(\bar{a}+b+m)(\bar{a}+b+\bar{m})(\bar{a}+\bar{b}+m)$$
- A)  $M$ ; B)  $\bar{R}$ ; C)  $\bar{M}$ ; D)  $R$ ; E) немає правильної відповіді.
133. Визначити функцію канонічного двійкового віднімача, яка відповідає логічному виразу:
- $$(a+\bar{b}+\bar{m})(\bar{a}+b+\bar{m})(\bar{a}+\bar{b}+m)(a+b+m)$$
- A)  $M$ ; B)  $\bar{R}$ ; C)  $\bar{M}$ ; D)  $R$ ; E) немає правильної відповіді.
134. Визначити логічний вираз, за яким формується сигнал позики  $M$  мінімального двійкового віднімача:
- A)  $\bar{a}\bar{b} + \bar{a}m + \bar{b}m$ .; B)  $m \oplus a \oplus b$ ;  
 C)  $\bar{a}\bar{b} + \bar{a}m + bm$ .; D)  $\bar{m} \oplus a \oplus b$ ;  
 E) немає правильної відповіді.
135. Визначити логічний вираз, за яким формується сигнал позики  $\bar{M}$  мінімального двійкового віднімача:
- A)  $\bar{a}\bar{b} + \bar{a}m + \bar{b}m$ .; B)  $m \oplus a \oplus b$ ;  
 C)  $\bar{a}\bar{b} + \bar{a}m + bm$ .; D)  $\bar{m} \oplus a \oplus b$ ;  
 E) немає правильної відповіді.
136. Визначити логічний вираз, за яким формується сигнал позики  $M$  мінімального двійкового віднімача:
- A)  $\bar{a}\bar{b} + \bar{a}m + \bar{b}m$ .; B)  $\overline{m \oplus a \oplus b}$ ;  
 C)  $\overline{\bar{a}\bar{b} + \bar{a}m + bm}$ .; D)  $\overline{\bar{m} \oplus a \oplus b}$ ;  
 E) немає правильної відповіді.

137. Визначити логічний вираз, за яким формується сигнал позики  $\overline{M}$  мінімального двійкового віднімача:
- A)  $\overline{ab + am + bm}$ ;      B)  $\overline{m \oplus a \oplus b}$ ;  
 C)  $\overline{\overline{ab + am + bm}}$ ;      D)  $\overline{\overline{m \oplus a \oplus b}}$ ;  
 E) немає правильної відповіді.
138. Визначити логічний вираз, за яким формується сигнал позики  $\overline{M}$  мінімального двійкового віднімача:
- A)  $(\overline{b + m})(a + \overline{m})(a + \overline{b})$ ;      B)  $(\overline{b + m})(a + m)(a + \overline{b})$ ;  
 C)  $\overline{(\overline{b + m})(a + \overline{m})(a + \overline{b})}$ ;      D)  $(b + \overline{m})(a + \overline{m})(\overline{a + \overline{b}})$ ;  
 E) немає правильної відповіді.
139. Визначити функцію канонічного двійкового віднімача, яка відповідає логічному виразу:  $\overline{abm} + \overline{abm} + \overline{abm} + \overline{abm}$
- A)  $M$ ; B)  $\overline{R}$ ; C)  $\overline{M}$ ; D)  $R$ ; E) немає правильної відповіді.
140. Визначити логічний вираз, за яким формується сигнал позики  $M$  мінімального двійкового віднімача:
- A)  $(\overline{b + m})(a + \overline{m})(a + \overline{b})$ ;      B)  $(\overline{b + m})(a + m)(a + \overline{b})$ ;  
 C)  $\overline{(\overline{b + m})(a + \overline{m})(a + \overline{b})}$ ;      D)  $(b + \overline{m})(a + \overline{m})(\overline{a + \overline{b}})$ ;  
 E) немає правильної відповіді.
141. Визначити логічний вираз, за яким формується сигнал позики  $M$  мінімального двійкового віднімача:  $(\overline{b + m})(a + \overline{m})(a + \overline{b})$
- A)  $M$ ; B)  $\overline{R}$ ; C)  $\overline{M}$ ; D)  $R$ ; E) немає правильної відповіді.
142. Визначити логічний вираз, за яким формується сигнал позики  $M$  мінімального двійкового віднімача:  $\overline{\overline{ab + am + bm}}$
- A)  $M$ ; B)  $\overline{R}$ ; C)  $\overline{M}$ ; D)  $R$ ; E) немає правильної відповіді.
143. Який логічний вираз відповідає формулі вихідної позики мінімального віднімача з каналом  $(\overline{m}) \rightarrow M$ ?
- A)  $\overline{\overline{ab + am + bm}}$ ;      B)  $\overline{ab + am + bm}$ ;  
 C)  $\overline{ab + am + bm}$ ;      D)  $\overline{\overline{ab + am + bm}}$ ;  
 E) немає правильної відповіді.
144. Який логічний вираз відповідає формулі вихідної позики мінімального віднімача з каналом  $m \rightarrow \overline{M}$ ?
- A)  $\overline{ab + am + bm}$ ;      B)  $\overline{ab + am + bm}$ ;  
 C)  $\overline{\overline{ab + am + bm}}$ ;      D)  $\overline{ab + am + bm}$ ;

E) немає правильної відповіді.

145. Якій логічній функції двійкового суматора відповідає задана карта Карно?

	<i>bm</i>	00	01	11	10
<i>a</i>	0	0	1	0	1
	1	1	0	1	0

A)  $M$ ; B)  $\bar{R}$ ; C)  $\bar{M}$ ; D)  $R$ ; E) немає правильної відповіді.

146. Якій логічній функції двійкового суматора відповідає задана карта Карно?

	<i>bm</i>	00	01	11	10
<i>a</i>	0	1	0	1	0
	1	0	1	0	1

A)  $M$ ; B)  $\bar{R}$ ; C)  $\bar{M}$ ; D)  $R$ ; E) немає правильної відповіді.

147. Якій логічній функції двійкового суматора відповідає задана карта Карно?

	<i>ab</i>	00	01	11	10
<i>m</i>	0	0	1	0	0
	1	1	1	1	0

A)  $M$ ; B)  $\bar{R}$ ; C)  $\bar{M}$ ; D)  $R$ ; E) немає правильної відповіді.

148. Якій логічній функції двійкового суматора відповідає задана карта Карно?

	<i>ab</i>	00	01	11	10
<i>m</i>	0	1	0	1	1
	1	0	0	0	1

A)  $M$ ; B)  $\bar{R}$ ; C)  $\bar{M}$ ; D)  $R$ ; E) немає правильної відповіді.

149. Який логічний вираз відповідає формулі вихідної позики мінімального віднімача з каналом  $(\bar{m}) \rightarrow \bar{M}$ ?

A)  $\bar{a}\bar{b} + \bar{a}m + \bar{b}m$ ; B)  $\bar{a}\bar{b} + \bar{a}m + \bar{b}m$ ;

C)  $\bar{a}\bar{b} + \bar{a}m + bm$ ; D)  $\bar{a}\bar{b} + \bar{a}m + \bar{b}m$ ;

E) немає правильної відповіді.

150. Який логічний вираз відповідає формулі вихідної позики мінімального віднімача з каналом  $m \rightarrow M$ ?

- A)  $\overline{ab+am+bm}$ ;                      B)  $\overline{ab+am+bm}$ ;  
 C)  $\overline{ab+am+bm}$ ;                      D)  $\overline{ab+am+bm}$ ;  
 E) немає правильної відповіді.

151. Вкажіть двійкові коди операндів зменшуваного  $a_3 a_2 a_1 a_0$  і від'ємника  $b_3 b_2 b_1 b_0$ , при яких чотирирозрядний віднімач має найменшу швидкодію при  $m_0 = 0$ .  
 A) 0110 і 0111;                      B) 0000 і 1111;                      C) 0100 і 1011;  
 D) 1010 і 0101;                      E) немає правильної відповіді.
152. Визначте значення  $M_3 \overline{M_2} M_1 \overline{M_0}$  на виходах чотирирозрядного віднімача при відніманні чисел:  $a_3 a_2 a_1 a_0 = 0110$  (зменшуване) і  $b_3 b_2 b_1 b_0 = 0101$  (від'ємник),  $m_0 = 0$ :  
 A) 0001;                      B) 0100;                      C) 0101;  
 D) 1001;                      E) немає правильної відповіді.
153. Визначте значення  $M_3 \overline{M_2} M_1 \overline{M_0}$  на виходах чотирирозрядного віднімача при відніманні чисел:  $a_3 a_2 a_1 a_0 = 1100$  (зменшуване) і  $b_3 b_2 b_1 b_0 = 0101$  (від'ємник),  $m_0 = 1$ :  
 A) 0111;                      B) 1111;                      C) 0011;  
 D) 0010;                      E) немає правильної відповіді.
154. Визначте значення  $\overline{M_3} M_2 \overline{M_1} M_0$  на виходах чотирирозрядного віднімача при відніманні чисел:  $a_3 a_2 a_1 a_0 = 1110$  (зменшуване) і  $b_3 b_2 b_1 b_0 = 0111$  (від'ємник),  $m_0 = 0$ :  
 A) 0111;                      B) 0001;                      C) 0101;
155. Вкажіть двійкові коди операндів зменшуваного  $a_3 a_2 a_1 a_0$  і від'ємника  $b_3 b_2 b_1 b_0$ , при яких чотирирозрядний віднімач має найбільшу швидкодію при  $m_0 = 1$ .  
 A) 0110 і 0111;                      B) 0000 і 1111;                      C) 0100 і 1011;  
 D) 1000 і 0100;                      E) немає правильної відповіді.  
 D) 0010;                      E) немає правильної відповіді.
156. Час формування вихідної позики в кожному розряді віднімача складає 10нс, а час формування сигналу різниці – 6нс. Визначити час спрацьовування чотирибітного віднімача виконанні операції віднімання (А-В) і надходженні операндів А=0111 і В=0011 при  $m_0 = 0$ .  
 A) 6нс;                      B) 16нс;                      C) 26нс;                      D) 36нс;                      E) 46нс;  
 F) 40нс                      G) немає правильної відповіді.
157. Час формування вихідної позики в кожному розряді віднімача складає 10нс, а час формування сигналу різниці – 6нс. Визначити час спрацьовування чотирибітного віднімача виконанні операції

віднімання (A-B) і надходженні операндів A = 0111 і B = 0011 при  $m_0 = 1$ .

- A) 6нс;      B) 16нс;      C) 26нс;      D) 36нс;      E) 46нс;  
F) 40нс      G) немає правильної відповіді.

158. Визначити логічний вираз, за яким формується сигнал розширеної мінімальної форми функції різниці R двійкового віднімача:

- A)  $\overline{aM} + \overline{bM} + \overline{mM} + \overline{abm}$ ;      B)  $aM + \overline{bM} + \overline{mM} + \overline{abm}$ ;  
C)  $aM + \overline{bM} + \overline{mM} + \overline{\overline{abm}}$ ;      D)  $aM + \overline{bM} + \overline{mM} + abm$ ;  
E) немає правильної відповіді.

159. Визначити логічний вираз, за яким формується сигнал розширеної мінімальної форми функції різниці  $\overline{R}$  двійкового віднімача:

- A)  $\overline{aM} + \overline{bM} + \overline{mM} + \overline{abm}$ ;      B)  $aM + \overline{bM} + \overline{mM} + \overline{abm}$ ;  
C)  $aM + \overline{bM} + \overline{mM} + \overline{\overline{abm}}$ ;      D)  $aM + \overline{bM} + \overline{mM} + abm$ ;  
E) немає правильної відповіді.

160. Визначити логічний вираз, за яким формується сигнал розширеної мінімальної форми функції різниці R двійкового віднімача:

- A)  $\overline{\overline{aM} + \overline{bM} + \overline{mM} + \overline{abm}}$ ;      B)  $\overline{aM + \overline{bM} + \overline{mM} + \overline{abm}}$ ;  
C)  $\overline{aM + \overline{bM} + \overline{mM} + \overline{abm}}$ ;      D)  $\overline{aM + \overline{bM} + \overline{mM} + abm}$ ;  
E) немає правильної відповіді.

161. Вкажіть функцію різниці, яка відповідає розширеному мінімальному віднімачу:

- A)  $f_R(a, b, m)$ ;      B)  $f_R(a, b, m, M)$ ;      C)  $f_R(a, b)$ ;  
D)  $f_R(a, b, m, R)$ ; E) немає правильної відповіді.

162. Вкажіть функцію позики, яка відповідає розширеному мінімальному віднімачу:

- A)  $f_M(a, b, m)$ ;      B)  $f_M(a, b, m, M)$ ; C)  $f_M(a, b)$ ;  
D)  $f_M(a, b, m, R)$ ; E) немає правильної відповіді.

163. Визначити логічний вираз, за яким формується підготовча функція генерації вихідної позики z композиційного віднімача:

- A)  $ab$ ; B)  $\overline{a} \vee b$ ; C)  $a \vee b$ ; D)  $\overline{a} b$ ; E) немає правильної відповіді.

164. Визначити логічний вираз, за яким формується підготовча функція розповсюдження позики h композиційного віднімача:

- A)  $ab$ ; B)  $\overline{a} \vee b$ ; C)  $a \vee b$ ; D)  $\overline{a} b$ ;  
E) немає правильної відповіді.

165. Визначити логічний вираз, за яким формується підготовча функція генерації вихідної позики z композиційного віднімача:

- A)  $\overline{\overline{ab}}$ ; B)  $\overline{a \vee b}$ ; C)  $\overline{a \vee b}$ ; D)  $\overline{\overline{ab}}$ ; E) немає правильної відповіді.

166. Визначити логічний вираз, за яким формується підготовча функція розповсюдження позики  $h$  композиційного віднімача:

A)  $\overline{ab}$ ; B)  $\overline{a \vee \overline{b}}$ ; C)  $\overline{\overline{a \vee \overline{b}}}$ ; D)  $\overline{\overline{ab}}$ ;

E) немає правильної відповіді.

167. Визначити логічний вираз, за яким формується вихідна позика двійкового віднімача з використанням підготовчих функцій:

A)  $\overline{h} + \overline{z}m$ ; B)  $z + \overline{h}m$ ; C)  $z + hm$ ; D)  $h + zm$ ;

E) немає правильної відповіді.

168. Визначити логічний вираз, за яким формується вихідна позика двійкового віднімача з використанням підготовчих функцій:

A)  $\overline{\overline{h \overline{zm}}}$ ; B)  $\overline{\overline{z \overline{hm}}}$ ; C)  $\overline{\overline{z \overline{hm}}}$ ; D)  $\overline{\overline{h \overline{zm}}}$ ;

E) немає правильної відповіді.

169. Визначити таблицю істинності підготовчої функції генерації позики:

$a$	$b$	A)	$z$	B)	$z$	C)	$z$	D)	$z$
0	0		0		0		0		0
0	1		0		0		1		1
1	0		1		0		1		0
1	1		0		1		1		0

E) немає правильної відповіді.

170. Визначити таблицю істинності підготовчої функції розповсюдження позики:

$a$	$b$	A)	$h$	B)	$h$	C)	$h$	D)	$h$
0	0		1		1		0		0
0	1		1		1		1		1
1	0		1		0		1		0
1	1		0		1		1		0

E) немає правильної відповіді.

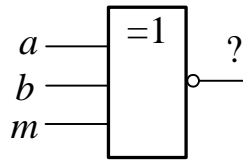
171. Знайдіть назву логічних функцій  $z$  і  $h$  композиційного двійкового віднімача:

A) булеві функції; B) підготовчі функції;

C) функції генерації позики;

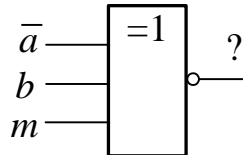
D) мажоритарні функції; E) немає правильної відповіді.

172. Визначити функцію віднімача, яка реалізується за допомогою наведеної нижче схеми.



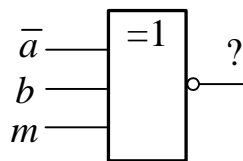
- A)  $R$ ; B)  $M$ ; C)  $z$  D)  $h$ ; E)  $\bar{R}$ ; F)  $\bar{M}$ ;  
 G)  $\bar{z}$ ; H)  $\bar{h}$ ; I) немає правильної відповіді.

173. Визначити функцію віднімача, яка реалізується за допомогою наведеної нижче схеми.



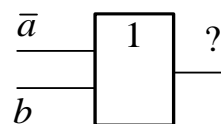
- A)  $R$ ; B)  $M$ ; C)  $z$  D)  $h$ ; E)  $\bar{R}$ ; F)  $\bar{M}$ ;  
 G)  $\bar{z}$ ; H)  $\bar{h}$ ; I) немає правильної відповіді.

174. Визначити функцію віднімача, яка реалізується за допомогою наведеної нижче схеми.



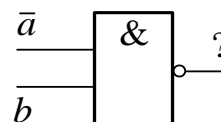
- A)  $R$ ; B)  $M$ ; C)  $z$  D)  $h$ ; E)  $\bar{R}$ ; F)  $\bar{M}$ ;  
 G)  $\bar{z}$ ; H)  $\bar{h}$ ; I) немає правильної відповіді.

175. Визначити функцію віднімача, яка реалізується за допомогою наведеної нижче схеми.



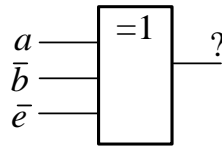
- A)  $R$ ; B)  $M$ ; C)  $z$  D)  $h$ ; E)  $\bar{R}$ ; F)  $\bar{M}$ ;  
 G)  $\bar{z}$ ; H)  $\bar{h}$ ; I) немає правильної відповіді.

176. Визначити функцію віднімача, яка реалізується за допомогою наведеної нижче схеми.



- A)  $R$ ; B)  $M$ ; C)  $z$  D)  $h$ ; E)  $\bar{R}$ ; F)  $\bar{M}$ ;  
 G)  $\bar{z}$ ; H)  $\bar{h}$ ; I) немає правильної відповіді.

177. Визначити функцію віднімача, яка реалізується за допомогою наведеної нижче схеми.



- A)  $R$ ; B)  $M$ ; C)  $z$ ; D)  $h$ ; E)  $\bar{R}$ ; F)  $\bar{M}$ ;  
 G)  $\bar{z}$ ; H)  $\bar{h}$ ; I) немає правильної відповіді.

178. Визначити значення сигналів генерації  $Z = z_3z_2z_1z_0$  і розповсюдження  $H = h_3h_2h_1h_0$  позики при відніманні чисел  $A = 0100$  і  $B = 1110$  та  $m_0 = 0$ .

- A)  $Z = 1110, H = 1011$ ; B)  $Z = 1110, H = 0111$ ;  
 C)  $Z = 0101, H = 0111$ ; D)  $Z = 1010, H = 1111$ ;  
 E) немає правильної відповіді.

179. Визначити значення сигналів генерації  $Z = z_3z_2z_1z_0$  і розповсюдження  $H = h_3h_2h_1h_0$  позики при відніманні чисел  $A = 1100$  і  $B = 1010$  та  $m_0 = 1$ .

- A)  $Z = 0010, H = 1011$ ; B)  $Z = 1010, H = 0111$ ;  
 C)  $Z = 0101, H = 1101$ ; D)  $Z = 1000, H = 1001$ ;  
 E) немає правильної відповіді.

180. Вкажіть формулу для визначення функції вихідного переносу  $E$  двійкового суматора:

- A)  $ab \vee (a \oplus b)\bar{e}$ ; B)  $a \oplus b \oplus e$ ; C)  $ab \vee (a \oplus b)e$ ;  
 D)  $ab \vee (a \oplus b)e$ ; E) немає правильної відповіді.

181. Вкажіть формулу для визначення функції вихідного переносу  $\bar{E}$  двійкового суматора:

- A)  $ab (a \oplus b)\bar{e}$ ; B)  $\overline{a \oplus b \oplus e}$ ; C)  $\overline{ab (a \oplus b)e}$ ;  
 D)  $\overline{ab (a \oplus b)e}$ ; E) немає правильної відповіді.

182. Вкажіть формулу для визначення функції вихідної позики  $\bar{M}$  двійкового віднімача:

- A)  $\bar{h} + \bar{z}m$ ; B)  $z + hm$ ; C)  $\bar{z} + \bar{h}m$ ; D)  $\bar{h} + \bar{z}m$ ;  
 E) немає правильної відповіді.

183. Логічні елементи з відкритим колектором використовуються для організації:

- A) позитивної логіки; B) негативної логіки;  
 C) монтажної логіки; D) нечіткої логіки;  
 E) немає правильної відповіді.

184. Черезрозрядна інверсія сигналів переносу в багаторозрядних двійкових суматорах використовується для:

- A) збільшення завадостійкості; B) збільшення швидкодії;



- С) збільшення коефіцієнту розгалуження логічних елементів;  
 D) збільшення ціни за Квайном; E) немає правильної відповіді.
185. Використання черезрозрядної інверсії сигналів позики в багаторозрядних двійкових віднімачах призводить до:  
 A) організації позитивної логіки кодування сигналів;  
 B) зменшення часу спрацьовування віднімача;  
 C) отримання мінімальної функції для формування сигналу різниці;  
 D) збільшення часу затримки формування позики;  
 E) немає правильної відповіді.
186. Визначити значення двійкових сигналів  $R = R_3R_2R_1R_0$   $M = M_3M_2M_1M_0$  на вихідних каналах чотирирозрядного віднімача при відніманні чисел (A-B)  $A = 1100$  і  $B = 0111$  та  $m_0 = 0$ :  
 A)  $R = 0111$ ;  $M = 0101$ ; B)  $R = 0101$ ;  $M = 0101$ ;  
 C)  $R = 0101$ ;  $M = 0111$ ; D)  $R = 0111$ ;  $M = 0111$ ;  
 E) немає правильної відповіді.
187. Визначити значення двійкових сигналів  $R = R_3R_2R_1R_0$   $M = M_3M_2M_1M_0$  на вихідних каналах чотирирозрядного віднімача при відніманні чисел (A-B)  $A = 1100$  і  $B = 0111$  та  $m_0 = 1$ :  
 A)  $R = 0110$ ;  $M = 0101$ ; B)  $R = 0100$ ;  $M = 0101$ ;  
 C)  $R = 0100$ ;  $M = 0111$ ; D)  $R = 0110$ ;  $M = 0111$ ;  
 E) немає правильної відповіді.
188. Визначити формулу, яка використовується для організації паралельного переносу в двійкових суматорах:  
 A)  $ab\bar{e} + a\bar{b}e + \bar{a}be + abe$ ; B)  $ab + ae + be$ ;  
 C)  $g + pe$ ; D)  $ab + (a \oplus b)e$ ; E)  $\bar{g} + \bar{p}e$ ;  
 F) немає правильної відповіді.
189. Визначити формулу, яка використовується для організації паралельної позики в двійкових віднімачах:  
 A)  $\bar{a}\bar{b}t + \bar{a}b\bar{t} + \bar{a}bt + abt$ ; B)  $\bar{a}b + \bar{a}e + be$ ;  
 C)  $\bar{h} + \bar{z}t$ ; D)  $b\bar{a} + (a \oplus b)t$ ; E)  $z + ht$ ;  
 F) немає правильної відповіді.
190. Визначити формулу, яка використовується для формування сигналу переносу  $E_3$  при використанні паралельного переносу в двійковому суматорі:  
 A)  $p_3 + p_3g_2 + p_3g_2g_1 + p_3g_2g_1g_0 + p_3g_2g_1g_0e_0$ ;  
 B)  $g_3 + g_3p_2 + g_3g_2p_1 + g_3g_2g_1p_0 + g_3p_2p_1p_0e_0$ ;  
 C)  $g_3 + p_3g_2 + g_3p_2g_1 + g_3p_2g_1p_0 + g_3g_2g_1g_0e_0$ ;  
 D)  $g_3 + p_3g_2 + p_3p_2g_1 + p_3p_2p_1g_0 + p_3p_2p_1p_0e_0$ ;

*E) немає правильної відповіді.*

191. Визначити формулу, яка використовується для формування сигналу переносу  $E_1$  при використанні паралельного переносу в двійковому суматорі:

A)  $p_1 + p_1g_0 + p_1p_0e_0$ ;

B)  $p_1 + g_1p_0 + p_1p_0e_0$ ;

C)  $g_1 + g_1p_0 + g_1g_0e_0$ ;

D)  $g_1 + p_1g_0 + p_1p_0e_0$ ;

*E) немає правильної відповіді.*

192. Визначити формулу, яка використовується для формування сигналу переносу  $E_2$  при використанні паралельного переносу в двійковому суматорі:

A)  $g_2 + g_2g_1 + g_2g_1g_0 + g_2g_1g_0e_0$ ;

B)  $p_2 + g_2p_1 + g_2g_1p_0 + p_2p_1p_0e_0$ ;

C)  $g_2 + p_2g_1 + p_2g_1p_0 + g_2g_1g_0e_0$ ;

D)  $g_2 + p_2g_1 + p_2p_1g_0 + p_2p_1p_0e_0$ ;

*E) немає правильної відповіді.*

193. Визначити формулу, яка використовується для формування сигналу непереносу  $\bar{E}_3$  при використанні паралельного переносу в двійковому суматорі:

A)  $\bar{g}_3\bar{p}_3 + \bar{p}_3\bar{g}_2 + \bar{p}_3\bar{p}_2\bar{g}_1 + \bar{p}_3\bar{p}_2\bar{p}_1\bar{g}_0 + \bar{p}_3\bar{p}_2\bar{p}_1\bar{p}_0e_0$ ;

B)  $\bar{g}_3\bar{p}_3 + \bar{g}_3\bar{p}_2 + \bar{g}_3\bar{g}_2\bar{p}_1 + \bar{g}_3\bar{g}_2\bar{g}_1\bar{p}_0 + \bar{g}_3\bar{g}_2\bar{g}_1\bar{g}_0e_0$ ;

C)  $\bar{g}_3\bar{p}_3 + \bar{g}_3\bar{p}_2 + \bar{g}_3\bar{p}_2\bar{p}_1 + \bar{g}_3\bar{p}_2\bar{p}_1\bar{p}_0 + \bar{p}_3\bar{p}_2\bar{p}_1\bar{p}_0e_0$ ;

D)  $\bar{p}_3\bar{g}_3 + \bar{p}_3\bar{g}_2 + \bar{p}_3\bar{g}_2\bar{p}_1 + \bar{p}_3\bar{g}_2\bar{g}_1\bar{p}_0 + \bar{p}_3\bar{g}_2\bar{g}_1\bar{g}_0e_0$ ;

*E) немає правильної відповіді.*

194. Визначити формулу, яка використовується для формування сигналу непереносу  $\bar{E}_2$  при використанні паралельного переносу в двійковому суматорі:

A)  $\bar{p}_2\bar{g}_2 + \bar{p}_2\bar{g}_1 + \bar{p}_2\bar{p}_1\bar{g}_0 + \bar{p}_2\bar{p}_1\bar{p}_0e_0$ ;

B)  $\bar{g}_2\bar{p}_1 + \bar{g}_1\bar{p}_1 + \bar{g}_2\bar{g}_1\bar{p}_0 + \bar{g}_2\bar{g}_1\bar{g}_0e_0$ ;

C)  $\bar{g}_2\bar{p}_2 + \bar{g}_2\bar{p}_1 + \bar{g}_2\bar{g}_1\bar{p}_0 + \bar{g}_2\bar{g}_1\bar{g}_0e_0$ ;

D)  $\bar{p}_2\bar{g}_2 + \bar{g}_2\bar{p}_1 + \bar{g}_2\bar{p}_1\bar{p}_0 + \bar{p}_2\bar{p}_1\bar{g}_0e_0$ ;

*E) немає правильної відповіді.*

В завданнях, визначених нижче, знайдіть відповідність між елементами списків.

195. Знайдіть відповідність між логічними виразами і логічними функціями:

A)  $x \oplus y$

1) диз'юнкція

B) $\overline{x \vee y}$
C) $\overline{x \cdot y}$
D) $y \vee x$

2) функція Шефера
3) функція Пірса
4) виключне АБО
5) кон'юнкція
6) рівнозначність
7) І-АБО
8) І-АБО-НІ

196. Знайдіть відповідність між логічними виразами і логічними функціями:

A) $x \cdot y$
B) $\overline{x \oplus y}$
C) $\overline{x y}$
D) $y \vee \overline{x}$

1) диз'юнкція
2) функція Шефера
3) функція Пірса
4) додавання за модулем 2
5) кон'юнкція
6) рівнозначність
7) І-АБО
8) І-АБО-НІ

197. Знайдіть відповідність між логічними виразами і логічними функціями:

A) $\overline{x \oplus \overline{y}}$
B) $\overline{x \oplus y}$
C) $\overline{x y}$
D) $yx \vee \overline{x z}$

1) диз'юнкція
2) функція Шефера
3) функція Пірса
4) додавання за модулем 2
5) кон'юнкція
6) рівнозначність
7) І-АБО
8) І-АБО-НІ

198. Знайдіть відповідність між логічними виразами і логічними функціями:

A) $\overline{x} \oplus \overline{y}$
B) $\overline{x} \oplus y$
C) $\overline{x} y$
D) $yx \vee \overline{x} z$

1) I
2) АБО
3) АБО-НІ
4) І-НІ
5) XOR
6) XNOR
7) І-АБО
8) І-АБО-НІ

199. Знайдіть відповідність між логічними виразами і законами алгебри логіки:

A) $z \cdot (x \vee y) = z \cdot x \vee z \cdot y$
B) $x \vee y \vee z = z \vee y \vee x$
C) $x \cdot y \cdot z = x \cdot (y \cdot z)$
D) $\overline{x \cdot y} = \overline{x} \vee \overline{y}$

1) закон де Моргана
2) асоціативність
3) комутативність
4) дистрибутивність
5) закон подвійного заперечення
6) закон поглинання

200. Знайдіть відповідність між логічними виразами та їх значеннями:

A) $\overline{a} \& 0$
B) $\overline{a} \oplus 0$
C) $\overline{a} \vee 1$
D) $a \oplus 0$

1) 0
2) 1
3) $a$
4) $\overline{a}$

201. Знайдіть відповідність між логічними виразами та їх значеннями:

A) $\overline{a} \& 1$
B) $\overline{a} \oplus a$
C) $0 \vee a$
D) $a \oplus a$

1) 0
2) 1
3) $a$
4) $\overline{a}$

202. Знайдіть відповідність між логічними виразами та їх значеннями:

A) $\overline{a} \& a$
B) $\overline{a} \oplus 1$
C) $\overline{a} \vee a$
D) $a \oplus 1$

1) 0
2) 1
3) $a$
4) $\overline{a}$

203. Знайдіть відповідність між логічними виразами та їх значеннями:

A) $\overline{a} \& a \oplus a$
---------------------------------

1) 0
------

B) $\bar{a} \oplus 1 \oplus a$	2) 1
C) $\bar{a} \vee a \oplus a$	3) a
D) $a \oplus 1 \oplus a$	4) $\bar{a}$

204. Знайдіть відповідність між логічними виразами та їх значеннями:

A) $\bar{a} \oplus a \oplus a$	1) 0
B) $\bar{a} \oplus \bar{a} \oplus a$	2) 1
C) $\bar{a} \oplus a \oplus 1$	3) a
D) $0 \oplus a \oplus \bar{a}$	4) $\bar{a}$

205. Знайдіть відповідність між числами в десятковій системі числення і числами (знак і чотири біти) в додатковому коді (знак і число відділюються крапкою, наприклад, 1.1101):

A) -5	1) 1.0010
B) +9	2) 0.1011
C) -8	3) 1.0110
D) -14	4) 0.1001
	5) 1.1000
	6) 1.1011

206. Знайдіть відповідність між числами в десятковій системі числення і числами (знак і чотири біти) в зворотному( оберненому ) коді (знак і число відділюються крапкою, наприклад, 1.1101):

A) -6	1) 1.1010
B) +8	2) 0.1010
C) -5	3) 1.0011
D) -12	4) 0.1000
	5) 1.1011
	6) 1.1001

207. Знайдіть відповідність між вихідними функціями двійкового канонічного суматора і логічними виразами, які відповідають цим функціям:

A) S	1) $\bar{a}\bar{b}e \vee \bar{a}be \vee a\bar{b}e \vee abe$
B) $\bar{S}$	2) $\bar{a}be \vee a\bar{b}e \vee \bar{a}be \vee abe$
C) E	3) $\bar{a}\bar{b}e \vee \bar{a}be \vee a\bar{b}e \vee abe$
D) $\bar{E}$	4) $\bar{a}be \vee a\bar{b}e \vee \bar{a}be \vee abe$
	5) $\bar{a}\bar{b}e \vee \bar{a}be \vee a\bar{b}e \vee abe$

6) $\overline{a\overline{b}e\vee a\overline{b}e\vee \overline{a\overline{b}e\vee a\overline{b}e}$
---

208. Знайдіть відповідність між вихідними функціями двійкового суматора і способами їх запису:

A) ДДНФ	1) $ab+ae+be$
B) ДКНФ	2) $\overline{a\overline{b}e\vee a\overline{b}e\vee \overline{a\overline{b}e\vee a\overline{b}e}$
C) МДНФ	3) $(a\vee b)(a\vee e)(b\vee e)$
D) МКНФ	4) $(a\vee b\vee e)(a\vee \overline{b}\vee e)(\overline{a}\vee b\vee e)\vee (a\vee b\vee e)$

209. Знайдіть відповідність між вихідними функціями двійкового канонічного суматора і логічними виразами, які відповідають цим функціям:

A) $S$	1) $\overline{a\overline{b}e\vee a\overline{b}e\vee \overline{a\overline{b}e\vee a\overline{b}e}$
B) $\overline{S}$	2) $\overline{a\overline{b}e\vee a\overline{b}e\vee \overline{a\overline{b}e\vee a\overline{b}e}$
C) $E$	3) $\overline{a\overline{b}e\vee a\overline{b}e\vee \overline{a\overline{b}e\vee a\overline{b}e}$
D) $\overline{E}$	4) $\overline{a\overline{b}e\vee a\overline{b}e\vee \overline{a\overline{b}e\vee a\overline{b}e}$
	5) $\overline{a\overline{b}e\vee a\overline{b}e\vee \overline{a\overline{b}e\vee a\overline{b}e}$
	6) $\overline{a\overline{b}e\vee a\overline{b}e\vee \overline{a\overline{b}e\vee a\overline{b}e}$

210. Знайдіть відповідність між вихідними функціями двійкового канонічного суматора і логічними виразами, які відповідають цим функціям:

A) $S$	1) $(a\vee \overline{b}\vee \overline{e})(a\vee \overline{b}\vee e)(\overline{a}\vee b\vee e)(a\vee b\vee e)$
B) $\overline{S}$	2) $(a\vee b\vee \overline{e})(a\vee \overline{b}\vee e)(\overline{a}\vee b\vee e)(a\vee b\vee e)$
C) $E$	3) $(\overline{a\vee \overline{b}\vee \overline{e}})(\overline{a\vee b\vee \overline{e}})(\overline{a\vee \overline{b}\vee e})(\overline{a\vee b\vee e})$
D) $\overline{E}$	4) $(a\vee \overline{b}\vee \overline{e})(\overline{a\vee b\vee \overline{e}})(\overline{a\vee \overline{b}\vee e})(a\vee \overline{b}\vee e)$
	5) $(\overline{a\vee b\vee \overline{e}})(\overline{a\vee \overline{b}\vee e})(\overline{a\vee b\vee e})(\overline{a\vee b\vee e})$
	6) $(a\vee \overline{b}\vee \overline{e})(\overline{a\vee b\vee \overline{e}})(\overline{a\vee \overline{b}\vee e})(a\vee b\vee e)$

211. Знайдіть відповідність між вихідними функціями мінімального двійкового суматора і логічними виразами, які відповідають цим функціям:

A) $S$	1) $(\overline{b}\vee \overline{e})(a\vee \overline{e})(a\vee \overline{b})$
B) $\overline{S}$	2) $\overline{e \oplus a \oplus \overline{b}}$
C) $E$	3) $(\overline{b}\vee \overline{e})(a\vee \overline{e})(a\vee \overline{b})$
D) $\overline{E}$	4) $(a\vee \overline{b})(a\vee \overline{e})(b\vee e)$

5) $(a \vee b)(a \vee e)(b \vee e)$
-------------------------------------

6) $\bar{e} \oplus \bar{a} \oplus \bar{b}$
--

212. Знайдіть відповідність між вихідними функціями мінімального двійкового суматора і логічними виразами, які відповідають цим функціям:

A) $S$	1) $\bar{a}\bar{b} + \bar{a}e + \bar{b}e$
B) $\bar{S}$	2) $\bar{e} \oplus \bar{a} \oplus \bar{b}$
C) $E$	3) $ab + \bar{a}e + \bar{b}e$
D) $\bar{E}$	4) $ab + ae + be$
	5) $\bar{a}\bar{b} + \bar{a}e + \bar{b}e$
	6) $\bar{e} \oplus \bar{a} \oplus \bar{b}$

213. Знайдіть відповідність між вихідними функціями двійкового суматора і логічними виразами, які відповідають цим функціям:

A) $S$	1) $\overline{ae + \bar{a}e + \bar{b}e}$
B) $\bar{S}$	2) $\overline{ab + ae + be}$
C) $E$	3) $\overline{ab + \bar{a}e + \bar{b}e}$
D) $\bar{E}$	4) $(\bar{a} \oplus \bar{b}) \oplus \bar{e}$
	5) $\overline{\bar{a}\bar{b} + \bar{a}e + \bar{b}e}$
	6) $(\bar{a} \oplus \bar{b}) \oplus e$

214. Знайдіть відповідність між заданими доданками  $A = a_3a_2a_1a_0$ ,  $B = b_3b_2b_1b_0$ ,  $e_0$  і значеннями вихідних переносів  $E_3\bar{E}_2E_1\bar{E}_0$  чотирибітного суматора:

A) $A = 1111 ; B = 0000 : e_0 = 1$	1) $E_3\bar{E}_2E_1\bar{E}_0 = 0101$
B) $A = 1111 ; B = 0000 : e_0 = 0$	2) $E_3\bar{E}_2E_1\bar{E}_0 = 1101$
C) $A = 1001 ; B = 1011 : e_0 = 0$	3) $E_3\bar{E}_2E_1\bar{E}_0 = 0110$
D) $A = 1000 ; B = 0011 : e_0 = 1$	4) $E_3\bar{E}_2E_1\bar{E}_0 = 0011$
	5) $E_3\bar{E}_2E_1\bar{E}_0 = 1010$
	6) $E_3\bar{E}_2E_1\bar{E}_0 = 1110$
	7) немає відповідності

215. Знайдіть відповідність між доданками  $A = a_3a_2a_1a_0$ ,  $B = b_3b_2b_1b_0$ ,  $e_0$  і значеннями переносів  $\bar{E}_3E_2\bar{E}_1E_0$  чотирибітного суматора:

A) $A = 0001 ; B = 1111 : e_0 = 0$	1) $\bar{E}_3E_2\bar{E}_1E_0 = 1010$
------------------------------------	--------------------------------------

B) $A = 0011 ; B = 0011 : e_0 = 1$	2) $\bar{E}_3 E_2 \bar{E}_1 E_0 = 1000$
C) $A = 1100 ; B = 0011 : e_0 = 0$	3) $\bar{E}_3 E_2 \bar{E}_1 E_0 = 0101$
D) $A = 1100 ; B = 1010 : e_0 = 1$	4) $\bar{E}_3 E_2 \bar{E}_1 E_0 = 0010$
	5) $\bar{E}_3 E_2 \bar{E}_1 E_0 = 1001$
	6) $\bar{E}_3 E_2 \bar{E}_1 E_0 = 0011$
	7) немає відповідності

216. Знайдіть відповідність між функціями суми двійкового суматора і логічними виразами, які відповідають цим функціям:

A) $S$ канонічного суматора	1) $\bar{a}\bar{b}e + \bar{a}b\bar{e} + a\bar{b}\bar{e} + a\bar{b}e$
B) розширена мінімальна $\bar{S}$	2) $(a + \bar{b} + \bar{e})(\bar{a} + b + \bar{e})(\bar{a} + \bar{b} + e)(a + b + e)$
C) $\bar{S}$ канонічного суматора	3) $\overline{a\bar{E} + b\bar{E} + e\bar{E} + abe}$
D) розширена мінімальна $S$	4) $a\bar{E} + b\bar{E} + e\bar{E} + abe$
	5) $\bar{a}\bar{b}e + \bar{a}b\bar{e} + a\bar{b}\bar{e} + a\bar{b}e$
	6) $\overline{a\bar{E} + b\bar{E} + e\bar{E} + abe}$

217. Знайдіть відповідність між позначеннями підготовчих функцій двійкового суматора і логічними виразами, які відповідають цим функціям:

A) $g$	1) $\overline{\bar{a}\bar{b}}$
B) $\bar{g}$	2) $\bar{a}\bar{b}$
C) $p$	3) $\overline{\bar{a} + \bar{b}}$
D) $\bar{p}$	4) $\bar{a} + \bar{b}$
	5) $\bar{a}\bar{b}$
	6) $\bar{a} \oplus \bar{b}$

218. Знайдіть відповідність між вихідними функціями двійкового композиційного суматора і логічними виразами, які відповідають цим функціям:

A) $S$	1) $\bar{p}g + p\bar{e}$
B) $\bar{S}$	2) $\bar{p} + g\bar{e}$
C) $E$	3) $(\bar{p} \oplus \bar{g}) \oplus \bar{e}$
D) $\bar{E}$	4) $(\bar{p} + \bar{g}) \oplus \bar{e}$
	5) $(\bar{p}g) \oplus \bar{e}$
	6) $\bar{p}g + p\bar{e}$



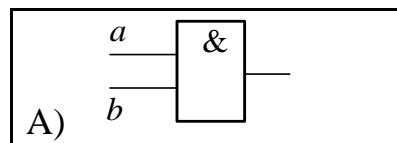
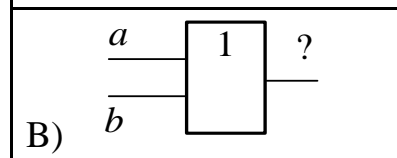
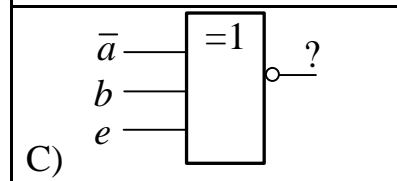
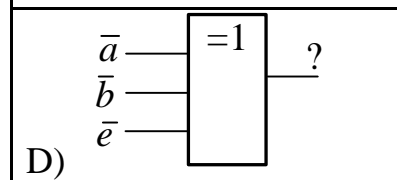
219. Знайдіть відповідність між логічними функціями:

A) $a \oplus b$	1) $g \bar{p}$
B) $\overline{a \oplus b}$	2) $p \oplus g$
C) $0$	3) $pg$
D) $a + b$	4) $\overline{pg}$
	5) $\overline{\overline{pg}}$
	6) $p + g$

220. Знайдіть відповідність між вихідними функціями двійкового канонічного віднімача і логічними виразами, які відповідають цим функціям:

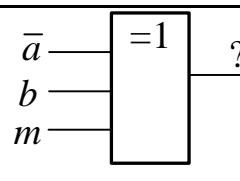
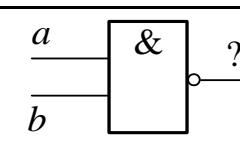
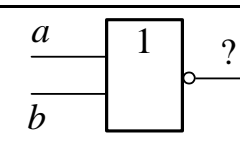
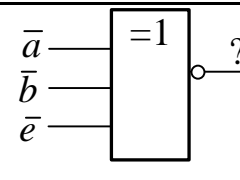
A) $R$	1) $\overline{abm} + \overline{abm} + \overline{abm} + abm.$
B) $\overline{R}$	2) $abm + \overline{abm} + \overline{abm} + \overline{abm}$
C) $M$	3) $\overline{abm} + \overline{abm} + \overline{abm} + abm.$
D) $\overline{M}$	4) $\overline{abm} + \overline{abm} + \overline{abm} + abm;$
	5) $\overline{abm} + \overline{abm} + \overline{abm} + abm;$
	6) $abm + \overline{abm} + \overline{abm} + \overline{abm}$

221. Знайдіть відповідність між логічними функціями суматора і логічними схемами, які відповідають цим функціям:

A) 	1) $\overline{S}$
B) 	2) $g$
C) 	3) $E$
D) 	4) $\overline{E}$
	5) $S$

6) $\bar{p}$
7) $\bar{g}$
8) $p$

222. Знайдіть відповідність між логічними функціями суматора і логічними схемами, які відповідають цим функціям:

A) 	1) $\bar{S}$
B) 	2) $g$
C) 	3) $E$
D) 	4) $\bar{E}$
	5) $S$
	6) $\bar{p}$
	7) $\bar{g}$
	8) $p$

223. Знайдіть відповідність між вихідними функціями двійкового канонічного віднімача і логічними виразами, які відповідають цим функціям:

A) $R$	1) $\overline{abm} + \overline{abm} + \overline{abm} + \overline{abm}$
B) $\bar{R}$	2) $\overline{abm} + \overline{abm} + \overline{abm} + \overline{abm}$
C) $M$	3) $\overline{abm} + \overline{abm} + \overline{abm} + \overline{abm}$
D) $\bar{M}$	4) $\overline{abm} + \overline{abm} + \overline{abm} + \overline{abm};$
	5) $\overline{abm} + \overline{abm} + \overline{abm} + \overline{abm};$
	6) $\overline{abm} + \overline{abm} + \overline{abm} + \overline{abm}$

224. Знайдіть відповідність між вихідними функціями двійкового канонічного віднімача і логічними виразами, які відповідають цим функціям:

A) $R$	1) $(a+b+m)(\bar{a}+\bar{b}+\bar{m})(\bar{a}+b+m)(\bar{a}+\bar{b}+m)$
--------	---

B) $\bar{R}$	2) $(a+b+m)(\bar{a}+b+m)(\bar{a}+b+m)(\bar{a}+\bar{b}+m)$
C) $M$	3) $(a+\bar{b}+m)(\bar{a}+b+m)(\bar{a}+\bar{b}+m)(a+b+m)$
D) $\bar{M}$	4) $(a+b+m)(\bar{a}+b+m)(\bar{a}+b+m)(\bar{a}+\bar{b}+m)$
	5) $(a+b+m)(\bar{a}+b+m)(\bar{a}+b+m)(\bar{a}+\bar{b}+m)$
	6) $(a+\bar{b}+m)(\bar{a}+b+m)(\bar{a}+\bar{b}+m)(a+b+m)$

225. Знайдіть відповідність між вихідними функціями двійкового віднімача і логічними виразами, які відповідають цим функціям:

A) $R$	1) $\bar{a}\bar{b} + \bar{a}m + bm$
B) $\bar{R}$	2) $m \oplus \bar{a}\bar{b} \oplus ab$
C) $M$	3) $m \oplus \bar{a} \oplus \bar{b}$
D) $\bar{M}$	4) $m \oplus \bar{a} \oplus b$
	5) $\bar{a}\bar{b} + \bar{a}m + bm$
	6) $\bar{a}\bar{b} + \bar{a}m + \bar{b}m$

226. Знайдіть відповідність між вихідними функціями двійкового віднімача і логічними виразами, які відповідають цим функціям:

1) $\bar{m} \oplus \bar{b} \oplus a$	A) $R$
2) $(\bar{b}+m)(\bar{a}+m)(\bar{a}+\bar{b})$	B) $\bar{R}$
3) $\bar{a}\bar{b} + \bar{a}m + bm$	C) $M$
4) $\bar{a}\bar{b} + \bar{a}m + \bar{b}m$	D) $\bar{M}$
5) $\bar{m} \oplus \bar{b} \oplus \bar{a}$	E) немає відповідності
6) $\bar{m} + \bar{b} + a$	

227. Знайдіть відповідність між заданими операндами  $A = a_3a_2a_1a_0$ ,  $B = b_3b_2b_1b_0$ ,  $m_0$  і значеннями вихідних позик  $M_3 \bar{M}_2 M_1 \bar{M}_0$  чотирибітного віднімача при виконанні операції віднімання А-В:

A) $A = 1111 ; B = 0000 : m_0 = 1$	1) $M_3 \bar{M}_2 M_1 \bar{M}_0 = 0101$
B) $A = 0000 ; B = 1111 : m_0 = 0$	2) $M_3 \bar{M}_2 M_1 \bar{M}_0 = 1101$
C) $A = 1001 ; B = 1011 : m_0 = 0$	3) $M_3 \bar{M}_2 M_1 \bar{M}_0 = 0110$
D) $A = 1000 ; B = 0011 : m_0 = 1$	4) $M_3 \bar{M}_2 M_1 \bar{M}_0 = 0010$
	5) $M_3 \bar{M}_2 M_1 \bar{M}_0 = 1010$
	6) $M_3 \bar{M}_2 M_1 \bar{M}_0 = 1011$
	7) немає відповідності

228. Знайдіть відповідність між заданими операндами  $A = a_3a_2a_1a_0$ ,  $B = b_3b_2b_1b_0$ ,  $m_0$  і значеннями вихідних позик  $\bar{M}_3 M_2 \bar{M}_1 M_0$  чотирибітного віднімача при виконанні операції віднімання А-В:

A) $A = 1111 ; B = 0001 : m_0 = 1$	1) $\bar{M}_3 M_2 \bar{M}_1 M_0 = 0101$
B) $A = 0000 ; B = 0001 : m_0 = 0$	2) $\bar{M}_3 M_2 \bar{M}_1 M_0 = 1101$
C) $A = 1110 ; B = 0011 : m_0 = 0$	3) $\bar{M}_3 M_2 \bar{M}_1 M_0 = 0110$
D) $A = 1010 ; B = 0100 : m_0 = 1$	4) $\bar{M}_3 M_2 \bar{M}_1 M_0 = 1111$
	5) $\bar{M}_3 M_2 \bar{M}_1 M_0 = 1010$
	6) $\bar{M}_3 M_2 \bar{M}_1 M_0 = 1011$
	7) немає відповідності

229. Знайдіть відповідність між позначеннями підготовчих функцій двійкового віднімача і логічними виразами, які відповідають цим функціям:

A) $z$	1) $\bar{a}\bar{b}$
B) $\bar{z}$	2) $\bar{a}b$
C) $h$	3) $\overline{a+b}$
D) $\bar{h}$	4) $\bar{a} + \bar{b}$
	5) $\bar{a}\bar{b}$
	6) $\bar{a} \oplus \bar{b}$

230. Знайдіть відповідність між вихідними функціями двійкового композиційного віднімача і логічними виразами, які відповідають цим функціям:

A) $R$	1) $\overline{(\bar{a} \oplus \bar{b}) \oplus m}$
B) $\bar{R}$	2) $\bar{h} + \bar{z}m$
C) $M$	3) $\bar{h} + \bar{z}m$
D) $\bar{M}$	4) $(\bar{a} \oplus \bar{b}) \oplus m$

231. Знайдіть відповідність між логічними функціями:

A) $a \oplus b$	1) $z + h$
B) $\bar{a} \oplus \bar{b}$	2) $\bar{z} \oplus \bar{h}$
C) $0$	3) $\bar{z} \oplus \bar{h}$
D) $a + b$	4) $z\bar{h}$
	5) $\bar{z} + \bar{h}$

6) $z + \bar{h}$
------------------

7) немає відповідності
------------------------

232. Знайдіть відповідність між вихідними функціями двійкового суматора з паралельним переносом і логічними виразами, які відповідають цим функціям:

A) $E_2$	1) $g_2 + p_2g_1 + p_2p_1g_0 + p_2p_1p_0e_0$
B) $\bar{E}_2$	2) $g_3 + p_3g_2 + p_3p_2g_1 + p_3p_2p_1g_0 + p_3p_2p_1p_0e_0$ ;
C) $\bar{E}_3$	3) $g_2 + p_2g_1 + p_2g_1p_0 + g_2g_1g_0e_0$
D) $E_3$	4) $\bar{g}_2\bar{p}_2 + \bar{g}_2\bar{p}_1 + \bar{g}_2\bar{g}_1\bar{p}_0 + \bar{g}_2\bar{g}_1\bar{g}_0e_0$
	5) $\bar{g}_3\bar{p}_3 + \bar{p}_3\bar{g}_2 + \bar{p}_3\bar{p}_2\bar{g}_1 + \bar{p}_3\bar{p}_2\bar{p}_1\bar{g}_0 + \bar{p}_3\bar{p}_2\bar{p}_1\bar{p}_0e_0$
	6) $g_3 + g_3p_2 + g_3g_2p_1 + g_3g_2g_1p_0 + g_3p_2p_1p_0e_0$
	7) $\bar{g}_3\bar{p}_3 + \bar{g}_3\bar{p}_2 + \bar{g}_3\bar{g}_2\bar{p}_1 + \bar{g}_3\bar{g}_2\bar{g}_1\bar{p}_0 + \bar{g}_3\bar{g}_2\bar{g}_1\bar{g}_0e_0$
	8) немає відповідності

В завданнях, наведених нижче, вкажіть відповіді в заданій послідовності.

233. Розташуйте задані в додатковому коді числа в порядку збільшення (знак і число відділюються крапкою, наприклад, 1.1101):

A) 1.0111;      B) 0.1000;    C) 0.0101;    D) 1.1101;

234. Розташуйте задані в зворотному ( оберненому ) коді числа в порядку збільшення (знак і число відділюються крапкою, наприклад, 1.1101):

A) 1.1010;      B) 0.0100;    C) 1.0010;    D) 1.1110;

235. Розташуйте задані в додатковому коді числа в порядку зменшення (знак і число відділюються крапкою, наприклад, 1.1101):

A) 1.1110;      B) 0.0110;    C) 1.1010;    D) 1.0010;

236. Розташуйте значення заданих нижче операндів в порядку зменшення часу спрацьовування чотирирозрядного суматора (значення вхідного переносу  $e_0 = 0$ ):

A) 0111+1001;      B) 1111+1111;  
C) 1001+0101;      D) 1011+1001;

237. Розташуйте значення заданих нижче операндів в порядку збільшення часу спрацьовування чотирирозрядного суматора (значення вхідного переносу  $e_0 = 1$ ):

- A) 0111+1001;                      B) 1111+1111;  
 C) 1001+0101;                      D) 1011+1001;
238. Розташуйте значення заданих нижче операндів в порядку зменшення часу спрацьовування чотирирозрядного віднімача (значення вхідного переносу  $m_0 = 0$ ):  
 A) 0000 - 0001;                      B) 0000 - 1111;  
 C) 1001 - 0101;                      D) 1010 - 0010;
239. Розташуйте значення заданих нижче операндів в порядку збільшення часу спрацьовування чотирирозрядного віднімача (значення вхідного переносу  $m_0 = 1$ ):  
 A) 0000 - 0000;                      B) 0000 - 1111;  
 C) 1100 - 0100;                      D) 1110 - 0010;

У відповідях для завдань, наведених нижче, вставити пропущене слово.

240. Однобітний двійковий суматор – комбінаційний пристрій, який має три входи і ... виходи.
241. Однобітний двійковий віднімач – комбінаційний пристрій, який має ... входи і два виходи.
242. В наступному реченні вставте пропущене слово:  
*«В багаторозрядних суматорах використовується ... інверсія сигналів переносу»*
243. В наступному реченні вставте пропущене слово:  
*« ... – властивість логічних функцій суми і переносу двійкових суматорів»*
244. В наступному реченні вставте пропущену назву логічного елемента:  
*«В багаторозрядних суматорах канали формування сигналів переносу ( $\bar{e} \rightarrow E$ ) і ( $e \rightarrow \bar{E}$ ) використовуються для того, щоб виключити додатковий ... між розрядами суматора»*
245. В наступному реченні вставте пропущене слово:  
*«В багаторозрядних віднімачах використовується ... інверсія сигналів позики»*
246. В наступному реченні вставте пропущене слово:  
*«В двійкових суматорах використовується функція  $g$ , яка формує сигнал ... переносу»*
247. В наступному реченні вставте пропущене слово:  
*«В двійкових суматорах використовується функція  $p$ , яка формує сигнал ... переносу»*

248. В наступному реченні вставте пропущене слово:

*«... логіка – це такий спосіб кодування логічних змінних, при якому низький рівень електричної напруги вважається логічною одиницею»*

249. В наступному реченні вставте пропущене слово:

*«Позитивна логіка – це такий спосіб кодування логічних змінних, при якому ... рівень електричної напруги вважається логічним нулем»*

250. В наступному реченні вставте пропущене слово:

*«Одним зі способів використання логічних елементів з відкритим колектором є організація ... логіки»*

## СПИСОК ЛІТЕРАТУРИ

1. Бабич М.П. Комп'ютерна схемотехніка: посібн. [для студентів вищ. навч. закл.] | М.П.Бабич, І.А.Жуков; М-во освіти і науки України,- К:МК-Прес, 2004.– 412с.: Іл., табл. - Бібліогр.: с.410-412.
2. Зельдин Е.А. Цифровые интегральные микросхемы в информационно-измерительной технике | Зельдин Е.А. – Л.:Энергоатомиздат, 1986. – 280с.: Іл.,табл. - Библиогр.: с.276-277.
3. Уэйкерли Дж. Проектирование цифровых устройств. Т1| Дж. Уэйкерли. – Москва: Постмаркет, 2002. – 543с.: Іл.,табл. - Библиогр.: в конце глав.
4. Угрюмов Е.П. Цифровая схемотехника | Угрюмов Е.П. – Санкт-Петербург: - СПб:БХВ-Петербург, 2001.-528с.: Іл.,табл. - Библиогр.: с.511-514.
5. Жабін В.І. Прикладна теорія цифрових автоматів: посібн. [для студентів вищ. навч. закл.] | В.І. Жабін, І.А. Жуков, І.А.Клименко, В.В. Ткаченко; М-во освіти і науки України,- К: Національний авіаційний університет, 2007.– 362с.: Іл., табл. - Бібліогр.: с. 348-349.
6. Шило В.Л. Популярные цифровые микросхемы | В.Л. Шило – М.: Радио и связь, 1993. – 350с.: Іл.,табл. - Библиогр.: с.348.
7. Амелина М.А. Программа схемотехнического моделирования Micro-Cap. Версии 9, 10. | Амелина М.А., Амелин С.А. . – Смоленск: - Смоленский филиал НИУ МЭИ, 2013.-619с.: Іл.,табл. - Библиогр.: с.619.
8. Оксанич А.П., Притчин С.Е., Вашерук О.В. Компютерна електроніка, ч1. – Харків:Компанія СМІТ, 2006. – 200с.
9. Оксанич А.П., Притчин С.Е., Вашерук О.В. Компютерна електроніка, ч2. – Харків:Компанія СМІТ, 2006. – 256с.
- 10.Дмитрів В.Т., Шиманський В.М. Електроніка і мікросхемотехніка: Навчальний посібник. – Львів: Афіша, 2006.-175 с.
- 11.Бабич М.П., Жуков І.А. Комп'ютерна схемотехніка. – Навчальний посібник. К:МК-Прес, 2004 – 412с.



12. Шабатура Ю.В., Присяжнюк В.В. Комп'ютерне моделювання електронних систем. Вінниця УНІВЕРСУМ. 2005 -142 С.
13. У. Хилл, П. Хоровиц. Искусство схемотехники. – М.: Мир, 1998. – 704 с.
14. Титце У., Шенк К. Полупроводниковая схемотехника.–М.: Мир,1982. – 512с.
15. М. Кауфман, А. Сидман. Практическое руководство по расчетам схем в электронике. В 2-х томах. Москва. Энергоатомиздат. 1993.. 288 с.
16. Колонтаєвський Ю.П., Сосков А.Г. Електроніка і мікросхемотехніка. Підручник – Київ: Каравела, 2007. – 384с.
17. Гутников В.С. Интегральная электроника в измерительных устройствах. – Л.: Энергоатомиздат, 1988. – 304 с.
18. Прянишников В. А. Электроника: Курс лекций. — СПб.: КОРОНА-принт, 2000.
19. Скаржепа.В.А., Луценко А.Н. Электроника и микросхемотехника. - К.: Вища школа, 1996.- 431 с
20. Колонтаєвський Ю.Ф. Радиоэлектроника. – М: В.школа, 1988 – 304с.
21. Паначевний Б.І., Свергун Ю.Ф. Загальна електротехніка: теорія і практикум: Підручник. – К.: Каравела, 2004 - 440 с.
22. Перхач В.С. Теоретична електротехніка. Лінійні кола. - К: Вища школа, 1992 – 439 с.
23. Стахів П. Г., Коруд В. І., Гамола О. С. Основи електроніки: функціональні елементи та їх застосування: Навч. посіб. — Л.: Вид-во Нац. ун-ту “Львівська політехніка”, 2002.
24. Стахів П. Г., Коруд В. І., Гамола О. С. Основи електроніки: функціональні елементи та їх застосування: Підруч. для студ. неелектротехн. спец. вищих навч. закл. — Л.: Новий Світ-2000; Магнолія плюс, 2003.
25. Промислова електроніка: Підручник / В.С.Руденко, В.Я.Ромашко, В.В.Трифонюк. – К.: Либідь, 1993. – 432 с.
26. Електроніка і мікросхемотехніка: Підручник для студентів вищ. закл. освіти, що навчаються за напрямками "Електромеханіка" та

- "Електротехніка": У 4-х т. / Сенько В.І., Панасенко М.В., Сенько Є.В., Юрченко М.М., Сенько Л.І., Ясінський В.В. -К.: ТОВ "Видавництво"Обереги", 2000. Т.1. Елементна база електронних пристроїв.- 300с. Т.2. Аналогові та імпульсні пристрої.- 510с.
27. Колонтаєвський Ю.П., Сосков А.Г. Промислова електроніка та мікросхемотехніка: теорія і практикум: Навч. посіб. - К.: Каравела, 2004. – 432 Баравой, В. Т. Электроника и микросхемотехника. Раздел "Цифровая техника" : конспект лекций для студ. спец. 6.091401 "Системы управления и автоматики" дневной и заочной форм обучения / В. Т. Баравой. — Сумы : СумГУ, 2003. — 250 с.
28. Є. В. Сенько та ін. Електроніка і мікросхемотехніка / В. І. Сенько, М. В. Панасенко— К.: Обереги, 2000. — Т. 1. Елементна база електронних пристроїв.
29. Биков М.М., Кузьмін І.В., Поджаренко В.О. Основи електроніки. Частина 1. Навчальний посібник. – Вінниця: ВДТУ, 2001. – 131 с.
30. Бандак М.І., Шабатура Ю.В., Ігнатенко О.Г. Електроніка в вимірюваннях. Навчальний посібник. – Вінниця: ВДТУ, 2001. – 167 с.
31. Рицар Б. Е. Цифрова техніка. — К.: НМК ВО, 1991— – 172 с.
32. Жеребцов И.П. Основы электроники. = Л.: Энергоатомиздат. Ленингр. Отд-ние, 1985. -352 с
33. Жеребцов И.П. Основы электроники. Л., Энергоатомиздат, 1989. – 352с.
34. Щука А.А. Электроника. Учебное пособие/ Под ред. проф. А.С. Сигова.- СПб: БХВ- Петербург, 2005. – 800с.
35. Справочник по рас чету электронных схем. Б.С. Гершунский. – Киев: Вища школа. Изд-во при Киев. ун-те, 1983. – 240 с.
36. Гершунский Б.С. Основы электроники и микроэлектроники : Учебник. – К.: Вища шк., 1989. – 423 с.
37. Электроника и микросхемотехника: сборник задач [Текст] : учеб. пос. / В. А. Скаржепа, В. И. Сенько ; Под общ. ред. А.А. Краснопрошиной. — К. : Вища школа, 1989. — 232 с.

38. Гершунский Б.С. Основы электроники и микроэлектроники : Учебник. – К.:Вища шк., 1989. – 423 с.
39. Справочник по рас чету электронных схем. Б.С. Гершунский. – Киев: Вища школа. Изд-во при Киев. ун-те, 1983. – 240 с.
40. Криштафович А.К., Трифонюк В.В. Основы промышленной электроники: Учебник для электрорадиотехн. и электроприборостроит. Спец. Техникумов. – М.: высш. Шк. 1985. – 287 с. 9. ДСТУ 3212-95. Мікросхеми інтегровані. Класифікація та система умовних позначень.
41. Цифровые интегральные микросхемы: справочник «П.П. Мальцев, Н.С. Долидзе и др. – Радио и связь, 1994. – 240с.»
42. Петровский Н.Н. и др. Логические ИС КР1533, КР1554. В 2-х томах. Справочник. – «БИНОМ», 1993. – 550с.
43. ДСТУ 2399-94. Системи обробки інформації. Логічні пристрої, схеми, сигнали. Терміни та визначення.
44. ДСТУ 2383-94. Мікросхеми інтегровані. Терміни, визначення та літерні позначення електричних параметрів.
45. ДСТУ 2533-94. Системи обробки інформації. Арифметичні та логічні операції. Терміни та визначення.
46. ГОСТ 2.708-81. ЕСКД. Правила выполнения электрических схем цифровой вычислительной техники.
47. ГОСТ 2.7043-91. ЕСКД. Обозначения условные графические в схемах. Элементы цифровой техники.

