

**НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ БІОРЕСУРСІВ І
ПРИРОДОКОРИСТУВАННЯ УКРАЇНИ**
ФАКУЛЬТЕТ ІНФОРМАЦІЙНИХ ТЕХНОЛОГІЙ
Кафедра комп'ютерних систем, мереж та кібербезпеки

“ЗАТВЕРДЖУЮ”

Декан факультету
інформаційних технологій

_____ проф. О.Г.Глазунова

“ ___ ” _____ 2023р.

НАВЧАЛЬНО-МЕТОДИЧНИЙ КОМПЛЕКС
з дисципліни

«КОМП'ЮТЕРНА СХЕМОТЕХНІКА»

для підготовки фахівців за спеціальністю 123 «Комп'ютерна інженерія»

КИЇВ-2023


**НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ БІОРЕСУРСІВ І
ПРИРОДОКОРИСТУВАННЯ УКРАЇНИ**

Кафедра комп'ютерних систем, мереж та кібербезпеки

“ЗАТВЕРДЖУЮ”
Декан факультету інформаційних технологій
проф. О.Г.Глазунова
2023 р.



СХВАЛЕНО
на засіданні кафедри
комп'ютерних систем,
мереж та кібербезпеки
Протокол №10 від «17» травня» 2023р.


(доц. Касаткін Д.Ю.)

РОЗГЛЯНУТО
Гарант ОП «Комп'ютерна інженерія»


(Нікітенко Є.В.)

**РОБОЧА ПРОГРАМА НАВЧАЛЬНОЇ ДИСЦИПЛІНИ
«КОМП'ЮТЕРНА СХЕМОТЕХНІКА»**

Спеціальність 123 «Комп'ютерна інженерія»
Освітня програма «Комп'ютерна інженерія»
Факультет інформаційних технологій
Розробник: Гусєв Б.С., доцент, к.т.н., доцент

Київ – 2023р.

**1. Опис навчальної дисципліни
«Комп'ютерна схемотехніка»**

Галузь знань, спеціальність, освітня програма, освітній ступінь		
Освітній ступінь	Бакалавр	
Галузь знань	12 – Інформаційні технології	
Спеціальність	123 – Комп'ютерна інженерія	
Освітня програма	«Комп'ютерна інженерія»	
Характеристика навчальної дисципліни		
Вид	обов'язкова	
Загальна кількість годин	240	
Кількість кредитів ECTS	8	
Кількість змістових модулів	4	
Курсовий проект (робота) (якщо є в робочому навчальному плані)	курсний проект	
Форма контролю	залік, іспит	
Показники навчальної дисципліни для денної та заочної форм навчання		
	денна форма навчання	заочна форма навчання
Рік підготовки	2	
Семестр	3,4	
Лекційні заняття, год.	60	
Практичні, семінарські заняття	-	
Лабораторні заняття, год.	60	
Самостійна робота, год.	120	
Індивідуальні завдання	-	-
Кількість тижневих аудиторних годин для денної форми навчання	3 семестр - 4 4 семестр - 4	

2. Мета, завдання та компетентності навчальної дисципліни

Мета: теоретична та практична підготовка здобувачів вищої освіти до аналізу функціонування та розробки типових вузлів операційних автоматів комп'ютерних систем.

Завдання навчальної дисципліни: забезпечення базової підготовки здобувачів вищої освіти в галузі теорії проектування апаратних складових комп'ютерів, ознайомлення студентів з логічними основами побудови апаратного забезпечення сучасних комп'ютерів; методами синтезу типових комп'ютерних пристроїв; засобами аналізу і синтезу функціональних операційних елементів та пристроїв сучасної цифрової апаратури; засобами проектування універсальних, функціонально-орієнтованих або спеціалізованих процесорів; методами організації функціонування керуючих пристроїв та операційних автоматів.

В результаті вивчення навчальної дисципліни студент повинен

- знати: тенденції розвитку науки та техніки в галузі комп'ютерної інженерії; актуальні проблеми теорії побудовання комп'ютерів; основні терміни та визначення; принципи побудови та функціонування апаратних засобів; проведення порівняльного аналізу характеристик цифрових пристроїв; методи пошуку оптимальних рішень; математичні методи розв'язання задач, в тому числі і формалізованих методів, орієнтованих на використання комп'ютерів;

- вміти:

- виконувати розробку граф-схем алгоритмів, структурних схем операційних автоматів, синтез типових функціональних вузлів комп'ютерів, аналізувати та визначати статичні та динамічні параметри функціональних вузлів, орієнтуватися в різноманітних комплексах ІС і особливостях їх використання;

- ставити завдання, давати порівняльну характеристику різних варіантів рішень на етапах розробки цифрових пристроїв; оформляти прийняте технічне рішення у вигляді комплексу технічної документації; враховувати технологічні, ергономічні та естетичні фактори при розробці систем; проводити об'єктивний аналіз ефективності прийнятих технічних рішень;

- розробляти функціональні і принципові схеми пристроїв комп'ютера, виконувати порівняльну оцінку різних структур пристроїв із врахуванням особливостей елементної бази та оптимізаційних вимог відповідно до заданих критеріїв ефективності;

- працювати з технічною літературою, довідниками, стандартами, технічною документацією.

Набуття компетентностей:

Інтегральна компетентність (ІК): Здатність розв'язувати складні спеціалізовані задачі та практичні проблеми під час професійної діяльності в комп'ютерній галузі або навчання, що передбачає застосування теорій та методів комп'ютерної інженерії і характеризується комплексністю та невизначеністю умов.

Відповідно до освітньої програми підготовки фахівців за спеціальністю 123

«Комп'ютерна інженерія» навчальна дисципліна забезпечує формування загальних і фахових компетентностей:

Загальні компетентності:

ЗК1. Здатність до абстрактного і системного мислення, аналізу та синтезу.

ЗК2. Здатність вчитися і оволодівати сучасними знаннями.

ЗК3. Здатність застосовувати знання у практичних ситуаціях.

ЗК6. Навички міжособистісної взаємодії.

Фахові компетентності:

СК5. Здатність використовувати засоби і системи автоматизації проектування до розроблення компонентів комп'ютерних систем та мереж, Інтернет додатків, кіберфізичних систем тощо.

СК13. Здатність вирішувати проблеми у галузі комп'ютерних та інформаційних технологій, визначати обмеження цих технологій.

СК14. Здатність проектувати системи та їхні компоненти з урахуванням усіх аспектів їх життєвого циклу та поставленої задачі, включаючи створення, налаштування, експлуатацію, технічне обслуговування та утилізацію.

В результаті вивчення навчальної дисципліни студент набуде певні програмні результати, а саме

ПРН1. Знати і розуміти наукові положення, що лежать в основі функціонування комп'ютерних засобів, систем та мереж

ПРН2. Мати навички проведення експериментів, збирання даних та моделювання в комп'ютерних системах.

ПРН7. Вміти застосовувати знання для розв'язування задач аналізу та синтезу засобів, характерних для спеціальності.

ПРН13. Вміти ідентифікувати, класифікувати та описувати роботу комп'ютерних систем та їх компонентів.

ПРН 15. Вміти виконувати експериментальні дослідження за професійною тематикою.

ПРН 16. Вміти оцінювати отримані результати та аргументовано захищати прийняті рішення.

ПРН 21. Усвідомлювати необхідність навчання впродовж усього життя з метою поглиблення набутих та здобуття нових фахових знань, удосконалення креативного мислення.

В контексті зазначених вище компетентностей та програмних результатів навчання задачі викладання дисципліни визначають необхідний комплекс знань і вмінь, що отримують студенти під час вивчення дисципліни.

Навчальна програма розрахована на студентів, які навчаються за освітньою програмою підготовки бакалаврів за спеціальністю 123 «Комп'ютерна інженерія».

Робоча програма побудована за вимогами кредитно-модульної системи організації навчального процесу у закладах вищої освіти і використанням академічної системи оцінювання досягнень студентів та шкали оцінок Європейської кредитно-трансферної системи (ECTS).

Навчальна програма з курсу «Комп'ютерна схемотехніка» є основним документом, що охоплює всі види навчальної роботи при вивченні курсу студентами та відбиває основні методичні настанови кафедри.

Навчальна програма дисципліни «Комп'ютерна схемотехніка» розроблена на підставі наступних документів:

- освітньо-професійна програма підготовки фахівців за спеціальністю «Комп'ютерна інженерія»;

- навчальний план підготовки бакалаврів за спеціальністю «Комп'ютерна інженерія».

Навчальна програма характеризує шляхи перетворення інформації, що одержується студентом впродовж вивчання курсу, і відбиває зміст курсу, розподілення його на розділи та їх обсяги, дані про форми вивчення та контролю знань.

Теоретичною базою для вивчення курсу «Комп'ютерна схемотехніка» є курс «Комп'ютерна логіка».

Курс «Комп'ютерна схемотехніка» є базовим для наступних дисциплін: «Архітектура комп'ютерів», «Технології проектування цифрових систем», «Спеціалізовані комп'ютери».

3. Програма та структура навчальної дисципліни

– повного терміну денної форми навчання;

Назви змістових модулів і тем	Кількість годин													
	денна форма							Заочна форма						
	тижні	усього	у тому числі					усього	у тому числі					
			л	п	лаб	інд	с.р.		л	п	лаб	інд	с.р.	
1	2	3	4	5	6	7	8	9	10	11	12	13	14	
Змістовий модуль 1 (семестр 3). Асинхронні і синхронні одноктактові тригерні схеми (ТС)														
Тема 1. Об'єкт, предмет, зміст, завдання та структура курсу. Асинхронні тригерні схеми	1-3	22	6		6		10							
Тема 2. RS-тригери з комбінованим керуванням	4,5	18	4		4		10							
Тема 3. Синхронні одноктактові тригерні схеми	6,7	20	4		4		12							
Разом за змістовим модулем 1		60	14		14		32							
Змістовий модуль 2 (семестр 3). Двотактні ТС і ТС з динамічним керуванням. Регістри.														
Тема 1. Двотактові ТС	8-10	22	6		6		10							
Тема 2. ТС з динамічним керуванням	11	8	2		2		4							
Тема 3. Синтез ТС на базі ТС	12	8	2		2		4							
Тема 4. Синтез регістрових схем на базі тригерів	13-15	22	6		6		10							
Разом за змістовим модулем 2		60	16		16		28							
Змістовий модуль 3 (семестр 4). Синтез цифрових пристроїв на базі тригерів														
Тема 1. Синтез регістрів на базі регістрів	1-3	17	6		6		5							
Тема 2. Синтез двійкових лічильників	4,5	14	4		4		6							
Тема 3. Способи організації переносу в лічильниках.	6,7	14	4		4		6							
Разом за змістовим модулем 3		45	14		14		17							
Змістовий модуль 4 (семестр 4). Типові комбінаційні вузли														
Тема 1. Комбінаційні пристрої для	8,9	12	4		4		4							

виконання операцій декодування												
Тема 2. Комбінаційні пристрої для виконання операцій кодування і порівняння	10	6	2	2	2							
Тема 3. Синтез двійкових суматорів	11-13	16	6	6	4							
Тема 4. Синтез пристроїв для виконання операцій мультиплексування даних	14-15	11	4	4	3							
Разом за змістовим модулем 4	45	16	16	13								
Курсовий проєкт	30	-	-	-	30	-	-	-	-	-	-	-
Усього годин	240	60	60	30	90							

4. Теми семінарських занять

№ з/п	Назва теми	Кількість годин
	Не передбачено робочим навчальним планом	

5. Теми практичних занять

№ з/п	Назва теми	Кількість годин
	Не передбачено робочим навчальним планом	

6. Теми лабораторних занять

№ з/п	Назва теми	Кількість годин
1	Синтез комбінаційних логічних схем	2
2	Дослідження асинхронних одноклапових тригерних схем	4
3	Дослідження асинхронних RS-тригерів з комбінованим керуванням	4
4	Дослідження синхронних одноклапових тригерних схем	4
5	Дослідження двоступеневого D-тригера і D-тригера з динамічним керуванням	2
6	Дослідження двоступеневих RCS-тригерів	4
7	Дослідження двоступеневих JK- і T-тригерів	2
8	Дослідження тригерних схем на базі типових тригерів	2
9	Дослідження багатофункціональних регістрів на базі тригерів	6
10	Дослідження багатофункціональних регістрів на базі регістрів	6
11	Дослідження способів організації асинхронних двійкових лічильників	2
12	Дослідження способів організації синхронних двійкових лічильників	2
13	Дослідження лічильників з довільним модулем ліку	4
14	Синтез і дослідження двійкових напівсуматорів	2
15	Синтез і дослідження однорозрядних двійкових суматорів	2
16	Синтез і дослідження багаторозрядних двійкових суматорів	2
17	Синтез і дослідження лінійних дешифраторів	2

№ з/п	Назва теми	Кількість годин
18	Дослідження структурної організації дешифраторів і синтез дешифраторів на базі ІС дешифраторів	2
19	Синтез і дослідження мультиплексорів на базі вентилів	2
20	Синтез і дослідження мультиплексорів на базі ІС мультиплексорів	2
21	Синтез і дослідження шифраторів	2
	Всього	60

7. Теми самостійної роботи

№ з/п	Назва теми	Кількість годин
1	Синтез комбінаційних логічних схем в заданому базисі	3
2	Вивчення принципу функціонування асинхронних одноклапових тригерних схем	6
3	Синтез асинхронних RS-тригерів з комбінованим керуванням	6
4	Вивчення принципу функціонування синхронних одноклапових тригерних схем	6
5	Вивчення принципу функціонування двоступеневого D-тригера і D-тригера з динамічним керуванням	6
6	Вивчення принципу функціонування двоступеневих RCS-тригерів	3
7	Вивчення принципу функціонування двоступеневих JK- і T-тригерів	3
8	Синтез тригерних схем на базі типових тригерів	6
9	Синтез багатфункціональних регістрів на базі тригерів	6
10	Синтез багатфункціональних регістрів на базі регістрів	9
11	Синтез асинхронних двійкових лічильників з різними способами організації переносу	3
12	Синтез синхронних двійкових лічильників	3
13	Синтез лічильників з довільним модулем ліку	6
14	Синтез двійкових напівсуматорів	3
15	Синтез однорозрядних двійкових суматорів	3
16	Синтез багаторозрядних двійкових суматорів	3
17	Синтез лінійних дешифраторів	3
18	Синтез дешифраторів на базі ІС дешифраторів	3
19	Синтез мультиплексорів на базі вентилів	3
20	Синтез мультиплексорів на базі ІС мультиплексорів	3
21	Синтез шифраторів	3
	Всього	90

Курсове проектування

Метою курсового проектування є поглиблення і закріплення знань та навичок в галузі синтезу і аналізу функціонування пристроїв комп'ютерів на базі заданої системи елементів і придбання навичок схемотехнічного проектування, застосування знань, отриманих студентами під час навчання з дисципліни. Курсове проектування направлене також на придбання навичок виконання науково-дослідної роботи і на ознайомлення з науковою і довідковою літературою по спеціальності.

В завданні на курсове проектування передбачено виконання розробки апаратної частини операційного і керуючого автоматів цифрового пристрою. Результати проектування повинні бути перевірені за допомогою моделювання з використанням систем моделювання електронних

схем MICROCAP, EWB або ACTIVE VHDL, тощо. Передбачається моделювання функціонування операційного автомату на рівні структурної схеми з використанням будь-якої мови програмування.

Примірний обсяг часу, що виділяється на самостійну роботу над курсовим проектом, складає 30 годин. Примірний обсяг пояснювальної записки складає 30-40 сторінок. Графічна частина в курсовому проекті складає 3 аркуші.

Робота над курсовим проектом складається з наступних етапів:

1. Синтез функціональної схеми пристрою.
2. Розробка граф-схеми алгоритму функціонування операційного автомату.
3. Моделювання функціонування на структурному рівні.
4. Синтез операційних елементів операційного автомату.
5. Синтез керуючого автомату.
6. Розрахунок параметрів пристрою.
7. Моделювання функціональної схеми пристрою.
8. Оформлення пояснювальної записки та графічних аркушів.

Самостійна робота студентів

Самостійна робота студентів передбачає:

- систематичне відвідання усіх видів аудиторних занять і ведення конспекту лекцій;
- систематичне вивчення лекційного матеріалу і навчальної літератури, що рекомендуються;
- сумлінну підготовку до лабораторних занять;
- вчасне і якісне оформлення звітів з лабораторної роботи.

8. Зразки контрольних питань, тестів для визначення рівня засвоєння знань студентами

8.1. Питання для перевірки знань студентів:

1. Взаємодія між операційним і керуючим автоматами.
2. Визначення комбінаційної схеми.
3. Визначення послідовнісної схеми.
4. Визначення тригерної схеми.
5. Класифікація тригерних схем за способом синхронізації.
6. Класифікація тригерних схем за структурою побудування.
7. Класифікація тригерних схем за функціональним призначенням.
8. Класифікація тригерних схем за реакцією на завади.
9. Поняття активності сигналів.
10. Поясніть принцип функціонування RS-тригерів.
11. Поясніть поняття «функція збудження».
12. Таблиця переходів RS-тригера з прямим керуванням.
13. Логічна схема RS-тригера з прямим керуванням.
14. Визначити функції збудження RS-тригера з прямим керуванням.
15. Реакція RS-тригера з прямим керуванням на заборонну комбінацію.
16. Часові діаграми RS-тригера з прямим керуванням.
17. Динамічні характеристики RS-тригера з прямим керуванням.
18. Таблиця переходів RS-тригера з інверсним керуванням.
19. Логічна схема RS-тригера з інверсним керуванням.
20. Визначити функції збудження RS-тригера з інверсним керуванням.
21. Реакція RS-тригера з інверсним керуванням на заборонну комбінацію.
22. Часові діаграми RS-тригера з інверсним керуванням.
23. Динамічні характеристики RS-тригера з інверсним керуванням.
24. Чим відрізняється функціонування RS-тригерів з прямим та інверсним керуванням?

25. Чим відрізняються схеми RS-тригерів з прямим та інверсним керуванням?
26. Як розрахувати час переключення тригера?
27. Функціонування асинхронного RS- і nRnS-тригерів при переключенні вхідних сигналів з забороненої комбінації в комбінацію збереження інформації.
28. Для заданої часової діаграми вхідних сигналів побудувати часові діаграми сигналів на прямому і інверсному виходах тригера без врахування затримок логічних елементів.
29. Для заданої часової діаграми вхідних сигналів побудувати часові діаграми сигналів на прямому і інверсному виходах тригера з врахуванням затримок елементів.
30. За заданою схемою визначити тип тригера.
31. Приведіть таблицю переходів заданого тригера.
32. Вплив завад на функціонування RS-тригера.
33. Тригери з комбінованим керуванням.
34. Кон'юнктиві і диз'юнктивні групи входів.
35. Методика синтезу асинхронного RS-тригера з комбінованим керуванням.
36. Як визначаються функції збудження RS-тригерів з комбінованим керуванням?
37. Поясніть функціонування RS-тригера з комбінованим керуванням при переході вхідних сигналів з забороненої комбінації в комбінацію збереження інформації.
38. Структурна схема тригерів з комбінованим керуванням.
39. Принцип функціонування синхронних тригерів.
40. Таблиця переходів RES-тригера з прямим керуванням.
41. Логічна схема RES-тригера з прямим керуванням.
42. Функції збудження RES-тригера з прямим керуванням.
43. Часові діаграми RES-тригера з прямим керуванням.
44. Динамічні характеристики RES-тригера з прямим керуванням.
45. Як розрахувати час перемикання синхронного тригера?
46. Як правильно виміряти час перемикання тригера?
47. Поясніть поняття «прозорість» тригера.
48. Принцип функціонування DE-тригера.
49. Таблиця переходів DE-тригера.
50. Логічна схема DE-тригера.
51. Функції збудження DE-тригера.
52. Часові діаграми DE-тригера.
53. Динамічні характеристики DE-тригера.
54. Поняття гонок в логічних схемах.
55. DV-тригери.
56. Визначити тип тригера, якщо в схемі DE-тригера елементи І-НІ замінити елементами АБО-НІ.
57. Визначити тип тригера, якщо в схемі RES-тригера елементи І-НІ замінити елементами АБО-НІ.
58. В чому різниця між принципами роботи асинхронних і синхронних одноктактних тригерів?
59. Як розрахувати час затримки одноктактних тригерів?
60. Вплив завад на функціонування RES-тригера.
61. Вплив завад на функціонування DE-тригера.
62. DV-тригери.
63. Принцип функціонування двотактних тригерів.
64. Принцип функціонування двоступеневих тригерів.
65. Логічна схема двоступеневого RCS-тригера з інвертором.
66. Часові діаграми двоступеневого RCS-тригера з інвертором.
67. Реакція на завади двоступеневого RCS-тригера з інвертором.
68. Які елементи двоступеневого RCS-тригерів з інвертором визначають час затримки відносно фронту синхросигналу?
69. Які елементи двоступеневого RCS-тригерів визначають час підготовки тригера?
70. Двоступеневий RCS-тригера з забороннім зв'язком.

71. Які елементи двоступеневого RCS-тригерів з заборонним зв'язком визначають час затримки відносно фронту синхросигналу?
72. Часові діаграми двоступеневого RCS-тригера з заборонним зв'язком без врахування затримок елементів.
73. Реакція на завади двоступеневого RCS-тригера з заборонним зв'язком.
74. Приведіть схему двоступеневого RCS-тригера зі спрацьовуванням за переднім фронтом синхроімпульсу.
75. Поняття «захоплення сигналу».
76. Поняття «проскакування фронту».
77. Поясніть термін «проникність тригера».
78. В яких випадках відбувається захоплення завад в RCS-тригерах зі спрацьовуванням за фронтом синхроімпульсу?
79. В чому полягає різниця у функціонуванні двотактних і двоступеневих тригерів?
80. В чому полягає різниця у функціонуванні двоступеневих тригерів з інвертором і заборонним зв'язком?
81. Динамічні характеристики двоступеневих тригерів.
82. Логічна схема двоступеневого JK-тригера.
83. Принцип функціонування JK-тригерів.
84. Логічна схема двоступеневого D-тригера.
85. Які елементи двоступеневого D-тригера визначають час затримки відносно фронту синхроімпульсу?
86. Які елементи двоступеневого D-тригерів визначають час підготовки тригера?
87. Для заданої часової діаграми вхідних сигналів двоступеневого D-тригера побудувати часові діаграми сигналів на виходах першого і другого ступенів без врахування затримок ЛЕ.
88. Функції збудження двоступеневого JK-тригера.
89. Часові діаграми двоступеневого JK-тригера.
90. Двоступеневий JK-тригера з заборонним зв'язком.
91. Часові діаграми двоступеневого JK-тригера з заборонним зв'язком.
92. Чому не використовуються JK-тригери із спрацьовуванням за рівнем синхросигналу?
93. Поясніть можливість появи «захоплення» сигналу в JK-тригері з інвертором.
94. Поясніть можливість появи «проскакування» фронту в JK-тригері з заборонним зв'язком.
95. Для заданої часової діаграми вхідних сигналів JK-тригера заданого типу побудувати часові діаграми сигналів на виходах першого і другого ступенів без врахування затримок ЛЕ.
96. Для заданої часової діаграми вхідних сигналів T-тригера заданого типу побудувати часові діаграми сигналів на виходах першого і другого ступенів без врахування затримок ЛЕ.
97. Принцип функціонування асинхронного T-тригера.
98. Часові діаграми асинхронного T-тригера.
99. Принцип функціонування синхронного TC-тригера.
100. Часові діаграми синхронного TC-тригера.
101. Функції збудження T- і TC-тригерів.
102. Логічні схеми T- і TC-тригерів.
103. Який тригер називають дільником частоти на 2?
104. Яку функцію з точки зору ділення частоти виконує T-тригер?
105. Яке співвідношення частот вхідного і вихідного сигналів в асинхронному T-тригері?
106. Як розрахувати час підготовки, затримки і витримки тригерів із спрацьовуванням за фронтом синхроімпульсу?
107. Як визначити максимальну частоту синхроімпульсів тригера f_{max} ?
108. Тригери з динамічним керуванням.
109. Логічна схема D-тригера з динамічним керуванням.
110. Часові діаграми D-тригера з динамічним керуванням.
111. Які елементи DC-тригерів визначають час затримки відносно фронту синхросигналу ?
112. Що таке час підготовки тригера?
113. Як вимірити час переключення першого ступеня тригера?
114. Що розуміється під терміном «непрозорість» тригера?

115. В яких режимах відбувається захоплення завад в D-тригерах зі спрацьовуванням за фронтом синхроімпульсу?
116. При яких сигналах на С-вході забезпечується надійне збереження інформації в D-тригерах?
117. Асинхронні входи тригерів.
118. Пріоритетність асинхронних входів тригерів.
119. Використання асинхронних входів тригерів для реалізації мікрооперацій.
120. Синтез тригерів на базі тригерів.
121. Структурна схема підсумкового тригера.
122. Як виконати синтез непрозорого тригера на базі прозорого тригера?
123. Як виконати синтез підсумкового тригера, якщо базовий і підсумковий тригери мають різну активність спрацьовування фронту синхроімпульсу?
124. Визначення регістрів.
125. Чому JK-тригер називають універсальним тригером?
126. Структурна схема регістра з керованою синхронізацією.
127. Структурна схема регістра з некерованою синхронізацією.
128. Синтез регістрів з керованою синхронізацією на базі тригерів.
129. Синтез регістрів з некерованою синхронізацією на базі тригерів.
130. Які функції виконує регістр?
131. Які етапи включає синтез багатофункціонального регістру?
132. Використання асинхронних входів тригерів для реалізації мікрооперації встановлення в початковий стан.
133. Яке призначення системи синхронізації багатофункціональних регістрів?
134. Різновиди регістрів і їх структурних організацій.
135. Побудувати часові діаграми заданого регістру.
136. Які типи зсувів використовуються в регістрах?
137. Як розраховуються тривалості імпульсу і паузи керуючих сигналів?
138. Виконати синтез комутатору заданого регістру з керованою синхронізацією.
139. Виконати синтез комутатору заданого регістру з некерованою синхронізацією.
140. Виконати синтез схеми формування функцій збудження заданого тригера.
141. Виконати синтез схеми керування регістра з керованою синхронізацією.
142. Система синхронізації регістру з некерованою синхронізацією.
143. Як реалізувати перезапис інформації в регістрі за рахунок схеми формування схеми збудження?
144. Як виконується арифметичний зсув в регістрі?
145. Поясніть необхідність використання сигналу C_i в регістрі.
146. Яке співвідношення у часі необхідно використовувати між сигналами C_i і U для організації коректної роботи регістра?
147. Як буде функціонувати регістр без використання сигналу C_i ?
148. Як буде функціонувати регістр з некерованою синхронізацією, якщо не організувати перезапис інформації при відсутності активних керуючих сигналів?
149. Чому прозорі тригери не використовуються для виконання мікрооперації зсуву?
150. Призначення схеми формування функцій збудження в регістрі
151. Призначення комутатора в регістрі.
152. Синтез регістра з керованою синхронізацією на базі регістра.
153. Синтез регістра з некерованою синхронізацією на базі регістра.
154. Яку функцію виконують входи D_R і D_L в базових регістрах?
155. Як враховувати наявність внутрішніх кіл зсуву в базовому регістрі при синтезі підсумкового регістру?
156. Яку функцію виконують входи вибору режиму регістру?
157. Поясніть необхідність використання входів послідовного завантаження базового регістру.
158. Як організувати збереження інформації в регістрах з некерованою синхронізацією?
159. Виконати синтез підсумкового регістру на основі заданого базового регістру.
160. В якому випадку можна спростити функцію збудження входу базового регістру?

161. Які вимоги висуваються до параметрів сигналу C_i з точки зору підвищення завадостійкості регістра?
162. Для чого використовуються виходи з трьох станами в регістрі?
163. За допомогою яких входів реалізуються різні типи мікрооперацій зсуву в регістрі?
164. Виконати проектування перетворювача паралельного коду в послідовний.
165. Виконати проектування перетворювача послідовного коду в паралельний.
166. Часова діаграма входних сигналів для забезпечення перетворення паралельного коду в послідовний.
167. Часова діаграма входних сигналів для забезпечення перетворення послідовного коду в паралельний.
168. Визначити динамічні параметри регістру.
169. Як можна організувати зсув ліворуч в підсумковому регістрі, якщо базовий регістр може зсувати інформацію тільки праворуч, але в підсумковому регістрі зсув праворуч не потрібен.
170. Яку часову діаграму сигналів U_i і C_i необхідно використовувати для забезпечення правильного функціонування регістру? Обґрунтуйте відповідь.
171. Виконати синтез регістрів, що виконують мікрооперації прийому інформації і інкремент.
172. Чому не можна використовувати прозорі тригери в зсувних регістрах?
173. Чому в деяких ІС регістрів синхросигнал двічі інвертується?
174. Визначення лічильників.
175. Класифікація лічильників за способом синхронізації.
176. Класифікація лічильників за модулем ліку.
177. Класифікація лічильників за способами організації перенесення між розрядами.
178. Класифікація лічильників за напрямом ліку.
179. Основні параметри лічильників.
180. Визначення поняття «модуль ліку».
181. Назвіть етапи синтезу лічильників з паралельним трактом розповсюдження переносу.
182. Недоліки лічильників з паралельним трактом розповсюдження переносу.
183. Недоліки лічильників з послідовним трактом розповсюдження переносу.
184. Недоліки лічильників з безпосереднім зв'язком.
185. Визначення кількості тригерів лічильника.
186. Синтез двійкових лічильників з паралельним трактом розповсюдження переносом.
187. Динамічні параметри лічильників.
188. Режими роботи лічильників.
189. Збільшення розрядності лічильників з паралельним трактом розповсюдження переносу.
190. Як вимірюється швидкодія лічильників з послідовним трактом розповсюдження переносу.
191. Чим характеризується швидкодія лічильників з безпосереднім зв'язком?
192. Як визначити максимальну частоту спрацьовування лічильника?
193. Як вимірюється час затримки сигналу переповнення лічильника?
194. Привести часові діаграми лічильника з заданим типом переносу з врахуванням затримок логічних елементів схеми.
195. Збільшення розрядності лічильників з послідовним трактом розповсюдження переносу.
196. Як розраховується період синхронізації синхроімпульсів синхронних лічильників?
197. Чому можлива поява завад в лічильниках з послідовним трактом розповсюдження перенесення?
198. Чому недоцільно використовувати D- і RCS-тригери в лічильниках?
199. Чи можна використовувати прозорі тригери в лічильниках? Обґрунтуйте відповідь.
200. Виконати синтез асинхронного віднімального лічильника за заданим модулем.
201. Підсумовувальні лічильники з безпосереднім переносом.
202. Віднімальні лічильники з безпосереднім переносом.
203. Чим характеризується швидкодія лічильників з безпосереднім зв'язком?
204. Чому не використовуються синхронні лічильники з безпосереднім зв'язком?
205. Привести часові діаграми заданого лічильника.
206. Визначити динамічні параметри лічильників.

207. Синтез лічильників з довільним модулем ліку.
208. Як встановити лічильник в нульовий стан?
209. Синтез двійкових лічильників з великим модулем ліку.
210. Поясніть термін «модуль ліку» лічильника.
211. Чому лічильник називають «дільником частоти»? Обґрунтуйте відповідь.
212. Як побудувати двійковий лічильник з безпосереднім переносом на базі тригерів зі спрацьовуванням за переднім фронтом синхроімпульсу?
213. Як побудувати двійковий віднімальний лічильник при наявності підсумовувального лічильника?
214. Недоліки і переваги синхронних лічильників.
215. Як визначити час формування переносу?
216. З якою метою використовується сигнал переносу зі старшого розряду лічильника?
217. Який сигнал називається сигналом переповнення лічильника?
218. Привести часові діаграми синхронного лічильника з заданим типом переносу з врахуванням затримок логічних елементів.
219. Які типи базових тригерів доцільно використовувати в лічильниках?
220. Як визначити модуль ліку лічильника?
221. Поясніть термін «реверсивний лічильник».
222. Синтез двійкових лічильників з модулем $M > 64$?
223. Назвіть послідовність станів підсумовувального лічильника з заданим модулем ліку.
224. Назвіть послідовність станів віднімального лічильника. з заданим модулем ліку
225. Яке співвідношення частот сигналу переповнення і вхідного сигналу лічильника?
226. Як побудувати лічильник з використанням тільки прозорих тригерів?
227. Послідовне з'єднання лічильників в режимі підрахунку сигналів.
228. Послідовне з'єднання лічильників в режимі ділення частоти.
229. Як визначити модуль ліку при послідовному з'єднанні лічильників?
230. Як побудувати лічильник з модулем ліку $2^n + 1$.
231. Лічильники з асинхронним встановленням початкового стану.
232. Етапи синтезу лічильників з асинхронним встановленням початкового стану.
233. Синтез схеми корекції лічильників з асинхронним встановленням початкового стану.
234. Недоліки лічильників з асинхронним встановленням початкового стану.
235. Побудувати часові діаграми лічильника з асинхронним встановленням початкового стану з заданим модулем ліку.
236. Порівняльний аналіз швидкодії лічильників.
237. Як реалізувати віднімальний лічильник при наявності двійкового підсумовувального лічильника?
238. Кільцеві лічильники.
239. Розподілювачі імпульсів.
240. Лічильник Джонсона.
241. Як визначити модуль ліку лічильника Джонсона?
242. Привести часові діаграми заданого лічильника Джонсона.
243. Привести схему лічильника Джонсона на JK-тригерах.
244. Як буде функціонувати будь-який лічильник, якщо він не був встановлений у початковий стан?
245. Етапи синтезу багатофункціональних лічильників.
246. Які вимоги пред'являються до керуючих сигналів реверсивного лічильника?
247. Виконати синтез лічильника з можливістю паралельного завантаження вхідних даних.
248. З якою метою в реверсивних лічильниках використовується сигнал C_i ?
249. Галузі використання лічильників.
250. Чи може реверсивний лічильник під час роботи встановитися в заборонений стан? Обґрунтувати відповідь.
251. Лічильники на базі лічильної схеми.
252. Тригери яких типів доцільно використовувати в лічильниках на базі лічильної схеми?
253. В яких випадках доцільно використовувати лічильники на базі лікувальної схеми?

254. Чому не можна використовувати прозорі тригери в лічильниках?
255. Етапи синтезу багатофункціональних лічильників.
256. Синтез реверсивних лічильників.
257. Синтез лічильників з прийомом інформації.
258. Виконати синтез заданої лічильної схеми.
259. Визначення дешифратора.
260. Визначення унітарного коду.
261. Призначення дешифратора, його принцип роботи
262. Класифікація дешифраторів.
263. Принципи функціонування дешифраторів.
264. Синтез лінійних дешифраторів.
265. Способи реалізації синхронних входів дешифраторів.
266. Визначення логічної формули для будь-якого виходу дешифратора без використання таблиці істинності.
267. Синтез неповних дешифраторів.
268. Як здійснити нумерацію виходів дешифраторів?
269. Як не допустити появу пікових вихідних сигналів при переключенні дешифратора?
270. Визначення значень сигналів на адресних входах дешифратора при відомих значеннях вихідних сигналів.
271. Визначення апаратних витрат при реалізації асинхронних і синхронних лінійних дешифраторів.
272. Недоліки і переваги лінійних дешифраторів.
273. Принцип функціонування дешифраторів для керуванням семисегментним індикатором.
274. Що необхідно зробити для правильного функціонування дешифратора при зміні розподілу підключення адресних змінних до адресних входів?
275. Привести часові діаграми заданого дешифратора.
276. Причина появи пікових сигналів на виході дешифратора.
277. Як реалізувати синхронний дешифратор, якщо базовий дешифратор є асинхронним?
278. Навіщо в деяких інтегральних схемах синхронних дешифраторів використовуються кілька керуючих входів з різним значенням активності вхідних сигналів?
279. Галузі використання дешифраторів.
280. Класифікація дешифраторів за структурною побудовою.
281. Синтез пірамідального дешифраторів.
282. Порівняльний аналіз апаратних витрат для реалізації пірамідального і лінійного дешифраторів.
283. Визначення номерів виходів пірамідальних дешифраторів.
284. Матричні дешифратори.
285. Структурна схема матричних дешифраторів.
286. Синтез матричних дешифраторів.
287. Визначення номерів виходів матричних дешифраторів.
288. Порівняльний аналіз лінійних, пірамідальних і матричних дешифраторів за швидкодією і за апаратними затратами.
289. Синтез дешифраторів на базі дешифраторів.
290. Способи розподілу адресних змінних між каскадами.
291. Визначення номерів виходів підсумкового дешифратора.
292. Як здійснюється розподіл адресних змінних між каскадами при синтезі повних і неповних пірамідальних дешифраторів?
293. Як здійснюється розподіл адресних змінних між каскадами при синтезі повних і неповних дешифраторів на базі ІС дешифраторів?
294. Реалізація логічних функцій за допомогою дешифраторів.
295. Визначення шифраторів.
296. Синтез шифраторів.
297. Недоліки шифраторів.
298. Структурна схема пріоритетного шифратора.

299. Синтез схеми виділення пріоритету.
300. Дисципліни виділення пріоритету в шифраторах.
301. Паралельна схеми виділення пріоритету.
302. Послідовна схеми виділення пріоритету.
303. Порівняльний аналіз схем виділення пріоритету.
304. Принцип функціонування шифраторів.
305. Методи синтезу шифраторів.
306. Призначення пріоритетних шифраторів.
307. Принцип функціонування пріоритетних шифраторів.
308. Виконайте синтез заданого шифратора.
309. Поясніть термін «дисципліна пріоритетів».
310. Виконати синтез схеми виділення пріоритетних сигналів для заданої дисципліни пріоритетів.
311. Приведіть структуру пріоритетного шифратора.
312. Як виконати синтез схеми виділення пріоритетних сигналів, якщо в цій схемі використовується більше шести вхідних сигналів?
313. Як виконати синтез шифратора, якщо в пристрої використовується більше шести вхідних сигналів?
314. Як виконати реалізацію керуючого входу в синхронному шифраторі?
315. Як виконати синтез послідовної схеми виділення пріоритетних сигналів в пріоритетному шифраторі?.
316. Визначення мультиплексорів.
317. В чому полягає призначення мультиплексорів?
318. Структурний склад і принцип роботи мультиплексорів?
319. Синтез мультиплексорів на базі булевих елементів.
320. Реалізація логічних функцій на базі мультиплексорів.
321. Синтез синхронного мультиплексора в заданому базисі з реалізацією керуючого входу за допомогою дешифратора мультиплексора.
322. Синтез синхронного мультиплексора $8 \rightarrow 1$ в заданому базисі з реалізацією керуючого входу за допомогою схеми вибору мультиплексора.
323. Синтез десяткового мультиплексора, що забезпечує вибір інформаційного входу, номер якого визначається позиційним кодом з заданими вагами розрядів.
324. Часові діаграми функціонування пристроїв. Результати виміру динамічних параметрів.
325. Методи синтезу мультиплексорів на базі мультиплексорів.
326. Синтез мультиплексорів за допомогою каскадного з'єднання базових мультиплексорів.
327. Визначення номеру входів мультиплексорів при використанні каскадного з'єднання базових мультиплексорів.
328. Синтез мультиплексорів з використанням дешифраторів і лінійної структури базових мультиплексорів.
329. Визначення номеру входів мультиплексорів з використанням дешифраторів і лінійної структури базових мультиплексорів.
330. Способи реалізації синхронних входів мультиплексорів.
331. Як здійснити нумерацію інформаційних входів мультиплексора?
332. Визначення значень сигналів на адресних входах мультиплексора, які забезпечують комутацію заданого вхідного сигналу з виходом.
333. Як визначити кількість адресних входів мультиплексора при відомій кількості інформаційних сигналів.
334. Реалізація логічних функцій за допомогою мультиплексорів, якщо кількість змінних логічної функції дорівнюється кількості адресних входів мультиплексора.
335. Реалізація логічних функцій за допомогою мультиплексорів, якщо кількість змінних логічної функції на одиницю менше, ніж кількість адресних входів мультиплексора.
336. Структурна організація мультиплексорів.
337. Як визначити кількість входів дешифратора, який використовується для отримання схеми підсумкового мультиплексора?

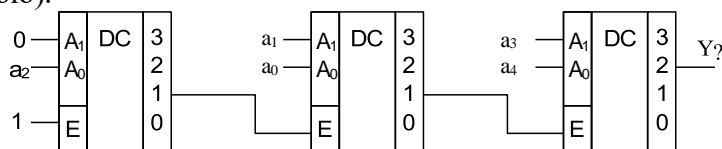
338. Як визначити кількість каскадів при використанні каскадного з'єднання базових мультиплексорів?
339. Яким чином необхідно виконувати розподіл адресних змінних між каскадами при використанні каскадного з'єднання базових мультиплексорів?
340. Яким чином необхідно виконувати розподіл адресних змінних між дешифратором і базовими мультиплексорами?
341. Чи можна використовувати будь-який розподіл адресних змінних між базовими мультиплексорами для синтезу повного (неповного) мультиплексора? Обґрунтуйте відповідь.
342. Як визначити кількість базових мультиплексорів для реалізації підсумкового мультиплексора?
343. Для чого використовуються мультиплексори з трьома станами?
344. Як організувати інформаційну шину за допомогою мультиплексорів?
345. Реалізація операцій порівняння в комп'ютерах.
346. Синтез схеми порівняння на рівність двох операндів.
347. Синтез паралельної схеми порівняння на нерівність двох операндів.
348. Реалізація послідовної схеми порівняння на нерівність двох операндів.
349. Синтез схем порівняння з константою.
350. Галузі використання схем порівняння.
351. Переваги і недоліки паралельних схем порівняння.
352. Переваги і недоліки послідовних схем порівняння.
353. Мажоритарні схеми.
354. Схеми контролю за парністю і непарністю.
355. Двійковий напівсуматор.
356. Двійковий напіввіднімач.
357. Реалізація мікрооперацій інкремент і декремент на базі напівсуматорів і напіввіднімачів.
358. Таблиця істинності напівсуматора
359. Таблиця істинності напіввіднімача.
360. Яка мікрооперація виконується при послідовному з'єднанні напівсуматорів?
361. Яка мікрооперація виконується при послідовному з'єднанні напіввіднімачів?
362. Як визначити час спрацьовування багаторозрядних напівсуматорів і напіввіднімачів?
363. При яких вхідних кодах багаторозрядний напівсуматор має максимальний час спрацьовування?
364. При яких вхідних кодах багаторозрядний напіввіднімач має максимальний час спрацьовування?
365. Галузі використання напівсуматорів.
366. В яких лічильниках можуть бути використані напівсуматори і напіввіднімачі?
367. Як при мінімальних змінах в логічній схемі виконати перетворення напівсуматора у напіввіднімач і навпаки?
368. Аналітично довести, що в багаторозрядних пристроях при послідовному з'єднанні напівсуматорів (напіввіднімачів) реалізується мікрооперація «інкремент» («декремент»).
369. Виконати синтез підсумовувального лічильника з лічильною схемою на базі напівсуматорів.
370. Виконати синтез віднімального лічильника з лічильною схемою на базі напіввіднімачів.
371. Чи є логічні функції, що реалізують напівсуматор, самодвійковими? Обґрунтуйте відповідь.
372. Чи є логічні функції, що реалізують напіввіднімач, самодвоїстими? Обґрунтуйте відповідь.
373. Однобітний двійковий суматор.
374. Однобітний двійковий віднімач.
375. Мінімізація функції суми.
376. Призначення суматорів і віднімачів.
377. Таблиця істинності канонічного суматора.
378. Таблиця істинності мінімального суматора.
379. Таблиця істинності канонічного віднімача.
380. Синтез суматора на базі дешифратора.

381. Синтез суматора на базі мультиплексорів заданим способом.
382. Яка мікрооперація виконується за допомогою суматорів?
383. Яка мікрооперація виконується за допомогою віднімачів?
384. Як при мінімальних змінах в логічній схемі виконати перетворення суматора у віднімач і навпаки?
385. Аналітично доведіть реалізацію суматора на базі напівсуматорів.
386. Аналітично доведіть реалізацію віднімача на базі напіввіднімачів.
387. Чи є логічні функції, що реалізують суматор, самодвоїстими? Обґрунтуйте відповідь.
388. Таблиця істинності мінімального віднімача.
389. Синтез віднімача на базі дешифратора.
390. Синтез віднімача на базі мультиплексорів заданим способом.
391. Визначення динамічних параметрів суматора.
392. Властивість самодвоїстості суматорів.
393. Реалізація багаторозрядних суматорів.
394. Реалізація багаторозрядних суматорів з черезрозрядним переносом.
395. Якими динамічними параметрами характеризується функціонування двійкового суматора?
396. Визначення динамічних параметрів суматора.
397. Як визначити час спрацьовування багаторозрядних суматорів?
398. При яких вхідних значеннях операндів суматор має максимальний час спрацьовування?
399. Прискорення операції підсумовування.
400. Організація паралельного переносу в суматорах.
401. Організація транзитного переносу в суматорах.
402. Визначення часу затримки суматорів.
403. Суматори з груповим переносом.
404. Як визначити час спрацьовування суматора з послідовним переносом?
405. Як визначити час спрацьовування суматора з паралельним переносом?
406. Як визначити час спрацьовування суматора з груповим переносом, якщо в середині групи використовується послідовний перенос, а між групами – паралельний перенос?
407. Як визначити час спрацьовування суматора з груповим переносом, якщо в середині групи використовується паралельний перенос, а між групами – послідовний перенос?
408. Поясніть термін «час розповсюдження переносу».
409. Як формується місцевий перенос при реалізації паралельного переносу?
410. Як формується сигнал розповсюдження переносу при реалізації паралельного переносу?
411. Виконати реалізацію однорозрядного суматора на базі напівсуматорів.
412. Як реалізувати однорозрядний суматор з використанням сигналів генерації і розповсюдження переносу?

8.2. Приклади тестів з дисципліни:

- Тригер – цифровий пристрій, який призначений ...
 - для виконання операції підсумовування
 - для прийому і зсуву інформації
 - зберігання інформації
 - немає правильної відповіді
- Стан RS-тригера з прямим керуванням $Q^t=0$. На входи подано $R=1, S=0$. Визначити новий стан тригера Q^{t+1} .
 - $Q^{t+1}=1$; **В. $Q^{t+1}=0$** С. заборонна комбінація;
 - немає правильної відповіді
- Стан $\bar{R} \bar{S}$ -тригера з інверсним керуванням $Q^t=0$. На входи подано $\bar{R}=1, \bar{S}=0$. Визначити новий стан тригера Q^{t+1} .
 - $Q^{t+1}=1$; **В. $Q^{t+1}=0$** С. заборонна комбінація;
 - немає правильної відповіді

4. Для наступного фрагмента схеми дешифратора визначити номер заданого виходу (адресна змінна a_4 є найстаршою):

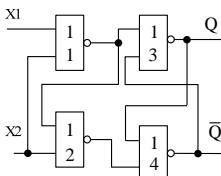


- A. Y_{13} ; В. Y_{19} ; С. Y_{12} ; Д. немає правильної відповіді.**

5. Визначити формулу, що забезпечує комутацію входу d_{24} мультиплексора $32 \rightarrow 1$ з виходом (адресна змінна A_4 є найстаршою)

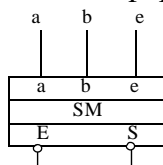
- A. $d_{24}A_4A_3\bar{A}_2\bar{A}_1A_0$; В. $d_{24}A_4\bar{A}_3A_2\bar{A}_1A_0$; С. $d_{24}A_4\bar{A}_3\bar{A}_2\bar{A}_1A_0$;**
Д. немає правильної відповіді.

6. Визначити тип триггеру:



- A. $X1=D; X2=E$; В. $X1=S; X2=R$; С. $X1=D; X2=\bar{E}$;**
Д. немає правильної відповіді.

7. Заданий двійковий однобітний суматор. Визначити формулу для виходу \bar{E} .



- A. $ab \vee ae \vee be$; В. $\bar{a} \bar{b} \vee \bar{b} \bar{e} \vee \bar{a} \bar{e}$; С. $\bar{a} \bar{b} \vee \bar{a} \bar{e} \vee \bar{b} \bar{e}$;**

Д. немає правильної відповіді.

8. Визначити функції збудження RS-триггеру для таблиці переходів $Q^t \rightarrow Q^{t+1}$

Q^t	Q^{t+1}
0	0
0	1
1	0
1	1

A)

\bar{R}	S
0	0
0	*
0	0
1	0

В)

\bar{R}	S
0	*
0	1
1	0
*	0

С)

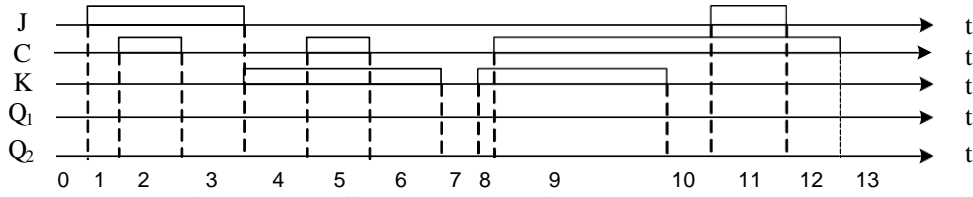
\bar{R}	S		
*	0		
*	1		
0	*		
1	*	1	*

Д) немає правильної відповіді.

9. Визначити формулу для реалізації виходу Y_{21} дешифратора $5 \rightarrow 32$ (адресна змінна A_4 є найстаршою).

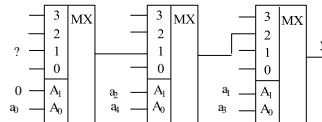
- А) $Y_{21} = A_4 A_3 \bar{A}_2 \bar{A}_1 A_0$; В) $Y_{21} = A_4 \bar{A}_3 A_2 \bar{A}_1 A_0$; С) $Y_{21} = A_4 \bar{A}_3 \bar{A}_2 \bar{A}_1 A_0$; Д) немає правильної відповіді.

10. Визначити стан виходу Q_2 JK-тригера з заборонним зв'язком в тактах 10-13



- А) 0001; В) 0000; С) 0011; Д) немає правильної відповіді.

11. Для наступного фрагмента схеми мультиплексора визначити номер заданого входу (адресна змінна a_4 є найстаршою).



- А) d_{19} ; В) d_{17} ; С) d_{25} ; Д) немає правильної відповіді.

12. До виходу Q старшого тригера підсумовувального лічильника за модулем 5 підключено вхід лічильника за модулем 2 . Визначити послідовність станів нового лічильника.

- А) $0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 5 \rightarrow 12 \rightarrow 13 \rightarrow 14 \rightarrow 15 \rightarrow 0$
 В) $0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 5 \rightarrow 6 \rightarrow 7 \rightarrow 8 \rightarrow 9 \rightarrow 0$
 С) $0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 8 \rightarrow 9 \rightarrow 10 \rightarrow 11 \rightarrow 12 \rightarrow 0$
 Д) немає правильної відповіді.

9. Методи навчання

Виконання лабораторних робіт з використанням наочних технічних засобів навчання у вигляді систем моделювання за допомогою інженерних пакетів проектування цифрових пристроїв; виконання індивідуальних навчально-дослідних завдань; виконання і захист курсового проекту..

10. Форми контролю

Систематичний контроль за самостійною роботою студентів і якістю засвоєння ними поточного навчального матеріалу перевіряється:

- на лабораторних роботах шляхом перевірки підготовки до виконання роботи;
- роботу над індивідуальними завданнями до лабораторних робіт;
- вивчення літератури, що рекомендувалася, та конспекту лекцій;
- оформлення звітів про виконання лабораторним роботам.

Поточний контроль знань студентів проводиться:

- на лабораторних роботах оцінюється підготовка до роботи, обсяг її виконання, результати захисту звіту;
- на лекційних заняттях виконується вибіркове опитування студентів;
- шляхом проведення модульних контролів знань студентів та виставлення рейтингових оцінок знань студентів по всім видам занять.

11. Розподіл балів, які отримують студенти.

Оцінювання знань студента відбувається за 100-бальною шкалою і переводиться в національні оцінки згідно з табл.1 «Положення про екзамени та заліки у НУБіП України» (наказ про введення в дію від 26.04.2023 р. № 10)

Рейтинг здобувача вищої освіти, бали	Оцінка національна за результати складання екзаменів заліків	
	Екзамен	Залік
90-100	Відмінно	зараховано
74-89	Добре	
60-73	Задовільно	
0-59	незадовільно	не зараховано

Для визначення рейтингу здобувача вищої освіти із засвоєння дисципліни $R_{\text{дис}}$ (до 100 балів) одержаний рейтинг з атестації (до 30 балів) додається до рейтингу здобувача вищої освіти з навчальної роботи $R_{\text{нр}}$ (до 70 балів): $R_{\text{дис}} = R_{\text{нр}} + R_{\text{ат}}$.

12. Навчально-методичне забезпечення

1. Методичні вказівки до самостійної роботи студентів з курсу «Комп'ютерна схемотехніка» / Укл. Б.С.Гусев. - Київ, НУБіП, 2021, 61с.
2. Методичні вказівки до виконання лабораторних робіт з курсу «Комп'ютерна схемотехніка» з використанням навчально-лабораторних стендів TRIGGER і LOGIC (частина 1) / Укладач Б.С.Гусев. – Київ, НУБіП, 2022, 114с.
3. Методичні вказівки до виконання лабораторних робіт з курсу «Комп'ютерна схемотехніка» з використанням навчально-лабораторних стендів TRIGGER і LOGIC (частина 2) / Укл. Б.С.Гусев. – Київ, НУБіП, 2022, 115с.
4. Методичні вказівки до виконання курсового проекту з курсу «Комп'ютерна схемотехніка» / Укл. Б.С.Гусев. – Київ, НУБіП, 2023, 73с.
5. Конспект лекцій з курсу «Комп'ютерна схемотехніка» / Укладач Б.С.Гусев. – Київ, НУБіП, 2019, 70с.

13. Рекомендована література

1. Комп'ютерна логіка та схемотехніка [навчальний посібник] / В.В.Лапко, Б.С.Гусев, Д.Ю. Касаткін, В.В. Смолій, А.І. Блозва, Т.Ю. Осипова, Ю.В. Матус, Я.А. Савицька // - К.: НУБіП України, 2017.- 291с.
2. Комп'ютерна схемотехніка (частина 1) [навчальний посібник] / Б.С.Гусев, Д.Ю. Касаткін, Т.Ю. Осипова // - К.: НУБіП України, 2022.- 264с.
3. <https://www.ti.com>
4. <https://datasheetspdf.com>